

オール・セラミック出力コンデンサ・アプリケーションでの D-CAP™モード

Nancy Zhang, Wenkai Wu, Weidong Zhu

DCS Computing Power Management

要約

TIのD-CAP™モード・コントローラは、コンピュータの電源管理に広く用いられています。D-CAP™モードでは、ループ安定性を確保するため、出力コンデンサに適切な大きさの等価直列抵抗 (ESR) が必要です。しかし、多くの顧客は、セラミック出力コンデンサなど低ESRコンデンサの使用を好みます。その場合、システムの安定性を確保するために十分な出力リップルが得られない可能性があります。このアプリケーション・レポートでは、オール・セラミック・コンデンサのアプリケーションで、リップル注入アプローチを使用してD-CAP™モードを実装する方法を紹介します。最初に、D-CAP™モードの基本的な動作について説明し

ます。次に、システムの安定性を確保するためのリップル注入アプローチを紹介します。最後に、各部品を選択手順を示します。オール・セラミック出力コンデンサでリップル注入アプローチを使用したTPS53219EVMの実際の性能も示しています。リップル注入アプローチは、TPS51116、TPS51117、TPS51315、TPS51218、TPS53219、および低出力電圧アプリケーションで使用される他のシングルD-CAP™モード・コントローラに適用できます。Texas Instrumentsでは、デュアルD-CAP™モード・コントローラでのリップル注入の使用は推奨しません。チャンネル間で干渉問題が生じる可能性があるためです。

1 はじめに

D-CAP™とは、“Direct connection to the output CAPacitor” (出力コンデンサへの直接接続) を意味する略語です。D-CAP™モード制御には、多くの魅力的な特徴があります。

- ループ補償が不要で使いやすい
- 外部部品が最小限で済む
- 高速な過渡応答による小さな出力容量で、基板領域およびコストを節減可能
- 重負荷と軽負荷の両方で高効率

図1に、適応型オン時間変調回路を使用したD-CAP™モード制御の基本的なブロック図を示します。D-CAP™モードは、実際には、次の3つの基本部品から構成されます。

1. ESRを持つ出力コンデンサ
2. VFBをVREFと直接比較するPWMコンパレータ
3. 擬似定周波数を生成するオン時間タイマ

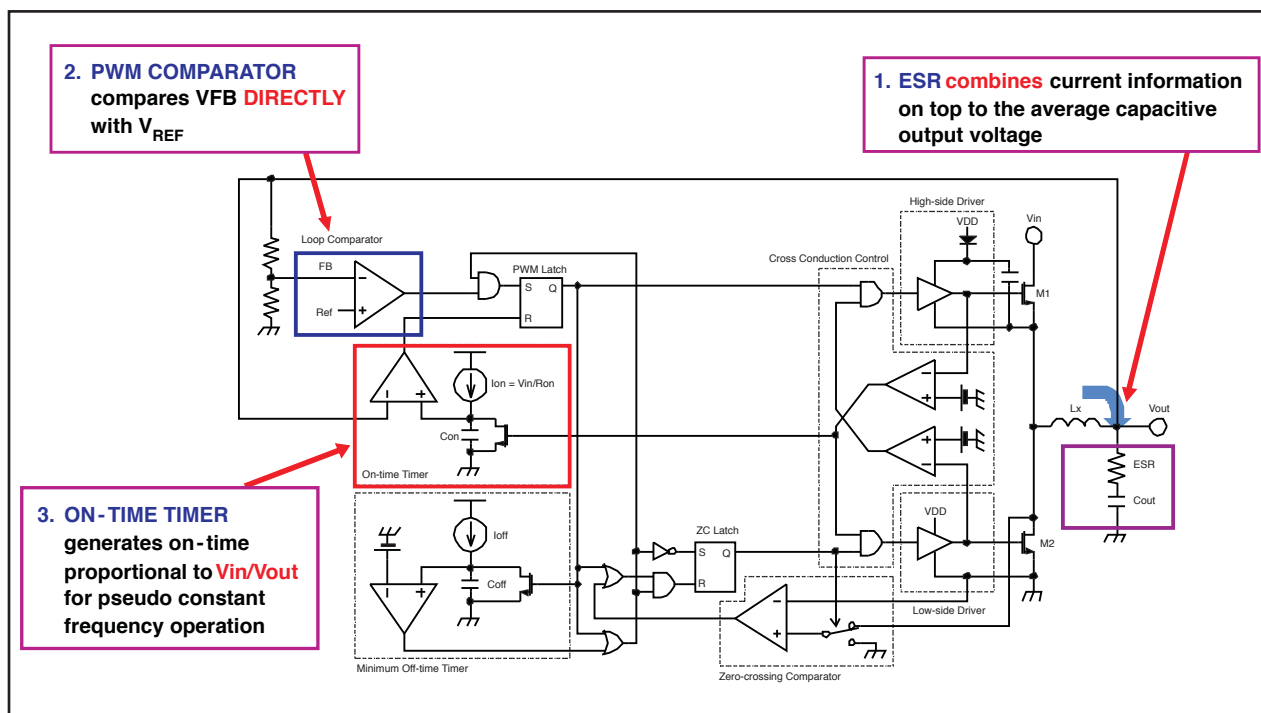


図 1. 適応型オン時間変調回路を使用したD-CAP™モードのブロック図

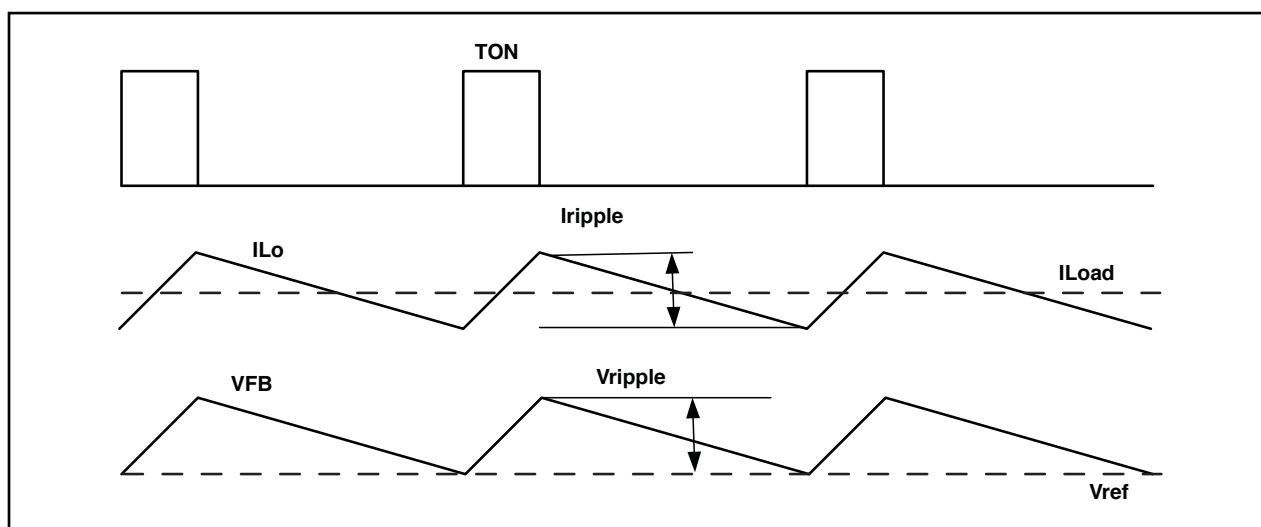


図 2. 適応型オン時間動作によるD-CAP™モード

図2に、適応型オン時間制御を使用したD-CAP™モード制御の動作を示します。各サイクルの開始時に、ハイサイドMOSFET M1がオンになります。内部のワンショット・タイマが満了すると、M1がオフになります。オン時間は、 V_{in} と V_{out} をフィードフォワードして、周波数を入力電圧範囲内でほぼ一定に維持することにより決定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧が V_{ref} まで低下し、出力電圧が不十分な状態になると、M1が再度オンになります。上記の動作を繰り返すことで、コントローラは出力電圧をレギュレーションします。導通損失を最小限に抑えるため、オフ状態になるたびに整流MOSFET M2がオンになります。インダクタ

電流がゼロに近づくとき、M2はオフになります。これにより、軽負荷状態で低周波数にシームレスに遷移することができ、全負荷から軽負荷まで高い効率を実現されます。

D-CAP™モードでは、出力電圧がPWMコンパレータによって直接比較されます。理論的には、コンパレータのゲインと帯域幅は無限大です。そのため、出力ノードからのループ・ゲインは無限大になります。これは、出力ノード電圧を状態変数として使用するループ伝達関数は導出できず、測定可能でもないことを意味します。安定性分析のためには、内部容量ノード電圧を状態変数として使用するループ伝達関数を導出できます。D-CAP™モードのループ安定性は、出力コンデンサの特定の

ESRによって決定されます。出力コンデンサの適切なESRにより、ループが安定に保たれ、PWMジッタが低下します。ループ安定性条件とジッタ要件を次に示します。

1. ループ安定性条件：

$$f_0 = \frac{1}{2\pi \times \text{ESR} \times C_o} < \frac{f_{\text{sw}}}{3} \quad (1)$$

2. ジッタ性能：VFBピンに10mV～15mVのリプルが必要です。通常は、12mVを選択します（出力電圧が高いほど、大きな注入リプルが必要となる場合があります）。

$$\text{ESR} \geq \frac{V_{\text{out}} \times 12 \text{ mV}}{V_{\text{ref}} \times I_{\text{Ripple}}} \quad (2)$$

オール・セラミック出力コンデンサのアプリケーションの場合、ESRは通常、上記の条件を満足するには小さすぎます。PWM波形には、2重パルスやより大きなジッタが現れる可能性があります。この場合は、リプル注入アプローチを使用して、VFBピンに小さな仮想リプルを注入することにより、D-CAP™モードを安定させます。このアプリケーション・レポートでは、リプル注入回路の実装方法と、その性能について示します。

2 リプル注入アプローチ

図3に、リプル注入回路を示します。このアプローチは単純であり、2個のコンデンサと1個の抵抗のみで構成されています。インダクタに並列なRrおよびCrにより、インダクタのDCRを使用してリプルが生成されます。このリプル電圧は、標準的なコンデンサのESRを通して生成されるリプル電圧を模したものです。生成されたリプル電圧は、Ccを経由して帰還用VFBピンに結合されます。小さなACリプル電圧だけが必要であるため、Ccを使用してDC電圧を分離しています。

リプル注入アプローチを使用したD-CAP™モードでの新しいループ安定性条件：

$$\frac{L \times C_o}{R_r \times C_r} > \frac{T_{\text{on}}}{2} \quad (3)$$

$$C_r > C_c > \frac{1}{2\pi \times f_{\text{sw}} \times \left(\frac{R_1 \times R_2}{R_1 + R_2} \right)} \quad (4)$$

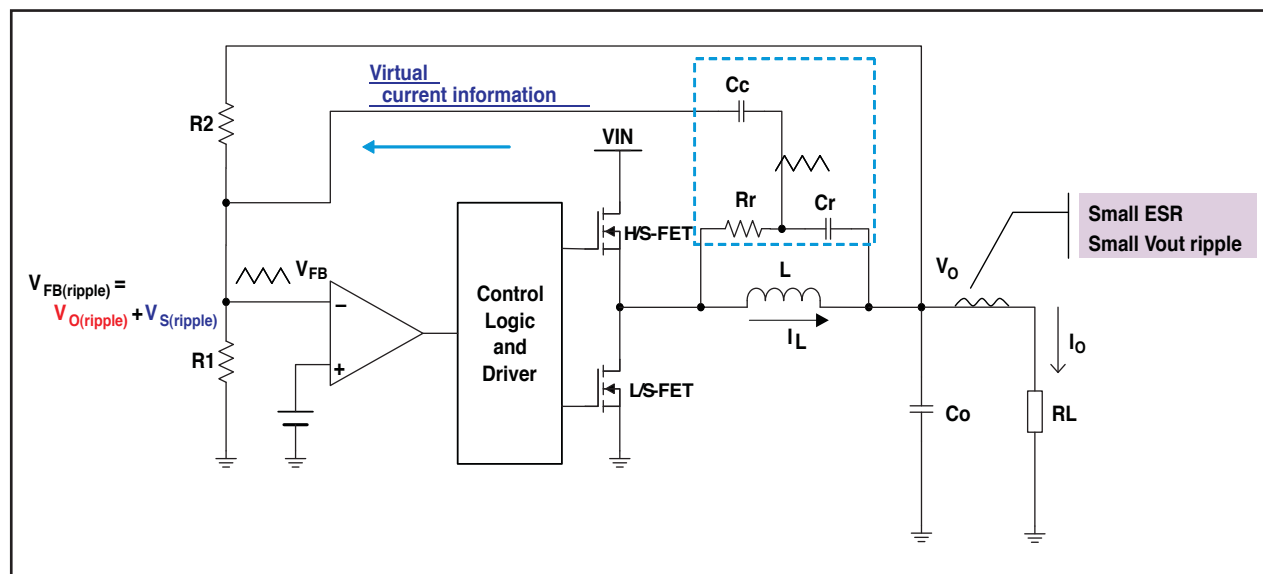


図 3. リプル注入アプローチによるD-CAP™モード

3 R_r、C_r、およびC_cの選択手順

以下の設計手順では、このリップル注入回路のR_r、C_r、C_cの選択方法を示します。ここでは、例としてTPS53219EVMを使用しています。

V_{in} : 12V
 V_{out} : 1.1V
 I_{out} : 0A~25A
 インダクタL : 0.44μH、DCR : 0.32mΩ
 スイッチング周波数f_{sw} : 300kHz
 出力コンデンサC_o : 5 × 100μF = 500μFのセラミック・コンデンサ、ESR : 0.4mΩ
 R1 : 10kΩ、R2 : 8.25kΩ
 T_{on} : PWMオン時間

1. R_rC_rを選択します。VFBピンに約12mVの仮想リップルを注入します。
 - (a) R_rC_r = L/DCRの場合、インダクタのDCRからVFBピンに同じリップルを抽出することを意味します。
 - (b) R_rC_r > L/DCRの場合、インダクタのDCRからVFBピンにより小さいリップルを抽出することを意味します。過渡特性の向上が見込める一方、PWMジッタは増加する可能性があります。
 - (c) R_rC_r < L/DCRの場合、インダクタのDCRからVFBピンにより大きいリップルを抽出することを意味します。過渡特性が多少低下する可能性があります。PWMジッタを低減可能です。

$$I_{\text{Ripple}} = \frac{(V_{\text{in}} - V_{\text{out}}) \times V_{\text{out}}}{L \times f_{\text{sw}} \times V_{\text{in}}}$$

$$I_{\text{Ripple}} = 7.57 \text{ A}$$

$$V_{\text{Ind_DCR_Ripple}} = I_{\text{Ripple}} \times \text{DC}$$

$$V_{\text{Ind_DCR_Ripple}} = 2.422 \text{ mV}$$

$$V_{\text{CO_Ripple}} = \frac{I_{\text{Ripple}}}{8 \times C_o \times f_{\text{sw}}}$$

$$V_{\text{CO_Ripple}} = 6.31 \text{ mV}$$

$$V_{\text{INJ_Ripple}} = \max(V_{\text{CO_Ripple}}, 12 \text{ mV})$$

$$V_{\text{INJ_Ripple}} = 12 \text{ mV}$$

$$k = \frac{V_{\text{INJ_Ripple}}}{V_{\text{INJ_DCR_Ripple}}}$$

$$k = 4.955, k: \text{リップル注入比}$$

$$R_r \times C_r = \frac{L}{k \times \text{DCR}}$$

$$R_r \times C_r = 0.000277$$

(5)

2. R_rC_rがループ安定性を満足することを確認します。

$$\frac{L \times C_o}{R_r \times C_r} > \frac{T_{\text{on}}}{2}$$

$$\frac{L \times C_o}{R_r \times C_r} = 0.794 \times 10^{-6} > \frac{T_{\text{on}}}{2} = 0.153 \times 10^{-6} \quad (6)$$

3. R_r = 10kΩに設定してC_r = 0.027μFを計算するか、またはC_rを設定してからR_rを計算します。
4. C_cの選択:
 C_cはDC電圧の分離に使用されます。C_cが大きいと、過渡応答が遅くなります。C_cが小さいと、過渡応答は速くなります。そのため、C_c = 1000pFを推奨します。この値は、ほとんどのアプリケーションに適切です。図4に、過渡応答に対するC_c値の影響を示しています。

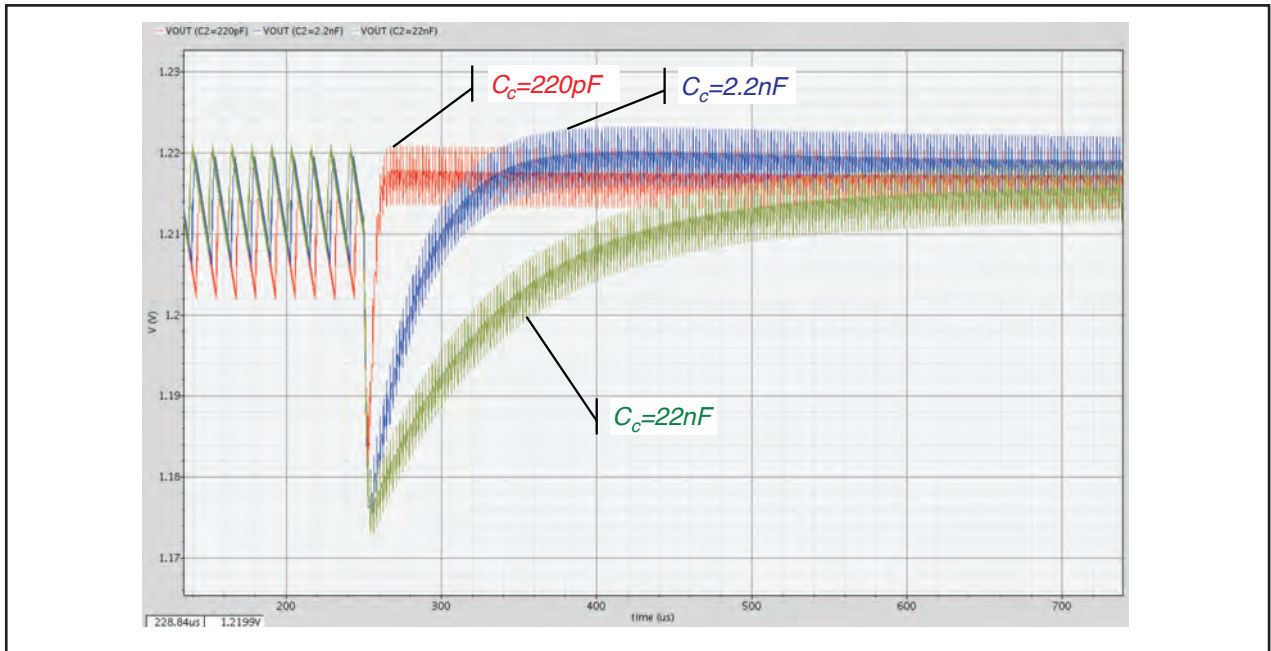


図 5. 異なるCc値での過渡応答

5. C_r 、 C_c が新しいループ安定性を満足することを確認します。

$$C_r > C_c > \frac{1}{2\pi \times f_{sw} \times \left(\frac{R1 * R2}{R1 + R2} \right)}$$

$$\frac{1}{2\pi \times f_{sw} \times \left(\frac{R1 \times R2}{R1 + R2} \right)} = 117 \text{ pF}$$

$$C_r = 0.027 \text{ } \mu\text{F}$$

$$C_c = 1000 \text{ pF}$$

(7)

6. 出力DC電圧の精度を確認します。

$$\text{ESR} = 0.4 \text{ m}\Omega$$

$$V_{\text{ESR_Ripple}} = \text{ESR} \times I_{\text{Ripple}}$$

$$V_{\text{ESR_Ripple}} = 3.028 \text{ mV}$$

(8)

これにより、帰還用VFBピンでの合計近似平均リップル電圧は次のようになります。

$$V_{\text{FB_Ripple}} = V_{\text{ESR_Ripple}} + V_{\text{CO_Ripple}} + 12\text{mV}$$

$$V_{\text{FB_Ripple}} = 21.338 \text{ mV}$$

$$V_{\text{ref}} = 0.6 \text{ V}$$

$$V_{\text{FB}} = V_{\text{ref}} + \frac{V_{\text{FB_Ripple}}}{2}$$

$$V_{\text{FB}} = 0.6107 \text{ V}$$

$$V_{\text{out}} = \left(\frac{R1 + R2}{R1} \right) \times V_{\text{FB}}$$

$$V_{\text{out}} = 1.115 \text{ V}$$

(9)

7. リップル注入用部品のレイアウト:

図5に示されるように、 R_r および C_r はインダクタに近付けて配置し、 C_c はICの近くに配置する必要があります。

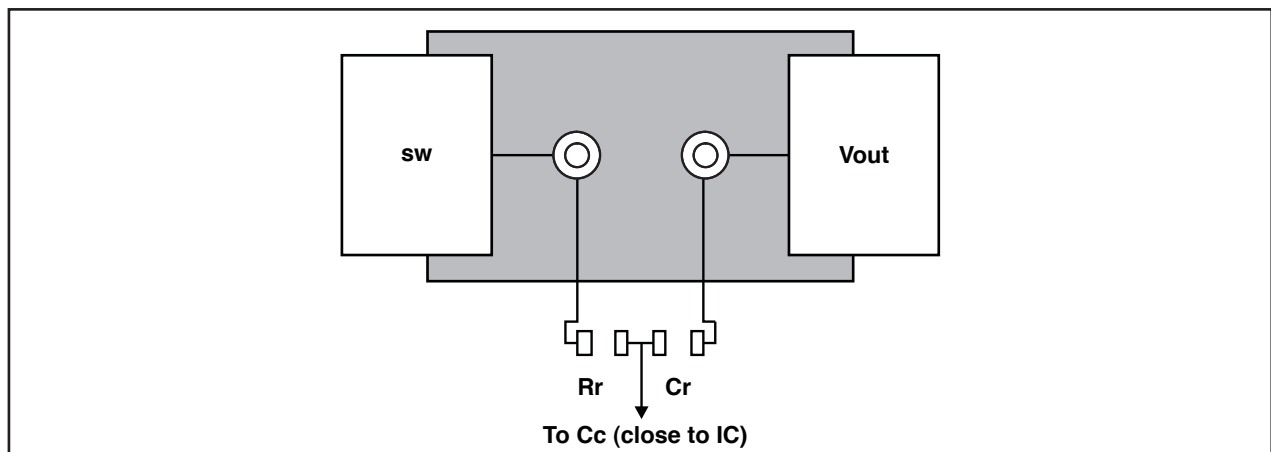


図 5. リップル注入回路のレイアウトに関する考慮事項

4 オール・セラミック出力コンデンサでのTPS53219EVMの性能

TPS53219は、適応型オン時間をを使用したD-CAP™モードのコントローラです。通常、TPS53219を適切に動作させるには、特定のESRを持つ出力コンデンサが必要です。ただし、オール・セラミック出力コンデンサの場合でも、リップル注入アプローチを使用することで、同等以上の性能を実現可能です。

このアプリケーション・レポートで説明した設計手順から、 $R_r = 10\text{k}\Omega$ 、 $C_r = 0.027\mu\text{F}$ 、 $C_c = 1000\text{pF}$ の各値が得られます。図6に、リップル注入なしで2重パルスおよび大きなジッタが見られるPWM波形を示します。図7に、リップ

ル注入によって2重パルスがなくなりジッタが低減された波形を示します。

適応型オン時間変調回路を使用したD-CAP™モードに対しては、ボード線図を測定できません。ただし、リップル注入を行ったD-CAP™モードのボード線図は測定可能であり、ループ安定性のおおまかな指針となります。(測定された帯域幅は実際の過渡特性とは関係がないことに注意してください。これは、小信号モデルを大信号コントローラ、つまりD-CAP™モード制御には適用できないためです。)

図8は、オール・セラミック・コンデンサのアプリケーションで測定したTPS53219EVMのボード線図です。測定条件：12V_{in}、1.1V/25A、クロスオーバー周波数：21.43kHz、位相余裕：85.50度、ゲイン余裕：-21.58dB

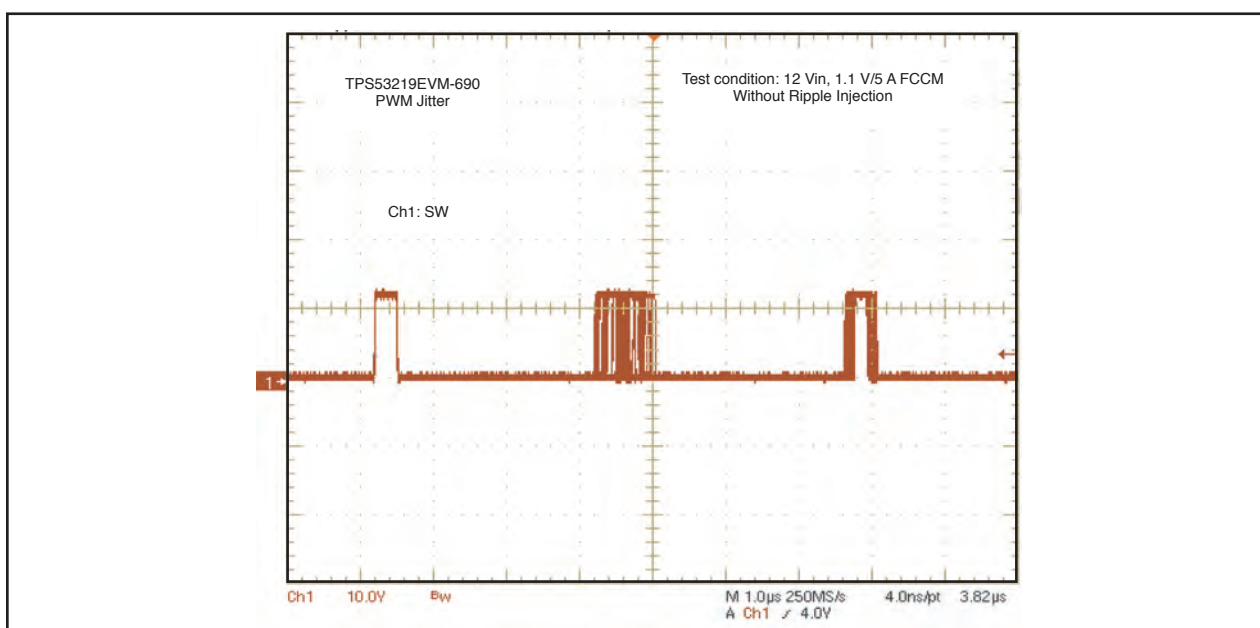


図 6. 12V_{in}、1.2V/5Aのオール・セラミック・コンデンサでの波形(リップル注入なし)

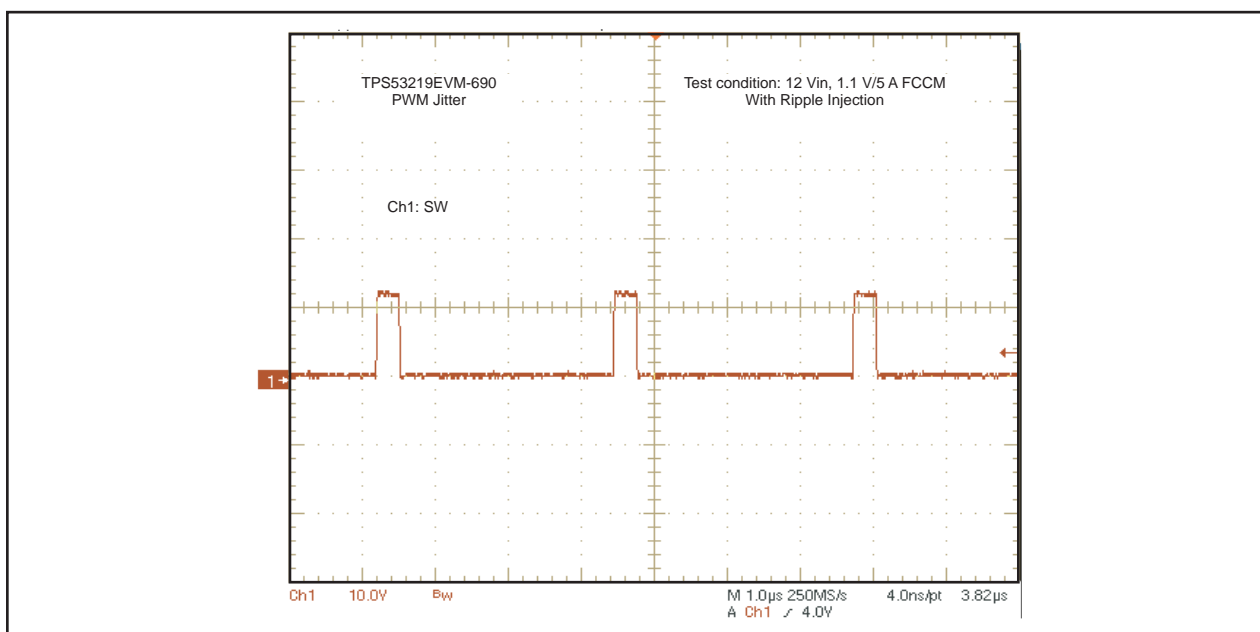


図 7. 12V_{in}、1.2V/5Aのオール・セラミック・コンデンサでの波形(リップル注入あり)

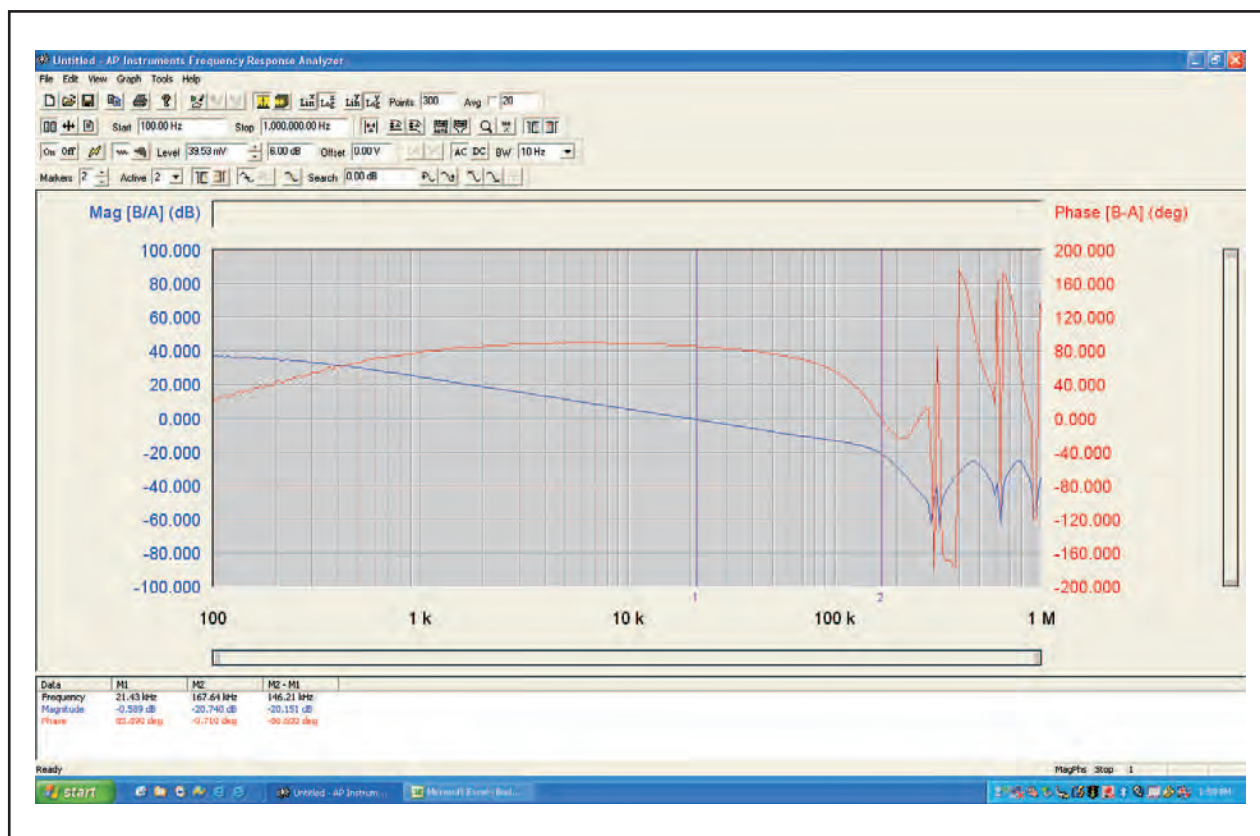


図 8. オール・セラミック・コンデンサのアプリケーションで測定したTPS53219EVMのボード線図

5 結論

D-CAP™モード制御は、低コストで高性能なDC/DCコンバータに対する市場の要求を満足するために導入されました。リップル注入アプローチによって、従来のD-CAP™モード制御の制限を克服することができます。オール・セラミック出力コンデンサでリップル注入アプローチを使用したD-CAP™モードでは、優れた性能と使いやすさが示されました。

6 結論

1. Tetsuo Tateishi, The D-CAP™ Mode operation and an implementation of the OOA™ skip mode, TI's Integrated Power Conference 2005
2. Adaptive Constant On-Time (D-CAP™) Control Study In Notebook Applications application report (SLVA281)
3. Wenkai Wu, The D-CAP™ Mode with all ceramic output design procedure, Presentation, 2010
4. TPS53219, Wide Input Voltage, Eco-mode™, Single Synchronous Step-Down Controller data sheet (SLUSAA8)
5. Using the TPS53219EVM-690 Wide-Input Voltage, Eco-mode™, Single, Synchronous, Step-Down Controller user's guide (SLVU431)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上