

**DS90C3201,DS90C3202,DS90C363B,DS90C365A,
DS90C383B,DS90C385A,DS90C387,DS90C387A,
DS90C387R,DS90CF363B,DS90CF364,
DS90CF364A,DS90CF366,DS90CF383B,
DS90CF384,DS90CF384A,DS90CF384AQ,
DS90CF386,DS90CF388,DS90CF388A,DS90CF564**

Application Note 1056 STN Application Using FPD-Link



Literature Number: JAJA271

FPD リンクを使用した STN アプリケーション

National Semiconductor
Application Note 1056
Michael Hinh
September 1996



FPD リンクを使用した STN アプリケーション

はじめに

ノートブック・アプリケーションに FPD リンク・チップセットを使用することにより、伝導体数の削減、ケーブル・サイズの小型化、また設計者が EMI を低減できるという利点が得られます。現在、いくつかのノートブック・メーカが、フラット・パネル・ディスプレイの選択肢の一つとして、TFT (Thin Film Transistor) パネルに代わり、より低コストの STN-DD (Super Twist Neumatic-Dual Drive) パネルの採用に積極的な姿勢を見せています。そのため、FPD リンクが STN パネル・アプリケーションをサポートできることを示す必要があります。このアプリケーション・ノートでは、設計者が FPD リンクを使用して、640 × 480 STN-DD パネルをサポートする方法について説明します。また、より高解像度の STN パネルも若干変更を加えるだけで実装できるようになります。

STN-DD パネルと FPD リンクのシステム接続には、マザーボード上の FPD リンク・トランスミッタに接続するグラフィック・コントローラ

が必要です。次に、レシーバは LVDS ラインによってトランスミッタに接続されます。STN パネルは、Figure 1 に示すように FPD リンク・レシーバ出力に接続されます。

ベンチマークで動作確認したシステム接続では、C および T 65550 フラット・パネル GUI アクセラレータ、ナショナルセミコンダクター社の 6 ビット・カラー FPD リンク・チップセット (DS90CR561/2) および 640 × 480 カラー STN-DD LCD パネル (Sharp LM64C08P) を使用しました。+12V 電源と V_{EE} (+27V) は、グラフィック・カード (50 ピン・コネクタ) から直接 STN パネルに接続され、パネルのバック・ライト用の電源を供給することに注意してください。グラフィック・コントローラ・カードの半固定抵抗 (50kΩ) を回して、 V_{EE} を +27V (パネルによって異なる) に調整する必要があります。 V_{DD} (+5V) もグラフィック・カードから供給されます。グラフィック・カードは、FPD リンク・デバイスと STN パネルにも電力を供給しています。したがって、このアプリケーションには追加の電力供給が不要です。

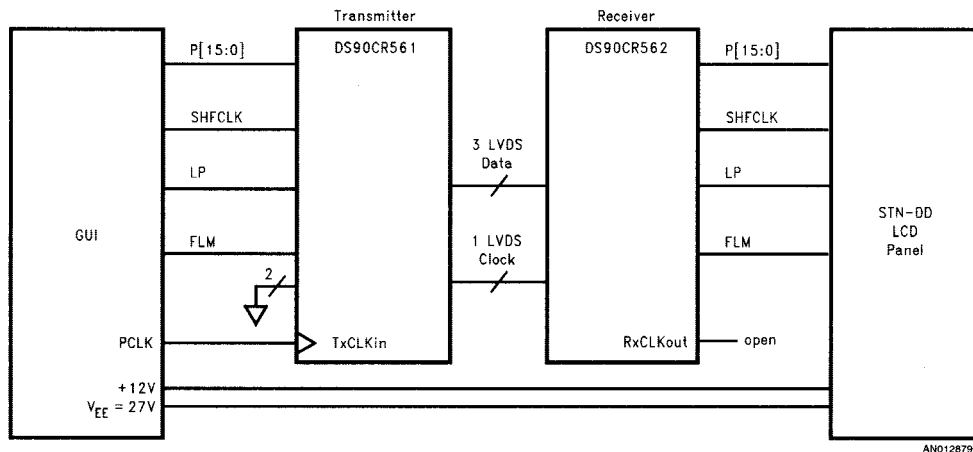


FIGURE 1. STN-DD Panel Application Using FPD-Link Chipset

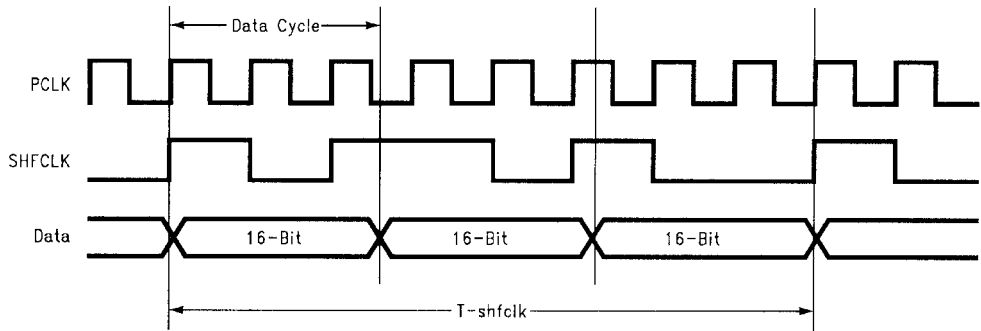
タイミングの考慮事項

STN-DD パネルのタイミング要件は、TFT パネルの場合と異なります。これは、STN パネルでは Figure 2 に示すように、可変周波数 (フリーランではない) の SHFCLK を使用しているためです。ただし、FPD リンク・トランスミッタおよびレシーバには、PLL (Phase Lock Loop) がデータビットをラッチおよびストロープするために、フリーラン・クロック (固定周波数) が必要です。PLL がアクティブの場合、カラー・ビット、LP (水平同期)、FLM (垂直同期) は、LVDS データライン経由で転送されます。FPD リンク用にフリーラン クロックを得るために、65548 または 65550 GUI 上の端子番号 102 がソフトウェアにより使用できます。端子 102 は、PCLK/WEC# と呼ばれ、駆動されるパネルに応じて特定の周波数に設定されます。われわれのベンチマークの例では、PCLK の周波数を 25MHz に設定し、640 × 480 STN-DD パネルをサポートしました。PCLK が TxCLKin 端子 (FPD リンク・トランスミッタ) に渡され、PLL が動作するようになります。レシーバも、PCLK を使用してデータビットをストロープしますが、PCLK を再作成する必要はありません。STN パネルは PCLK を必要としないので、Figure 1 に示すように RxCLKout をオープンのままにします。

Figure 2 にクロック信号間の関係を示します。SHFCLK は 3 データ・

サイクル (8 PCLK サイクル) 単位で繰り返されます。各データ・サイクルで 16 ビットのデータが転送されます (緑 6 ビット、赤 6 ビット、青 4 ビット)。このように、各データ・サイクルが 5-1/3 ピクセルを供給します。各 T-shfclk に 8 PCLK サイクルが必要な理由は、SHFCLK 信号を正しく取り込み、再作成するためです。1 PCLK サイクルが SHFCLK の 1 パルスに等しいことに注意してください。PCLK を参照することによって、各 PCLK サイクルで 2 ピクセルが表示され、各ピクセルは 3 データビットからなります。合計で 16 ピクセル、48 データビットが各 T-shfclk でラッチされます。SHFCLK は約 9MHz で、問題なくパネルの要件を満たすために、データビットと同様に転送することができます。このように、SHFCLK は TxCLKin 端子ではなく、データ信号端子上のレシーバに渡されます。レシーバは SHFCLK を再作成し、この信号が STN パネルに渡されます。FPD リンクがデータを正しくサンプリングするためには、Figure 2 に示すように、PCLK と SHFCLK のエッジの位置が T-shfclk サイクルの開始点で揃っている必要があります。PCLK とデータの関係にスキューがある場合、設計者は PCLK ライン長を調整したり、遅延素子を追加してクロック・エッジをずらして、ぴったりとデータビットに合うようにする必要があります。

AN-1056



AN012879-2

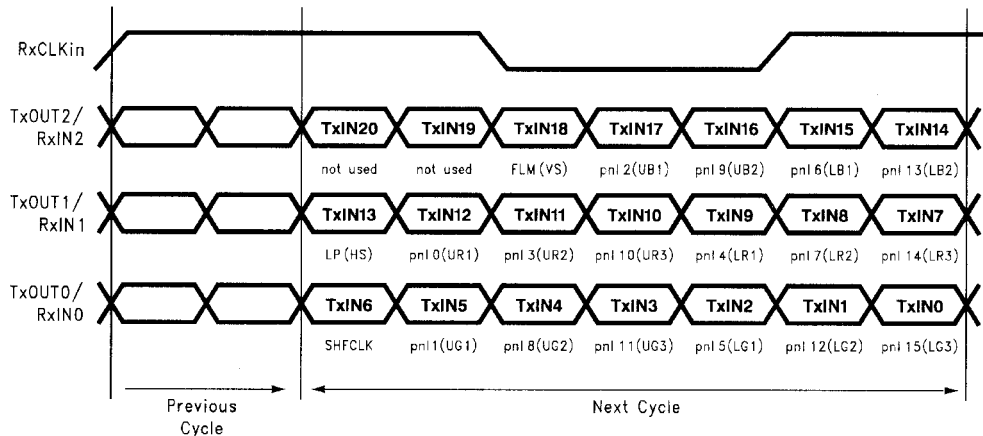
FIGURE 2. 640x480 STN-DD Panel PCLK vs. SHFCLK

ソフトウェア/プログラミングの考慮事項

GUI と STN-DD カラー・パネルのインタフェースのために、設計者は BMP (Bios Modification Program) VGA BIOS ドライバをロードして、構成後にデータが STN-DD パネル上で見えるようにする必要があります。プログラムが STN-DD パネルの動作に設定されていない場合、設計者は BMP 構成プログラムを使用して BMP VGA BIOS ドライバを変更し、STN-DD パネル構成用に拡張レジスタを設定する必要があります。640 × 480 カラー STN-DD パネルのパラメータは、フレーム・アクセラレーションとの 16 ビット・インタフェースに関する GUI データシート (例:65548 table #9) に定義されています。内部フレーム・バッファを使用して、PCLK/WEC# (端子 102) から必要なフリー・ラン・クロックが出力されるようにすることが重要です。外部フレーム・バッファを使用するように設定されている場合、FR1A[7]=00 を設定して外部フレーム・バッファを無効にするか、BMP 構成プログラムを使用してフレーム・バッファを内部フレーム・バッファに設定してください。VGA BIOS ドライバへの変更を保存して、次に VGA BIOS ドライバを再ロードしたときに有効になるようにしてください。

ビット・マッピングの考慮事項

このアプリケーションで使用されている 6 ビット・カラー FPD リンク・チップセットは、21 入力ビットおよび PLL のクロック入力用に設計されています。640 × 480 STN-DD パネルは、16 ビット・カラー、LP, FLN, SHFCLK の計 19 ビットを使用します。2 つの入力ビットはこのアプリケーションでは使用しないので、グラウンドに接続する必要があります。これは、フローティング入力があると、LVDS ライン上で不要なスイッチングが発生し、消費電力が増加する可能性があるためです。Figure 3 にこれらのビットのマッピングを示します。カラー・ビット同士を区別するために、ビットはどのようにマッピングされています。パネルにビット・エラーがあっても、各 LVDS ラインがカラー・ビット (R, G, B) のグループと対応しているので、設計者は簡単に問題を解決できます。16 ビット STN アプリケーションでは、緑 (G) と赤 (R) がそれぞれ 6 ビットをサポートしているのに対して、青 (B) は 4 ビットのみをサポートしていることに注意してください。SHFCLK は他の 2 つの制御ラインに沿ったデータビット位置にマップされています。



AN012879-3

FIGURE 3. Timing Information and Bit Mapping for the 640x480 STN-DD Panel

まとめ

ナショナル セミコンダクター社の FPD リンク・チップセットは、若干の変更を加えるだけで簡単に STN-DD パネルで使用でき、フリーラン PCLK 信号を提供できます。このことは、640 × 480 STN-DD パネルを使用して確認されました。しかし、より高速の SHFCLK/PCLK で動作する 8 ビット FPD リンクを使用することによって、より高い解像度もサポートできます。これには、BMP プログラムを使用して、GUI に若干のソフトウェア構成の変更を加える必要があります。FPD リンクでは、解像度 640 × 480、800 × 600 から 1024 × 768 までのさまざまな STN-DD パネルをサポートできます。各解像度の違いは、転送ビット数とクロック周波数だけです。これらの転送ビット数とクロック周波数は、FPD リンク・チップセットでサポートすることができます。

フリーラン・クロックをサポートする GUI アクセラレータであれば、FPD リンク/STN アプリケーションで使用できます。このベンチマークで、65548 および 65550 GUI デバイスを使用した STN アプリケーションの動作が確認されました。しかし、GUI アクセラレータでこのフリーラン・クロックをサポートできない場合でも、外部ロジックおよび PLL を必要とする外部ワーク・アラウンドを使用して、このクロックを生成できます。設計者は、FPD リンク/STN アプリケーションに必要なクロックをサポートできるかどうかを GUI メーカーに確認してください。

付録

フリーラン・クロック用に GUI (65548/65550) をプログラムするベンチマーク手順

1. BMP 構成プログラムをロードし、BMP VGA BIOS ドライバを変更

します。

プロンプトで、[BMP32_RAM32.EXE] と入力します。

2. [Tab] キーを使用して、ページを移動します (全 40 ページ)。3 ページでは、GUI が駆動するパネルを選択し、アナログ・ディスプレイのブート・タイプを同時ブート・モードに設定し、BUS タイプ (PCI または VL) および製品タイプを選択します。17 ページでは、同時表示モードのドット・クロック周波数を設定します。640 × 480 STN パネルの場合、DCLK = 25 MHz です。
3. 6 ページでは、SM Boot のパラメータを入力します。これは、C および T データシート (65548 table #9) で定義されています。パラメータは太文字で表示されます。
4. 20 ページでは、C および T (table #9) で指定されている同時ビデオ拡張レジスタのパラメータを入力し、選択されている STN パネルを駆動します。
5. フリーラン・クロックを取得します。17 ページで、フレーム・バッファを内部または組み込みに設定します。6 ページで、フレーム・バッファ制御パラメータ (XR6F-1B) を入力します。
6. BMP プログラムへの変更を RAM32.EXE という名前のファイルで保存します。
7. BMP プログラムを終了し、VGA BIOS ドライバをロードします。プロンプトで、[RAM32.EXE] と入力します。ドライバがロードされ、STN パネルに DOS プロンプトが表示されます。
8. STN パネルに DOS プロンプトが表示されない場合、構成が正しく行われていないので、コンピュータの電源を切って BMP プログラムを再ロードし、VGA BIOS ドライバを変更します。

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL. (03) 5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

<http://www.national.com/JPN>

その他お問い合わせはフリーダイヤルをご利用ください。



0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上