

MSP430F5xxおよびMSP430F6xxファミリから、 MSP430FR58xxおよびMSP430FR59xxファミリへの 移行

Priya Thanigai

MSP430 Applications

概要

このアプリケーション・レポートの目的は、フラッシュベースMCU 製品MSP430F5xxおよびMSP430F6xxから、FRAMベースMCU 製品MSP430FR58xxおよびMSP430FR59xxへの移行を容易にすることです。ファームウェアを移行する際のプログラミング、システム、ペリフェラルについての考慮事項を取り上げており、2つのファミリ間の相違点を強調することを意図しています。MSP430FR58xxおよびMSP430FR59xxの機能の使用について、詳細は「MSP430FR58xx and MSP430FR59xx Family User's Guide (SLAU367)」を参照してください。

目次

1 はじめに.....	1
2 不揮発メモリのシステム内プログラミング.....	2
3 システム・レベルの考慮事項.....	4
4 ペリフェラルの考慮事項.....	8
5 結論.....	10
6 参考文献.....	10

表目次

表 1 クロック・システムの比較.....	5
表 2 各種動作モードとウェイクアップ時間の比較.....	6
表 3 MSP430 MCUのフラッシュとFRAMの比較.....	6
表 4 デバイス仕様値のまとめ.....	7
表 5 USCIモジュールとeUSCIモジュールの比較.....	9

1 はじめに

このアプリケーション・レポートの目的は、MSP430F5xxおよびMSP430F6xxファミリとMSP430FR58xxおよびMSP430FR59xxファミリの主な相違点を強調して、よりスムーズな移行に役立てることです。

アプリケーション・レポートは、次のようなセクションに分かれています。

- システム・レベルの考慮事項(電源管理等)
- 不揮発メモリを扱う際の変更点
- ペリフェラルの変更点

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

SLAA555 翻訳版

最新の英語版資料
<http://www.ti.com/lit/slaa555>

(命令セットについて) MSP430FR58xxおよびMSP430FR59xxファミリには、他のすべてのMSP430™ マイクロコントローラ・ファミリとの完全な下位コード互換性があります。したがって、コードの移行に影響が出るのは、レジスタまたはペリフェラルの機能に変更があった場合のみです。命令セット自体に変更はありません。

注: このアプリケーション・レポートでは、「F5xx」という言葉はMSP430F5xxおよびMSP430F6xxファミリを指し、「FR59xx」という言葉はMSP430FR58xxおよびMSP430FR59xx ファミリを指します。

2 不揮発メモリのシステム内プログラミング

2.1 強誘電体 RAM (FRAM)の概要

FRAM不揮発メモリの使用は、スタティックRAM (SRAM)の使用に非常によく似ています。Texas Instrumentsの16ビットMSP430製品ラインのMSP430FR57xxファミリは、汎用超低消費電力MCUの組み込みメモリとしてFRAMが導入された最初の製品です。

FRAMの主な特性を次にいくつか挙げます。

- FRAMは不揮発性です。つまり、電源を切っても内容が保持されます。
- MSP430デバイスの内蔵FRAMには、最大速度8MHzでアクセス(読み出しまたは書き込み)が可能です。8MHzを超える場合は、FRAMへのアクセス時に待機ステートが使用されます。
- FRAMへの書き込みとFRAMからの読み出しに、セットアップや予備操作(書き込み前の事前消去(pre-erase)や制御レジスタのロック解除等)は必要ありません。
- FRAMはセグメントで区分けされていないため、各ビットに対して個別に消去、書き込み、アドレッシング(アドレス割り当て)が可能です。
- FRAMでは、書き込み前の消去が必要ありません。
- FRAMへの書き込みアクセスは低消費電力です。FRAMへの書き込みにはチャージ・ポンプ(回路)が必要ないためです。
- FRAMへの書き込みは、デバイスの電源(供給)電圧全体にわたって行うことが可能です。
- FRAMへの書き込み速度の標準値は約2MBpsですが、8MBpsまで高速化できます。FRAM技術の本質的な特長である高速書き込みは、他の不揮発メモリ技術によく見られる消去のボトルネックを除去することで実現しやすくなっています[1]。それに対して、標準的なMSP430フラッシュの書き込み速度(消去時間を含む)は約14kBpsになります[6]。

2.2 FRAM のセル

単一のFRAMセルは、2枚の電極板にはさまれた強誘電体素材(強誘電体結晶)の薄膜から成るダイポール・コンデンサと考えることができます。1または0の格納(FRAMへの書き込み)は、電界を使用して結晶を特定方向に分極させることで行います。このためFRAMは非常に高速で書き込みが容易であり、高耐久性要件にも合っています。FRAMからの読み出しは、書き込み同様に、電界をコンデンサの両端に印加する必要があります。結晶のステートに応じて結晶が再度分極されると、大きな誘導電荷が放出されます。次にこの電荷を既知の基準値と比較することで、結晶のステートが推定されます。格納されたデータ・ビットが1か0かは、誘導電荷から推測されます。データ読み出しの途中では、印加された電界の方向に分極された結晶のその時点でのステートが失われます。[1] そのため、読み出しのたびに再書き込み(write-back)を行って、メモリ位置のステートを復元します。TIのMSP430 FRAM MCUでは、上記のことがFRAM実装に本質に備わっており、アプリケーション側では意識する必要がありません(アプリケーションに対して完全に透過的です)。再書き込みのメカニズムは電力損失からも保護され、どのような電力障害イベントが起きても完全に安全です。FR59xxの電源管理システムでは、電力損失が発生した場合にFRAMの電力レールをデバイスの電源レールから絶縁(隔離)することで、上記の安全を実現します。FRAMの電力回路では、内蔵の低ドロップアウト電圧レギュレータ(LDO)とコンデンサも使用して、電力損失発生時でもその時点の再書き込みを完全に行うのに十分な電荷を蓄えます。

2.3 メモリ保護ユニット (MPU)を使用して FRAM を保護する

FRAMは非常に再プログラム(reprogram)が容易であるため、RAMから実行している場合同様に、誤ったコード実行により不注意からアプリケーション・コードが上書きされる可能性も高くなります。FRAMが誤って上書きされないようにするために、メモリ保護ユニット(MPU)が提供されています。コード・メモリとデータ・メモリの間に境界を設けてコードの安全性を高め、誤った書き込みや消去から保護することが推奨されます。MPUでは、FRAMのブロック同士を分離して、アプリケーションの要件に基づいて固有の特権を各ブロックに割り当てるのがユーザー側で可能になっています。例えば、あるメモリ・ブロックがリードオンリー・ステータスに割り当てられると、そのブロックに対するあらゆる書き込みアクセスが阻止され、エラーが通知されます。これは、デバイスの寿命が続く限り変更される可能性のない、不変の(constant)データやアプリケーション・コードを格納するのに役立ちます。MPUの構成(configure)方法を紹介したコード例は、MSP430FR5969のプロダクト・フォルダ(<http://www.ti.com/product/msp430fr5969>)で提供されており、またMSP430Ware(<http://www.ti.com/msp430ware>)にも入っています。

2.4 FRAM を動的に区画する

FRAMには、MPUと連動して使用する際にコード、データ、不変部分の各メモリを区切る境界をユーザー側で動的に変更できるという、さらにユニークな特性もあります。この機能を使用するには、MPU のセットアップにより、リードオンリー(不変)、リード・ライトオンリー(可変)、リード・実行オンリー(コード)の各セグメントを設けます。各ブロックをどう分解するかは、使用可能なFRAMの総量によって異なります。例えば64KBのMSP430FR5969では、1つのセグメントを16バイトという小ささにすることが可能です。

Code Composer Studio™ IDEを使用する場合は、デバイスのリンカ・コマンド・ファイルがコード、不変データ、変数(可変データ)の配置を解析して、MPUの保護を自動的にコード境界とデータ境界に割り当てます。

2.5 ブートストラップ・ローダー(BSL)

ブートストラップ・ローダーは、フィールド・ファームウェアのアップデート中などにMCUを再プログラムするために使用されるソフトウェアです。F5xxファミリのデバイスでは、デフォルトのBSLがハードウェアUARTつまり(USBを使用しているデバイス上の)USBモジュールを使用します。BSLソフトウェアは、フラッシュ・メモリの位置0x1000～ 0x17FFに配置されています。このフラッシュベースBSLは消去可能であるため、ユーザー・アプリケーションにフラッシュ・メモリを再利用することが可能です。

フラッシュベースのBSLを使用すると、機能の追加や削除を行ってBSLをカスタマイズすることもユーザー側で可能になります。

FR59xxファミリでは、BSLソフトウェアがROMに配置されています。このBSLソフトウェアが占めるアドレス範囲はフラッシュBSLと同じ(0x1000～ 0x17FF)ですが、ROM上にあるため消去や再プログラムを行うことはできません。

FR59xx のBSLハードウェア・インターフェイスは、UARTプロトコルを使用して実装されます。BSL用にI2Cハードウェア・インターフェイスを使用するタイプのデバイス(device variants)も使用可能です。ただし、その場合にデバイスで使用できるのは出荷時に構成された(factory-configured)インターフェイスのみであり、F5xxファミリでのように変更はできません。

BSLは、BSLシグニチャの位置にシグニチャをひとつプログラムすることでディセーブルにできます。BSLシグニチャの位置とシグニチャのプログラム方法の詳細は、「MSP430FR58xx and MSP430FR59xx Family User's Guide」(SLAU367)のSYSに関する章に記載されています。手順(procedure)は、F5xx デバイスで使用されているものと同様です。

2.6 JTAG とセキュリティ

F5xxデバイスでは、電子的なヒューズ(electronic fuse)をアドレス0x17FC～0x17FFにプログラムすることで、JTAGメカニズムがディセーブルになります。これは、JTAGシグニチャの位置(0xFF80と0xFF82)にアクセスすれば、FR59xxデバイスでも可能になります。手順(procedure)の詳細は、「MSP430FR58xx and MSP430FR59xx Family User's Guide」(SLAU367)のSYSに関する章に記載されています。

FR59xxデバイスには、パスワードを使用してユーザー側からJTAGをロックできるようにするという付加的な機能があります。パスワード自体はFRAMの位置0xFF88にあり、最大4ワード長にすることが可能です。JTAGにアクセスするには、まずツールチェーンによりパスワードが提供され、次にデバイスによりJTAGアクセスが許可される必要があります。正しくないパスワードを使用してもJTAGにはアクセスできません。パスワードが認証されると、次のBORイベントまで完全なJTAGアクセスが可能になります。

IAR Embedded Workbench™ IDEを使用する場合は「IAR Embedded Workbench C-SPY Debugging Guide for MSP430 Microcontroller Family」を参照して、JTAGパスワードを提供するためのオプションを確認してください。これは、\430\doc下のIAR installation(IARのインストール)ディレクトリで入手できます。

V5.2以降のCode Composer Studio IDEを使用する場合は、Advanced Setup Section、Advanced target ConfigurationにあるTarget Configurations下のMSP430Fxxx.CCXMLファイルを編集することでこのオプションが使用可能になります。手順(procedure)は、「Code Composer Studio v5.2 User's Guide for MSP430」(SLAU157)に記載されています。

3 システム・レベルの考慮事項

3.1 電源管理モジュール (PMM)

PMMでは、コア電圧とその監視に関するすべての機能を管理します。その主な機能は、第一にコア・ロジック用の供給(電源)電圧を生成すること、第二にデバイスに供給される電圧(DV_{CC})とコア用に生成される電圧(V_{CORE})の両方を監視するためのメカニズムをいくつか提供することです。

F5xxファミリの電源管理モジュール(PMM)には、次のような、FR59xxファミリと共通の機能がいくつかあります。

- どちらのファミリでも、スプリット電源(split supply)を使用します。ハイサイドつまりDVCCピンの電源側(supply side)は、CPU、メモリ、デジタル・モジュールに電力を供給する内蔵低ドロップアウト電圧レギュレータに電力を供給します。AVCCピンはアナログ・モジュールに電力を供給します。
- PMMには、ハイサイド用のSVS(電圧監視 IC)が統合されています。

ただし、FR59xxのPMMでは次のような点が大幅に向上しています。

- FR59xxのコア側では単一のコア電圧のみをサポートします。つまり、コア電圧はプログラマブルではありません。この変更の理由は、ユーザーにとっての複雑さを軽減することです。また、高い柔軟性を持つクロック・システムにより、最大システム周波数(16MHz)が最低システム電圧1.8Vで使用可能になります。これにより、プログラマブルなコア電圧の必要がなくなり、すべての動作周波数で、供給電圧範囲1.8V~3.6V全体にわたって単一のコア電圧が維持されます。
- F5xxデバイスの外付けローサイド・コア・コンデンサ(capacitance)が不要になりました。代わりに、FR59xxデバイスではコア・コンデンサがデバイスに統合されています。
- 外付けコンデンサ(capacitance)でコア電圧をバッファリングする必要がないため、V_{CORE}電圧をピンで外部から使用することができなくなっています。
- コア電圧は内部的に監視・維持されるため、ユーザーがコア側(ローサイド)のモニタ(SVML)とスーパーバイザ(SVSL)をセットアップする必要はありません。
- SVSハイサイド(SVSH)は、高度に簡素化されています。起動時にはデフォルトでオンになり、アクティブ、LPM0、LPM1、LPM2の各モードでオン状態を継続します。また必要に応じて、LPM3、LPM4、LPMx.5の各モードではオフにすることもできます。
- SVSの閾値はデバイスの最小供給電圧1.8Vに直接対応している(track)ため、F5xxファミリの場合のようにSVSハイサイド・レベルをプログラムする必要はありません。
- FR59xxファミリの役立つ機能のひとつに、SVSレベルを下回って供給(電圧)が低くなった場合に、リセットかNMIのどちらかを選択できる機能があります(PMMCTL0レジスタのPMMLPRSTビットを参照してください)。この機能は、残量のなくなりかけた電池(dying battery)からアプリケーションに電力が供給されている場合などに役立ちます。割り込みを使用して、消費電力が最低限にな

るようにポートを構成し、デバイスをLPM3.5にセットすることで、消費電流を約500 nAにして、バッテリー寿命を最大限にするとともに、RTCを可能な限り長く維持します。

3.2 クロック・システム(CS)

FR59xxのクロック・システムでは、内蔵のデジタル制御オシレータ(DCO)を使用して、事前較正(precalibrated)された周波数を表現します。

FR59xxのDCOとの重要な違いは、出荷時に提供された(factory-provided)較正済み周波数のみに構成可能であり、F5xxファミリのDCO + FLLベース・システムで許容される中間周波数ステップのすべてを実現できるわけではないことです。

FR59xxではMCLKクロックを16MHzで供給することが可能ですが、FRAMアクセスはFRAMコントローラにより自動的に8MHzに制限されることに注意してください。RAMからのコードの実行、ペリフェラルへのアクセス、ペリフェラル～RAM間のDMAアクセスは16MHzで実行可能です。

注意する必要があるのは、待機モード時の消費電力を低下させるために実装されたアーキテクチャ変更が原因で、FR59xxファミリではACLKが(50kHzを下回る)低周波クロック・ソースに制限されることです。高周波クロック・ソースからクロックを供給する場合は、ACLKではなくSMCLKまたはMCLKを使用できます。

精度に関しては、FR59xxファミリのDCOの場合は、事前較正された周波数用の固定精度がデバイスのデータ・シートで指定されています。固定精度は通常、制限のある温度範囲の場合は±2%、デバイスの温度範囲全体では±3.5%となります。

比較すると、DCO+FLL(周波数同期ループ)ベース・システムの精度は、F5xxファミリの場合同様に、FLLの基準クロック源(reference source)の精度に依存します。例えば、REFO(基準オシレータ)がFLLの基準として使用される場合は、DCOの出力はREFOの精度に依存します。ここで、高周波・高精度のクリスタル(水晶発振子)を使用するアプリケーションについて考えてみます — 高周波・高精度のクリスタルを使用することにより、FLLベースのシステムの精度も向上します。

表1に、ファミリ間のクロック・システムの重要な違いをいくつか示します。

表 1 クロック・システムの比較

パラメータ	FR59xx	F5xx
f _{SYSTEM} の最大値	16 MHz	25 MHz
DCO 範囲	較正済み周波数のみ	0.06 MHz～135 MHz
製造時に較正済みの周波数	1 MHz、5.33 MHz、6.67 MHz、 8 MHz、16 MHz、20 MHz、24 MHz	なし
ACLK 用のクロック源	LFXTCLK、VLOCLK、LFMODCLK	任意のシステム・クロック
LFMODCLK (MODOSC / 128)	使用可能	使用不可
REFO	使用不可	使用可能
外付け水晶発振子のフェイルセーフ・オプション	LFXT: LFMODCLK HFXT: MODCLK	LFXT: REFO HFXT: DCOCLK
レジスタ	CSCTL0 ~ CSCTL6	UCSCTL0 ~ UCSCTL8
VLO 制御	VLOOFF ビットを介して使用可能	使用不可
XT1 オシレータ用の内蔵負荷コンデンサ	使用不可	使用可能

3.3 動作モード、ウェイクアップ、リセット

表2は、2つのファミリで使用可能な各種動作モードと、LPMからのウェイクアップ時間を比較したものです。

表 2 各種動作モードとウェイクアップ時間の比較

パラメータ	FR59xx	F5xx
LPM0, LPM1, LPM2, LPM3, LPM4	使用可能	使用可能
LPM3.5	使用可能	デバイスによっては使用可能
LPM4.5	使用可能	デバイスによっては使用可能
LPM0 からのウェイクアップ時間	$1.5/f_{\text{DCO}}$ $\approx 1.5 \mu\text{s}$ ($f_{\text{DCO}} = 1\text{MHz}$)	5 μs (高性能モード) 150 μs (通常モード)
LPM1 または LPM2 からのウェイクアップ時間(1)	6 μs	5 μs (高性能モード) 150 μs (通常モード)
LPM3 または LPM4 からのウェイクアップ時間(1)	7 μs	5 μs (高性能モード) 150 μs (通常モード)
LPM3.5 からのウェイクアップ時間(1)	250 μs	2ms
BOR イベントからのウェイクアップ時間(1)	1ms	2ms

(1) この表に記載の値は近似値です。各デバイス向けの正確な値については、各デバイスのデータ・シートを参照してください。

LPM4モードとLPMx.5モードを介してLPM0に入るためのコード・フローは、FR59xxファミリでもF5xxファミリと同じです。

F5xxファミリと同様、FR59xxではソフトウェア的に全レベルのリセットを開始することが可能です。

TLV(Tag Length Value)(FR59xxファミリのデバイス・ディスクリプタ・テーブル)には、各デバイス・ベースで実稼働時に(at production)生成される乱数シードを格納するための追加のフィールドが記載されています。これは、暗号化アルゴリズムと復号化アルゴリズムに役立ちます。

3.4 FR59xx で LPM3.5 を使用する

LPM3.5モードが使用できるF5xxデバイスは決まっていますが、FRAMによりこのモードに柔軟性が加わることに注意する必要があります。コア・レギュレータがオフになってもFRAMの内容は保持され、そしてFRAMの使用はRAMと同様であるため、アプリケーションの変数という形で保たれるアプリケーション・ステートをFRAM内で保持またはバックアップすることが可能です。これにより、アプリケーションのスタートアップにかかる時間が短縮され、LPM3.5のウェイクアップ・イベントから初期化される変数の数も減少します。

3.5 FRAM コントローラ

3.5.1 フラッシュとFRAMの概要比較

F5xxファミリのフラッシュ・コントローラは、FR59xxファミリではFRAMコントローラに置き換えられます。FRAMの使用とフラッシュの使用の最も大きな違いは、(1) タイミング (2) 電力要件 (表3を参照) に関連しています。

表 3 MSP430 MCUのフラッシュとFRAMの比較

パラメータ	FRAM (FR5969) (1)	フラッシュ (F5438A) (1)
バイトまたはワードのプログラム時間 (最大値)	120ns	85 μs (近似値)
セグメントの消去時間 (最大値)	不適用(事前消去不要)	18ms
プログラム中の供給電流 (最大値)	書き込み中の余剰電流なし(アクティブ電力の仕様値に含まれる)	5mA
消去中の供給電流 (最大値)	不適用(事前消去不要)	2mA
不揮発メモリの最大読み出し周波数	8MHz	25MHz

(1) この表に記載の値は近似値です。各デバイス向けの正確な値については、各デバイスのデータ・シートを参照してください。

3.5.2 キャッシュのアーキテクチャ

FRAMコントローラでは、ライン・サイズが64ビットの2ウェイ・アソシアティブ方式のキャッシュを使用します。キャッシュには、プリフェッチされた命令が格納されます。FRAMコントローラの機能は、現在のPC位置に応じて、4つの命令ワードをプリフェッチすることです。これらの命令は、キャッシュで実際に実行されます。キャッシュ・バッファの終わりに到達すると、FRAMコントローラでは現在の4つのワードをキャッシュの1ページに保存(preserve)し、次の4ワードをフェッチします。2ページ分のキャッシュの終わりでコードの途切れ(code discontinuity)が見つかった場合はキャッシュがリフレッシュされ、後続の4つの命令ワードがFRAMから取り出されます。ただし、キャッシュの終わりで、キャッシュ内の既存の位置にアプリケーション・コードがループバックしている場合は、FRAMから再度コードがフェッチされずに、関連する(relevant)命令がそのままキャッシュから直接実行されます。

8MHzというアクセス制限の影響を受けるのはFRAMアクセスのみであることに注意してください。キャッシュから実行する場合は、最大16MHzのシステム・クロックが使用可能です。このように、キャッシュは(1) 8MHz制限を克服し、平均システム・スループットを増大させる(2) 大多数の命令がキャッシュから実行されるようにすることで、全体的なアクティブ電力を低減するために役立ちます。

FR59xxファミリでの、キャッシュからの命令の直接実行(cached execution of instructions)は、F5xxファミリでの場合(命令がプリフェッチされて32ビット・パイプラインに配置される)とは異なるものです。このことは、MCLKと命令実行の関係に影響します。例えば、MCLK = 16 MHzを使用するF5xxデバイスでは、8つの2サイクル命令を16クロックで実行できます。FR59xxファミリの場合、この関係はアプリケーション依存となります。1:1の関係が成立するのは、MCLK = 最大8MHzまでの場合のみです。MCLKが8MHzを超える場合は、挿入された待機状態の数(FRAMがアクセスされた回数に比例します)により、MCLK:命令・実行の比率が決まります。

別のアプリケーション例を挙げると、MCLK = 16 MHzの場合は、F5xxファミリとFR59xxファミリ両方と同じレートでJMP \$ 命令(単一サイクル)が実行されます。これは、FR59xx がこの命令をフェッチしてキャッシュに格納するためです(キャッシュ内では命令を最大MCLK速度で実行できます)。ただし、8個より多い命令ワードを持つループでは、キャッシュのリフレッシュが必要になるたびにFRAMへのアクセスが必要になります。これらのFRAMアクセスはMCLK/2(つまり8MHz)で発生するため、F5xxデバイスと比較してシステムの全体的なスループットが小さくなります。

3.6 重要なデバイス仕様値のまとめ

表4は、2つのファミリのデバイスレベル仕様値の最も重要な違いをまとめたものです。

表 4 デバイス仕様値のまとめ

パラメータ	FR59xx	F5xx
供給電圧範囲	1.8V ~ 3.6V	1.8V ~ 3.6V
最大システム周波数、 f_{SYSTEM}	16MHz	25MHz デバイスによっては 20MHz
最大 ACLK 周波数	50kHz	f_{SYSTEM}
ADC 動作用のアナログ供給電圧	1.8V ~ 3.6V	2.2V ~ 3.6V

注意する必要があるのは、FR59xxデバイスへの移行によりお使いのシステムが受けるもっと大きな影響が消費電力関係であることです。FR59xxでは、標準的および全体的両方のデバイス電圧/温度範囲で、アクティブ電力と待機電力が大幅に向上することが示されています。同じことが、FR59xxファミリのペリフェラル(ADC12_B等)にも当てはまります。F5xxの該当製品と比較して、大幅に消費電力が改善しているためです。各デバイスのデータ・シートには、各ペリフェラルとデバイスのアクティブ・モード時/待機モード時消費電力の詳細なリストが記載されています。

4 ペリフェラルの考慮事項

FR59xxファミリのペリフェラルには新機能や、従来とは異なる方法で実装された既存の機能があります。このセクションでは、各ペリフェラルの違いを強調して説明します。

4.1 デジタル入力/出力

汎用I/O (GPIO)ピンの主な違いは次の通りです。

- P3ポートとP4ポートも割り込み可能です。(これは、F5xxファミリのいくつかのデバイスで使用可能です)
- ペリフェラル機能の選択では、PxSEL0とPxSEL1の2つのレジスタを使用します。PxSELCレジスタを使用して中間構成 (intermediate configurations)を回避することで、この2つのレジスタを同時にセットまたはクリアすることが可能です。

4.1.1 容量タッチ I/O

FR59xxファミリでは、内蔵プルアップ抵抗を外付けコンデンサと組み合わせて作ったオシレータを使用して、入力シュミット・トリガに検知された反転入力電圧をプルアップおよびプルダウン制御にフィードバックすることにより、容量タッチ実装の容易なセットアップを可能にしています。

すべてのGPIOピンが、Cap Sense(静電容量の検出)に使用できます。Cap Sense機能は、CAPSIOCTLxレジスタを介して実装されます。詳細については、「CapSense I/O chapter in the MSP430FR58xx and MSP430FR59xx Family User's Guide」を参照してください。

4.2 ADC12_B

FR59xxファミリのADC12_Bモジュールは低消費電力向けに再設計されており、またF5xxデバイスに共通のADC12_Aモジュールに関するいくつかの新機能と強化点も含まれています。消費電力、リニアリティ、サンプリング時間の各考慮事項等のパラメトリック比較については、各デバイスのデータ・シートを参照してください。

ADC12_AモジュールとADC12_Bモジュールの大きな違いのいくつかを次に示します。

- ADC12_Bモジュールでは、16のシングルエンド外部入力チャネル(結合して8つの差動外部入力チャネルを形成することが可能)をサポートしています。
- ADC12_Bでは「ウィンドウ・コンパレータ」という新機能により、ユーザー側で閾値レベルを設定して、変換結果をその閾値と比較することが可能になっています。閾値はLSB単位で設定され、変換結果が事前設定された(pre-set)低/高閾値レベルの範囲内の値になった場合は割り込みがトリガされます。変換結果が、事前設定された低/高閾値レベル範囲の上限/下限を超えた場合も、割り込みが提供されます。機能がイネーブルになると、同じウィンドウ・コンパレータ閾値がチャネル間で共有され、様々なチャネルからの変換結果が同じ閾値レベルと比較されることに注意してください。この機能は、省電力にきわめて役に立ちます。ADCの入力が特定の閾値に達するまで、デバイスが低消費電力モードに留まることが可能になるためです。他の変換結果はすべて自動的に破棄され、デバイスは閾値のトリガ時のみにウェイクアップします。
- F5xx ADC12_Aでは、8ビット、10ビット、12ビットの分解能用に、それぞれ9、11、13 ADC12CLK サイクルが必要になります。それに対して、FR59xx ADC12_Bでは8ビット、10ビット、12ビットの分解能用に、それぞれ10、12、14 ADC12CLKサイクルが必要になります。
- 「サンプリング時間に関する考慮事項(Sample Timing Considerations)」セクションで強調されている、最短サンプリング時間を計算するための式が変更されています。詳細については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」を参照してください。
- 32 ADC12MEMCTLx (メモリ制御)レジスタは、シーケンシングを行ったチャネル動作に使用可能です。32の専用割り込みが、変換メモリの読み取り用に使用可能です。
- 内蔵バッテリー測定チャネル(AVCC)は、ADC12_Aでの1/2 AVCCの測定から、ADC12_Bでの2/3 AVCCの測定に変更されています。

- ADC12_Bレジスタには、次のような変更が加えられています。

ADC12CTL0:

- ADC12OVIEビットとADC12TOVIEビットが、ADC12IER2レジスタに移されました。
- REF制御がADCモジュールのレジスタから削除され、REF制御レジスタを介してアクセス可能になりました。

ADC12CTL1:

- ADCクロック制御用の追加プレディバイダ(前置分周回路)(ADC12PDIVx)は、このレジスタに移されました。(以前はADC12CTL2にありました)

ADC12CTL2:

- REFBURST機能は使用できなくなりました。
- REFOUT制御はREFCTL0レジスタに移されました。
- (F5xxファミリ)のADC12SRビットは、ADC12PWRMDビットに置き換えられました。

ADC12CTL3:

- 内蔵チャンネルのマッピングを可能にする追加のビットが入っています。
- 変換開始アドレス・ビットのセット(CSTARTADDx)がこのレジスタに追加されました。

F5xxファミリのADC12IEレジスタとADC12IFGレジスタは、ADC12IER0、ADC12IER1、ADC12IFG0、ADC12IFG1の各レジスタに置き換えられています。

4.3 REF_A モジュール

FR59xx REF_Aモジュールでは、1.2V、2.0V、2.5Vの基準電圧を提供します。F5xx REFモジュールからの基準電圧1.5Vは使用できなくなりました。

次の追加機能が、REF_Aモジュールで使用可能です。

- REFGENACTビットとREFBGACTビットを介して、基準電圧生成回路用のステータス・インジケータ(状態指示子)が追加されています。
- REFGENRDYビットを照会(query)して、REF_Aが安定(settle)したかどうかを判定できます。
- REFGENBUSYは、REF_Aの設定を変更しても安全な時点を検出する場合に役立ちます。例えば、ADCでアクティブな変換が行われている間は設定の変更ができません。

4.4 Enhanced Universal Serial Communication Interface (eUSCI)

eUSCIのアーキテクチャと内蔵ステート・マシンは、F5xxファミリのUSCIモジュールと非常によく似ています。ただし、既存の機能に加えられた変更の他に、eUSCIには多くの新機能が付加されています。ファームウェアの互換性は保たれる可能性があります。レジスタ名や、機能の違いを再確認することが推奨されます。表5に、ファミリ間の大きな相違点の大部分が挙げられています。詳細については、アプリケーション・レポート「Migrating from the USCI to the eUSCI」(SLAA522)を参照してください。

表 5 USCIモジュールとeUSCIモジュールの比較

パラメータまたは機能	USCI (F5xx, F6xx)	eUSCI (FR58xx, FR59xx)
UART		
拡張されたボー・レートの生成	No	Yes
TXEPT 割り込み (USART と同様)	No	Yes
エッジ割り込みの開始	No	Yes
選択可能なグリッチ・フィルタ	No	Yes
割り込みベクタ生成回路	No	Yes

SPI		
最大ボー・レート	4MHz ~ 6MHz	10MHz
割り込みベクタ生成回路	No	Yes
I2C		
送信バッファのプリロード	No	Yes
クロック Low タイムアウト	No	Yes
バイト・カウンタ	No	Yes
複数スレーブのアドレス指定	No	Yes
アドレス・ビット・マスク	No	Yes
割り込みフラグのハードウェア的なクリア	Yes	No
割り込みベクタ生成回路	No	Yes

5 結論

このアプリケーション・レポートでは、MSP430FR59xxファミリの主な機能変更と新モジュールの多くについて説明しています。本書は包括的なドキュメントとして意図されたものですが、F5xxファミリとFR59xxファミリの間には、本書では取り上げられていない小さな変更点もいくつか存在する可能性があります。各デバイス固有の詳細については、各デバイスのデータ・シートが常に最良の情報源となります。

モジュールの機能と使用法の詳細については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」(SLAU367)を参照してください。

FR59xxデバイスを使用した開発作業に携わる方のための入門書として役立つ情報源として、MSP430Ware™ ソフトウェア (<http://www.ti.com/msp430ware>)、およびグラフィック構成ツール Grace™ (Code Composer Studio IDE (<http://www.ti.com/grace>)用のプラグイン) の2つがあります。

6 参考文献

1. FRAM Technology Backgrounder – An Overview of FRAM Technology (www.ramtron.com)
2. MSP430FR58xx and MSP430FR59xx Family User's Guide (SLAU367)
3. MSP430F5xx and MSP430F6xx Family User's Guide (SLAU208)
4. MSP430F543xA data sheet (SLAS655)
5. MSP430FR59xx data sheet (SLAS704)
6. Migrating from the USCI to the eUSCI (SLAA522)
7. Maximizing FRAM Write Speed on the MSP430FR5739 (SLAA498)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用を使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関する全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上