

MSP430F2xxおよびMSP430G2xxファミリから、 MSP430FR58xxおよびMSP430FR59xxファミリへの移行

Priya Thanigai

MSP430 Applications

概要

このアプリケーション・レポートの目的は、フラッシュベースMCU 製品MSP430F2xxから、フラッシュベースMCU 製品MSP430FR58xxおよびMSP430FR59xxファミリへの移行を容易にすることです。ファームウェアを移行する際のプログラミング、システム、ペリフェラルについての検討事項を取り上げており、2つのファミリ間の主な相違点を強調することを意図しています。MSP430FR58xxおよびMSP430FR59xxデバイスの機能の使用について、詳細は「MSP430FR58xx and MSP430FR59xx Family User's Guide (SLAU367)」を参照してください。比較のベースとして使用されているのはMSP430F2xxおよびMSP430G2xxファミリですが、MSP430F1xxおよびMSP430F4xxファミリから移行する場合にも同様の検討事項が適用できます。

目次

1 はじめに.....	1
2 不揮発メモリのシステム内プログラミング.....	2
3 ハードウェア移行についての検討事項.....	4
4 デバイスの較正情報.....	4
5 重要なデバイス・スペックのまとめ.....	4
6 コア・アーキテクチャの検討事項.....	5
7 ペリフェラルの検討事項.....	10
8 結論.....	14
9 参考文献.....	14

表目次

表 1 デバイス仕様値.....	5
表 2 FR59xxとF2xxのクロック・システムの比較.....	7
表 3 各種動作モードとウェイクアップ時間の比較.....	7
表 4 MSP430 MCUのフラッシュとFRAMの比較.....	9
表 5 USCIモジュールとeUSCIモジュールの比較.....	14

1 はじめに

このアプリケーション・レポートの目的は、MSP430F2xxおよびMSP430G2xxファミリとMSP430FR58xxおよびMSP430FR59xxファミリの主な相違点を明確にして、よりスムーズな移行に役立てることであります。

アプリケーション・レポートは、次のようなセクションに分かれています。

- ・ システム・レベルの検討事項(電源管理等)
- ・ 不揮発メモリを扱う際の変更点
- ・ ペリフェラルの変更点

(命令セットについて) MSP430FR58xxおよびMSP430FR59xxファミリには、他のすべてのMSP430™ マイクロコントローラ・ファミリとの完全な下位コード互換性があります。したがって、コードの移行に影響が出るのは、レジスタまたはペリフェラルの機能に変更があった場合と、命令サイクル時間にわずかな変化があった場合のみです。命令セット自体に変更はありません。

注: このアプリケーション・レポートでは、「F2xx」という言葉はMSP430F2xxおよびMSP430G2xxファミリを指し、「FR59xx」という言葉はMSP430FR58xxおよびMSP430FR59xxファミリを指します。

2 不揮発メモリのシステム内プログラミング

2.1 強誘電体 RAM (FRAM)の概要

FRAM不揮発メモリの使用は、スタティックRAM (SRAM)の使用に非常によく似ています。Texas Instrumentsの16ビットMSP430製品ラインのMSP430FR57xxファミリは、汎用超低消費電力MCUの組み込みメモリとしてFRAMが導入された最初の製品です。

FRAMの主な特性を次にいくつか挙げます。

- FRAMは不揮発性です。つまり、電源を切っても内容が保持されます。
- MSP430デバイスの内蔵FRAMには、最大速度8MHzでアクセス(読み出しまたは書き込み)が可能です。8MHzを超える場合は、FRAMへのアクセス時に待機状態が使用されます。
- FRAMへの書き込みとFRAMからの読み出しに、セットアップや予備操作(書き込み前の事前消去(pre-erase)や制御レジスタのロック解除等)は必要ありません。
- FRAMはセグメントで区別されていないため、各ビットに対して個別に消去、書き込み、アドレッシング(アドレス割り当て)が可能です。
- FRAMのセグメントでは、書き込み前の消去が必要ありません。
- FRAMへの書き込みアクセスは低消費電力です。FRAMへの書き込みにはチャージ・ポンプ(回路)が必要ないためです。
- FRAMへの書き込みは、デバイスの電源電圧範囲内でわたって行うことが可能です。
- FRAMへの書き込み速度の標準値は約2MBpsですが、8MBpsまで高速化できます。FRAM技術の本質的な特長である高速書き込みは、他の不揮発メモリ技術によく見られる消去のボトルネックを除去することで実現しやすくなっています[8]。それに対して、標準的なMSP430フラッシュの書き込み速度(消去時間を含む)は約14kBpsになります[7]。

2.2 FRAM のセル

単一のFRAMセルは、2枚の電極板にはさまれた強誘電体素材(強誘電体結晶)の薄膜から成るダイポール・コンデンサと考えることができます。1または0の格納(FRAMへの書き込み)は、電界を使用して結晶を特定方向に分極させることで行います。このためFRAMは非常に高速で書き込みが容易であり、高耐久性要件にも合っています。FRAMからの読み出しは、書き込み同様に、電界をコンデンサの両端に印加する必要があります。結晶のステートに応じて結晶が再度分極されると、大きな誘導電荷が放出されます。次にこの電荷を既知の基準値と比較することで、結晶のステートが推定されます。格納されたデータ・ビットが1か0かは、誘導電荷から推測されます。データ読み出しの途中では、印加された電界の方向に分極された結晶のその時点でのステートが失われます。[1] そのため、読み出しのたびに再書き込み(write-back)を行って、メモリ位置のステートを復元する必要があります。

TIのMSP430 FRAM MCUでは、上記のことがFRAM実装に本質に備わっており、アプリケーション側では意識する必要がありません(アプリケーションに対して完全に透過的です)。再書き込みのメカニズムは電力損失からも保護され、どのような電力障害イベントが起きても安全に完了することが保証されています。FR59xxの電源管理システムでは、電力損失が発生した場合にFRAMの電力レールをデバイスの電源レールから絶縁(隔離)することで、上記の安全を実現します。FRAMの電力回路では、内蔵の低ドロップアウト電圧レギュレータ(LDO)とコンデンサも使用して、電力障害発生時でもその時点の再書き込みを完全に行うのに十分な電荷を蓄えます。

2.3 メモリ保護ユニットを使用して FRAM を保護する

FRAMは非常に再プログラム(reprogram)が容易であるため、RAMから実行している場合同様に、誤ったコード実行により不注意からアプリケーション・コードが上書きされる可能性も高くなります。FRAMが誤って上書きされないようにするために、メモリ保護ユニット(MPU)が提供されています。コード・メモリとデータ・メモリの間に境界を設けてコードの安全性を高め、誤った書き込みや消去から保護することが推奨されます。MPUでは、FRAMのブロック同士を分離して、アプリケーションの要件に基づいて固有の特権を各ブロックに割り当てるのがユーザー側で可能になっています。例えば、あるメモリ・ブロックがリードオンリー・ステータスに割り当てられると、そのブロックに対するあらゆる書き込みアクセスが阻止され、エラーが通知されます。これは、デバイスの寿命が続く限り変更される可能性のない、不変の(constant)データやアプリケーション・コードを格納するのに役立ちます。MPUの構成(configure)方法についてのコード例は、MSP430FR5969のオンラインのプロダクト・フォルダ(<http://www.ti.com/product/msp430fr5969>)で提供されています。

2.3.1 FRAM を動的に区画する

FRAMには、MPUと連動して使用する際にコード、データ、不変部分の各メモリを区切る境界をユーザー側で動的に変更できるという、独自の特性があります。この機能を使用するには、MPU のセットアップにより、リードオンリー(不変)、リードライトオンリー(可変)、リード実行オンリー(コード)の各セグメントを設けます。各ブロックの分解能(resolution)は、使用可能なFRAMの総量によって異なります。例えば64KBのMSP430FR5969では、1つのセグメントを16バイトという小ささにするのが可能です [2]。

Code Composer Studio™ IDEを使用する場合は、デバイスのリンカ・コマンド・ファイルがコード、不変データ、変数(可変データ)の配置を解析して、MPUの保護を自動的にコード境界とデータ境界に割り当てます。

2.4 ブートストラップ・ローダー(BSL)

ブートストラップ・ローダー(BSL)は、フィールド・ファームウェアのアップデート中などにMCUを再プログラムするために使用されるソフトウェアです。F2xxファミリのデバイスでは、BSLはタイマAベースのUARTを使用し、ROMに配置されています。BSLをユーザー側で消去したり、カスタマイズしたりすることはできません。

FR59xxファミリでも、BSLソフトウェアがROMに配置されているという点で同様のアプローチに従っています。BSLソフトウェアはアドレス範囲0x1000～0x17FFに配置されており、消去や再プログラムはできません。通信インターフェイスに関しては、F2xxデバイスと同様にFR59xxもUARTプロトコル・ベースです。ただし、FR59xxではUART通信の実装にはTimer_Aを使用せずに、ハードウェアUSCI_Aモジュールを使用します。したがって、モジュールのピンUCA0TXDとピンUCA0RXDがBSL通信に使用されます。

BSLは、BSLシグニチャの位置にシグニチャをひとつプログラムすることでディセーブルにできます。このプロセスは、「MSP430FR58xx and MSP430FR59xx Family User's Guide」 [2] のSYSに関する章に記載されています。BSLシグニチャの位置と長さが、F2xxファミリの場合とは異なることに注意してください。

BSL用にI2Cインターフェイスを使用するタイプのFR59xxデバイス(device variants)も使用可能です。ただし、その場合にデバイスで使用できるのは出荷時に設定された(factory-configured)インターフェイスのみです。

2.5 JTAG とセキュリティ

F2xxデバイスでは、特殊な手順(procedure)を介して、JTAGラインのどれか1本で物理的なヒューズに高電圧をかけて切断することで、JTAGポートが保護されます。このアクションは元に戻せないため、それ以上のデバイスへのアクセスはBSLを介してのみ可能になります。

FR59xxデバイスでは、物理的なヒューズがプログラマブルなJTAGヒューズに変更されています。デバイスの保護には、特定のシグニチャをJTAGシグニチャの位置に書き込むことが伴います。ヒューズがプログラムされると、デバイスへのアクセスは(BSLパスワードを使用して)BSLを介してのみ可能になります。ただし、BSLパスワードが供給された時点で、JTAGヒューズをクリ

アしてJTAG通信を再度使用可能にできます。したがって、FR59xxデバイスではJTAGヒューズを切断しても、BSLパスワードが分かっていたら元に戻すことが可能です。

FR59xxファミリには、パスワードを使用したJTAGのロックという付加的な機能もあります。パスワードはFRAMの位置0xFF88にあり、1~4ワード長にすることが可能です。JTAGへのアクセスを可能にするには、まずツール・チェーンによりパスワードが提供され、次にデバイスによりJTAGアクセスが許可される必要があります。正しくないパスワードを使用してもJTAGにはアクセスできません。パスワードが認証されると、次のBORイベントまで完全なJTAGアクセスが可能になります。

IAR Embedded Workbench™ IDEを使用する場合は「IAR Embedded Workbench C-SPY Debugging Guide for MSP430 Microcontroller Family」を参照して、JTAGパスワードを提供するためのオプションを確認してください。これは、\430\doc下のIAR installation(IARのインストール)ディレクトリで入手できます。

V5.2以降のCode Composer Studio™ IDEを使用する場合は、Advanced Setup Section、Advanced target ConfigurationにあるTarget Configurations下のMSP430Fxxx.CCXMLファイルを編集することでこのオプションが使用可能になります。手順(procedure)は、「Code Composer Studio v5.2 User's Guide for MSP430」(SLAU157)に説明されています。

3 ハードウェア移行についての検討事項

- ・ FR59xxデバイス上のJTAG接続とSBW接続については、「MSP430 Hardware Tools User's Guide (SLAU278)」を参照してください。
- ・ FR59xxデバイスのリセット・ライン上には内蔵プルアップ抵抗があります。この抵抗があるため、外付けのリセット抵抗は不要です(詳細については、ファミリのユーザーズ・ガイドに記載のSFRPCRレジスタを参照してください)。
- ・ FR59xxデバイスでは、BSLピンをP2.0とP2.1に割り当てています。任意のパッケージ・ベースのピン数については、デバイス毎のデータ・シートを参照してください。
- ・ FR59xxデバイスではF2xxファミリとは異なり、LFXTオシレータ上で内蔵負荷コンデンサを提供していません。したがって、LFXTオシレータを使用する場合は、外付けの負荷コンデンサが必要になります。
- ・ FR59xxデバイスでは、LFXTオシレータ上の高周波クロック・ソースに対応していません。高周波クロック・ソースを使用する必要がある場合は、二番目の水晶発振子(XT2)に接続してください。

4 デバイスの較正情報

いくつかのF2xxデバイスでは、DCO周波数、ADC基準、内蔵温度センサ用の較正值を供給するTLV構造体を提供しています。TLV構造体は情報メモリ(Information Memory)セグメントA(Info A)に格納されており、ユーザー側で消去することが可能です[3]。正しくないBSLパスワードが供給された場合は、デバイスの一括消去(mass erase)が発生して、出荷時に較正された定数が消去される結果になります。

これを防止するために、FR59xxデバイス上のTLV情報は保護されたFRAMに格納されています。保護されたFRAMでは、アプリケーション内アクセスや(BSL経由等の)外部アクセスによるTLV情報の消去はできません。TLVの位置とアクセスの詳細については、デバイス毎のデータ・シートを参照してください。

また、Info Aセグメントは、FR59xxデバイスでのアプリケーション使用に完全に利用可能となっています。

FR59xxファミリのTLV(Tag Length Value)には、製造時にデバイスごとに生成される乱数シードを格納するための追加のフィールドが記載されています。これは、暗号化アルゴリズムと復号化アルゴリズムに役立ちます。

5 重要なデバイス仕様値のまとめ

表1には、デバイス・レベルの電氣的仕様スペックの重要な違いが記載してあります[4][5]。

表 1 デバイス仕様スペック

パラメータ	FR59xx	F2xx
供給電圧範囲	1.8V ~ 3.6V	1.8V ~ 3.6V
最大システム周波数、 f_{SYSTEM}	16MHz($V_{CC} = 1.8V$ 時)	4 MHz($V_{CC} = 1.8V$ 時) 12 MHz($V_{CC} = 2.7V$ 時) 16 MHz($V_{CC} = 3.3V$ 時)
不揮発メモリのプログラミング用の最小供給電圧	1.8V	2.2V
ADC 動作の最小アナログ供給電圧	1.8V	2.2V

注意する必要があるのは、FR59xxデバイスへの移行によりお使いのシステムが受けるもっと大きな影響が消費電力関係であることです。FR59xxでは、デバイスの標準的な条件および全体的な電圧/温度範囲で、アクティブ時の消費電力と待機時の消費電力が大幅に改善されることが示されています。同じことが、FR59xxファミリのペリフェラル(ADC12_B等)にも当てはまります。F2xxの該当製品と比較して、大幅に消費電力が改善しているためです。各デバイスのデータ・シートには、各ペリフェラルについての消費電力と、デバイスのアクティブ・モード時/待機モード時の消費電力の詳細なリストが記載されています。

6 コア・アーキテクチャの検討事項

6.1 電源管理モジュール (PMM)

F2xxファミリのデバイスでは、単一の電圧レールを使用してチップに電力を供給しています。つまり、単一の電力レールにより、チップのアナログ・ペリフェラルとデジタル・コアの両方に電力が供給されています。FR59xxファミリではスプリット電圧源を使用しています。CPU、メモリ、デジタルの各モジュールに電力を供給する内蔵低ドロップアウト電圧レギュレータ(LDO)にはDVCCピンに接続した外部電圧源から電圧が供給され、アナログ・モジュールにはAVCCから電圧が供給されています(図1参照)。

PMMでは、コア電圧とその監視に関するすべての機能を管理します。その主な機能は、第一にコア・ロジック用の供給(電源)電圧を生成すること、第二にデバイスに供給される電圧(DV_{CC})とコア用に生成される電圧(V_{CORE})の両方を監視するためのメカニズムをいくつか提供することです。

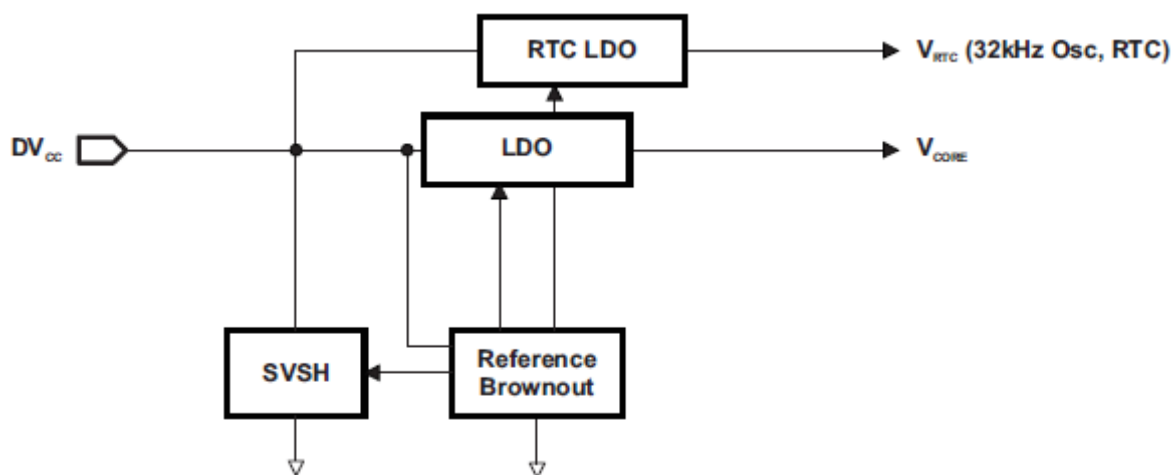


図 1 PMMのブロック図

スプリット電源の使用は、コアの動作電圧を従来より低くできるという点で特に有利です。この低電圧動作により、大幅な省電力が実現されます。また、安定してレギュレートされた電圧を広い供給範囲でコアに提供できるようになります。

これにより、FR59xxデバイスが最大デバイス周波数16MHzで、デバイスの電圧範囲全体にわたって動作することが可能になります。これに対して、F2xxデバイスのシステム周波数と電源電圧の間には、デバイスが確実に正しく動作するために順守しなければならない関係があります。

電源電圧の監視は、安定した供給や電源障害時の通知を実現するための重要な側面であるため、FR59xxではハイサイド電源電圧監視(SVSH)ブロックを提供しています。SVSHでは外部チップ電源(DV_{CC})の監視を処理し、コアのローサイド監視はPMMにより内部的に処理されます。

SVSの閾値はデバイスの最小供給電圧1.8Vに直接対応している(track)ため、F2xxファミリの場合のようにSVSハイサイド・レベルをプログラムする必要はありません。(F2xxファミリでは、SVS機能はデバイスの選択時のみに利用できます)。また、FR59xxのSVSHブロックは非常に簡素化されています。起動時にはデフォルトでオン状態になっており、アクティブ、LPM0、LPM1、LPM2の各モード時でもオン状態を継続します。必要に応じて、LPM3、LPM4、LPMx.5の各モードではオフにすることが可能です。

FR59xxファミリの役立つ機能のひとつに、SVSレベルを下回って供給(電圧)が低くなった場合に、リセットかNMIのどちらかを選択できる機能があります(PMMCTL0レジスタのPMMLPRSTビットを参照してください)。この機能は、残量の少なくなった電池からアプリケーションに電力が供給されている場合などに役立ちます。この場合は、割り込みを使用して、消費電力が最低限になるようにポートを構成し、デバイスをLPM3.5にセットすることで、消費電流を約500 nAにして、バッテリー寿命を最大限にするとともに、RTCを可能な限り長く維持します。また、割り込みを使用して、バッテリー残量が少ない状態についてエンド・ユーザーに警告し、ダメージのない電源切断を行うことも可能です。

デバッグ中に観察できる、2つのファミリの主な違いのひとつは、PMMモジュールがあります。FR59xxファミリでは省電力のために、高性能モード(アクティブ、LPM0、LPM1の各モードで使用)と低消費電力モード(LPM2、LPM3、LPM4の各モードで使用)という2つのモードでV_{CORE}レギュレータが動作します。MSP430FR59xxデバイスがデバッグに接続されると、アプリケーション・コードにより設定された動作モード(アクティブかLPM)に関係なく、LDOが自動的に高性能モードになります。アプリケーションでは、このことが消費電流とウェイクアップ時間に影響して、デバイスがスタンバイ・モードとデバッグ・モードで異なる振る舞いを示すようになる可能性があります。さらに低いLPM (LPM2、LPM3、LPM4)でデバッグを行う際は、デバイスの性能を正確に観察するために、デバッグが確実に切断されるようにしてください。

6.2 クロック・システム

FR59xxのクロック・システム(CS)は、内蔵のデジタル制御オシレータ(DCO)を使用して事前較正(precalibrated)された周波数を実現するという点で、F2xxの基本クロック・システム(BCS)とある程度共通しています。FR59xxではまた、F2xxファミリとまったく同じクロック・ソース・オプションとシステム・クロックを提供します。

FR59xxのDCOとの重要な違いは、出荷時に提供された(factory-provided)較正済み周波数のみに構成可能であり、F2xxファミリのDCOで許容される中間周波数ステップのすべてを実現できるわけではないことです。

FR59xxではMCLKクロックを16MHzで供給することが可能ですが、FRAMアクセスはFRAMコントローラにより自動的に8MHzに制限されることに注意してください。RAMからのコードの実行、ペリフェラルへのアクセス、ペリフェラル～RAM間のDMAアクセスは16MHzで実行可能です。

F2xxファミリのADCモジュールの内蔵オシレータは、FR59xxファミリではMODOSCという名称に変更されています(F5xxファミリでも同様です)。このクロック・ソースは、分周回路を使用することでXT1オシレータ用のフェイルセーフ・クロック・ソースを得るためにも使用されます。

FR59xx CSでは、「クロック・オン・デマンド」機能をサポートしています。F2xxファミリでは、低消費電力モードに入ることによってシステム・クロックの使用可能性(availability)が影響を受けます。例えば、SMCLKはLPM3モードではオフになるため、SMCLKを使用するタイマ等のペリフェラルはどれもLPM3では非アクティブになります。ただし、FR59xxでは、クロックのリクエストによりLPMの設定を無効にすることが可能です。ペリフェラルからのアクティブなクロックのリクエストが存在する限り、LPM

の設定に関係なくクロックはオン状態を継続します。このことは、ファミリ間でのコード移植時に消費電力が増加した場合に最も容易に見られます。デバイスが必要なLPMに入れないようになる任意のクロック・ソース・リクエストをディセーブルにするかどうかは、ユーザーの判断に任されます。オプションとして、CSCTL6レジスタ (CLKREQENビット)を使用してこの機能をディセーブルにすることが可能です。

表2に、クロック・システム間の重要な違いをいくつか示します。

表 2 FR59xxとF2xxのクロック・システムの比較

パラメータ	FR59xx	F2xx
システム周波数 f_{SYSTEM} の最大値	16 MHz	16 MHz
DCO 範囲	較正済み周波数のみ	0.06 MHz~26 MHz
製造時に較正済みの周波数	1 MHz, 2.66 MHz, 3.5 MHz, 4 MHz, 5.3 MHz, 7 MHz, 8 MHz, 16 MHz, 21 MHz, 24 MHz	1 MHz, 8 MHz, 12 MHz, 16 MHz
AGLK 用のクロック・ソース	LFXTCLK, VLOCLK, LFMODCLK (MODOSC / 128)	LFXTCLK, VLOCLK
LFMODCLK (MODOSC / 128)	使用可能	使用不可
外付け水晶発振子のフェイルセーフ・オプション	XT1, LF: デフォルトは LFMODCLK XT2, HF: デフォルトは MODOSC	水晶発振子障害の場合: OFIFG が設定され、 水晶発振子をクロック源とする MCLK のデフォルトは DCO となります。 他のクロック源にはフェイルセーフ・ オプションがありません
レジスタ	CSCTL0 ~ CSCTL6	DCOCTL, BCSCTL1 ~ BCSCTL3
VLO 制御	VLOOFF ビットを介して使用可能	LPM4 では OSCOFF を介して使用可能
XT1 オシレータ	LF モードのみに対応	LF モードと HF モードに対応
XT2 オシレータ	最大 24 MHz に対応	最大 16 MHz に対応
XT1 オシレータ用の内蔵負荷コンデンサ	使用不可	使用可能

6.3 動作モード、ウェイクアップ、リセット

表3は、2つのファミリで使用可能な各種動作モードと、LPMからのウェイクアップ時間を比較したものです。

表 3 各種動作モードとウェイクアップ時間の比較

パラメータまたは機能	FR59xx	F2xx
LPM0, LPM1, LPM2, LPM3, LPM4	使用可能	使用可能
LPM3.5, LPM4.5	使用可能	使用不可
LPM0 からのウェイクアップ時間	$1.5/f_{\text{DCO}}$ $\approx 1.5 \mu\text{s}$ ($f_{\text{DCO}} = 1\text{MHz}$)	$2 \mu\text{s}$
LPM1 または LPM2 からのウェイクアップ時間(1)	$6 \mu\text{s}$	$2 \mu\text{s}$
LPM3 または LPM4 からのウェイクアップ時間(1)	$7 \mu\text{s}$	$2 \mu\text{s}$
LPM3.5 からのウェイクアップ時間(1)	$250 \mu\text{s}$	該当なし
BOR イベントからのウェイクアップ時間(1)	1ms(最大値)	2ms(最大値)

(1) この表に記載の値は近似値です。特定のデバイスの値については、各デバイスのデータ・シートを参照してください。

低消費電力モードLPM0～LPM4に入る/抜けるためのコード・フローは、FR59xxファミリでもF2xxファミリと同じです。FR59xxデバイスと比較すると、F2xxの各低消費電力モードの機能は異なっています。これらの違いについては、「MSP430FR58xx and MSP430FR59xx Family User's Guide」(SLAU367)のSYSに関する章に記載されています。

FR59xxファミリに導入された2つの新しい低消費電力モードが、LPM3.5とLPM4.5です。どちらのモードでも、V_{CORE} LDOをオフにしてデジタル・コア、RAM、ペリフェラルをパワーダウンします。LPM3.5からウェイクアップするには、自己タイミング型RTC割り込みまたはポート割り込みが必要になります。他のすべてのシステム割り込みは使用不可能です。FR59xxデバイスのRTCモジュールの電力はV_{CC}レールから供給されているため、コア電圧がオフになっても機能し続けることが可能です。LPM4.5では、ポート割り込みのみがデバイスのウェイクアップに使用できます。

重要なのは、これらのモードからのウェイクアップがデバイス・リセットの性質を持つという点で、LPMx.5モードは本質的に通常のLPM (LPM0～LPM4)とは異なるということです。RAMは(内容が)保持されないため、アプリケーションのステート (RAM内の変数に格納されている場合)とレジスタの初期化内容(initialization)が失われます。これらのモードは、「ディープ・スリープ」状態が長時間になり、かつウェイクアップ時間があまり重要にならないアプリケーションに向いています。また、ウェイクアップの周波数についても検討する必要があります。ウェイクアップ中に費やされる時間に関連したエネルギー損失が発生するためです。例えば、1 msごとにLPM3からウェイクアップして信号をサンプリングする2xxアプリケーションは、FR59xxのLPM3.5よりもLPM3にポートする方が効果的です。これは、LPM3.5ではウェイクアップに約250 μsの時間が必要であり、アプリケーションではウェイクアップ中にデューティ・サイクル25%という時間が費やされるためです。この時間の長さは、LPM3からLPM3.5への移行で実現されたパワー・ゲインに大幅に影響します。

もうひとつ、1分に一度ウェイクアップしてタイム・スタンプを更新するアプリケーションについても考えてみます。この場合は、LPM3.5の方が最大限の省電力を実現するのに向いているかもしれません。LPM3.5のオン期間の平均電力は、LPM3の50%であるためです。したがって、移行時にLPMを選択するかどうかは、アプリケーションと、必要なデューティ・サイクルのオン/オフに依存します。

ファミリ間の重要な違いのひとつが、リセット時の振る舞いです。どのMSP430ファミリにも、PUC、POR(パワーオン・リセット)、BOR等の複数のリセット・レベルがあります。F2xxファミリでは、PUCの実行中にプログラム・カウンタ(PC)がリセット・ベクタの位置に再初期化されます。パワー・サイクル(POR)の場合は、t_{BOR}の経過後にPCが再初期化されます [4]。FR59xxファミリでも、PCおよび特定のペリフェラル・レジスタの再初期化に関しては、PUCの実行時の振る舞いはF2xxファミリと同じです。

ただし、リセットのレベルがさらに深いPORやBOR等では、保護されたROM内にあるブート・コードを実行します。このブート・コードによりデバイスがセットアップされ、デバイスを機能的に確立するのに不可欠な較正設定値(calibration settings)がロードされます。したがって、FR59xxファミリでPORまたはBORから起動するための時間は、F2xxファミリの場合とは異なります。詳細については、各デバイス毎のデータ・シートを参照してください。

FR59xxでは、すべてのレベルのリセットをソフトウェア的に初期化することも可能です(F2xxファミリでは、PUCのみがソフトウェアにより初期化可能です)。リセットは、PMMCTL0レジスタのPMMSWBORビットとPMMSWPORビットをセットすることで開始されます。

6.4 リセットの原因を判定する

F2xxデバイスでは、WDTタイマの期限切れ、WDTのキー違反(key violation)、フラッシュのキー違反等の複数のソースによりPUCがトリガされる可能性があります。リセットの原因を判定するには、複数のレジスタを調べる必要があります。各リセット・ソースが、様々な割り込みフラグとレジスタにより追跡されているためです。

FR59xxデバイスではすべてのリセット・ソース(sources of reset)がひとつのレジスタ(SYSRSTIV)に結合されているため、リセットの原因を判定するために複数のレジスタをチェックする必要がなくなりました。このレジスタはデバッグ時に非常に有効であり、すべてのレベルのリセット(PUC、POR、BOR)からすべてのソースをリストします。

6.5 割り込みベクタ

FR59xxデバイスでは、複数のフラグが原因となる割り込みサービス・ルーチン用に割り込みベクタ(IV)構造体(structure)を使用します。

例えばF2xxファミリでは、USCI TX割り込みの原因はRXおよびTX割り込みフラグであり、USCI RX割り込みの原因はすべてのステータス・フラグです。FR59xxファミリの場合は、これらの割り込みフラグのすべてが、割り込みベクタUCBxIVのみを使用してキャプチャされます。これにより、割り込みサービス処理の効率を向上させることが可能になり、すべての割り込みの場合に事前定義レイテンシ(待ち時間)が同一になります。

6.6 FRAM コントローラ

6.6.1 フラッシュと FRAM の概要比較

F2xxファミリのフラッシュ・コントローラは、FR59xxファミリではFRAMコントローラに置き換えられます。

FRAMの使用とフラッシュの使用の最も大きな違いは、(1) タイミング (2) 電力要件 (表4を参照) に関連しています。

表 4 MSP430 MCUのフラッシュとFRAMの比較

パラメータ	FRAM (FR5969) (1)	フラッシュ (F2274) (1)
バイトまたはワードのプログラム時間 (最大値)	120ns	116 μ s (近似値)
セグメントの消去時間 (最大値)	不適用(事前消去不要)	18ms
プログラム中の供給電流 (最大値)	書き込み中の余剰電流なし(アクティブ電力の仕様値に含まれる)	5mA
消去中の供給電流 (最大値)	不適用(事前消去不要)	7mA
不揮発メモリの最大読み出し周波数	8MHz	16MHz

(1) この表に記載の値は近似値です。特定のデバイスの値については、各デバイスのデータ・シートを参照してください。

あるFRAM位置からの読み出しはどれも書き込みでもあるため、書き込みや消去が原因の過剰な電流損失(current penalty)がありません。したがって、FRAMのブロックへ書き込む場合の消費電力が、ブロックから読み出す場合の消費電力と同じになります。これは、フラッシュとは異なります。フラッシュの書き込み処理では、デバイスの内蔵チャージ・ポンプの動作が原因で過剰な電力が消費されます。同様に、FRAMでは書き込み前の事前消去が不要であり、フラッシュとは異なりセグメントで分けられていません。したがって、FRAMへ書き込む場合には追加の消去電流(erase current)(あるいは消去時間)がありません。

書き込み時間に関しては、FRAMへの書き込みは4ワード・ブロック単位で行われ、書き込み時間は各読み出しサイクルに組み込まれています。従って、FRAMのバイト、ワード、4ワード・ブロック1つ分については読み出し時間と書き込み時間に差がありません。読み出し周波数に関しては、FRAMのアクセス(読み出しと書き込み両方)の上限が8MHzとなっています。ただし、フラッシュの読み出しはデバイスで許容された最大速度(f_{SYSTEM})で行われる可能性があります。F2xxデバイスでは、最大速度が16 MHzとなります。

FRAMベースのシステムでの命令実行速度は、アーキテクチャの影響を受けることに注意する必要があります。FR59xxでは、レジスタ・アクセスとFRAMアクセスの組み合わせを採用したキャッシュベースのアーキテクチャを使用します。これにより、システムのスループットを読み出し周波数の最大許容値8MHzよりも高くすることが可能になります。

6.6.2 キャッシュのアーキテクチャ

FRAMコントローラでは、ライン・サイズが64ビットの2ウェイ・アソシティブ方式のキャッシュを使用します。キャッシュには、プリフェッチされた命令が格納されます。FRAMコントローラの機能は、現在のPC位置に応じて、4つの命令ワードをプリフェッチすることです。これらの命令は、キャッシュで実際に実行されます。キャッシュ・バッファの終わりに到達すると、FRAMコントローラでは現在の4つのワードをキャッシュの1ページに保存(preserve)し、次の4ワードをフェッチします。2ページ分のキャッシュの終わりでコードの途切れ(code discontinuity)が見つかった場合はキャッシュがリフレッシュされ、後続の4つの命令ワードがFRAMから取り出されます。ただし、キャッシュ内の最後の命令に達した時点で、キャッシュ内の既存の位置

にアプリケーション・コードがループバックしている場合は、FRAMから再度コードがフェッチされずに、関連する(relevant)命令がそのままキャッシュから直接実行されます。

8MHzというアクセス制限の影響を受けるのはFRAMアクセスのみであることに注意してください。キャッシュから実行する場合は、最大16MHzのシステム・クロックが使用可能です。このように、キャッシュは(1) 8MHz制限をクリアし、平均システム・スループットを増大させる(2) 大多数の命令がキャッシュから実行されるようにすることで、全体的なアクティブ電力を低減するために役立ちます。注意する必要があるのは、これが命令のみのキャッシュであることです。すべてのデータはFRAMから直接フェッチされ、キャッシュには入れられません。

FR59xxファミリでの、キャッシュからの命令の直接実行(cached execution of instructions)は、F2xxファミリでの場合(すべての命令が、プリフェッチされたりキャッシュに入れられたりすることなく、フラッシュから直接実行されて、MCLKと命令実行の間に1:1の関係を実現する)とは異なるものです。例えば、MCLK = 16 MHzの場合は、8つの2サイクル命令を16クロックで実行できます。FR59xxファミリの場合は、この関係はアプリケーション依存となります。1:1の関係が成立するのは、MCLK = 最大8MHzまでの場合のみです。MCLKが8MHzを超える場合は、挿入されたウェイト・ステートの数 (FRAMがアクセスされた回数に比例します)により、MCLK: 命令・実行の比率が決まります。

別のアプリケーション例を挙げると、MCLK = 16 MHzの場合は、どちらのデバイスでも同じレートでJMP \$ 命令(単一サイクル)が実行されます。これは、FR59xxがこの命令を一度フェッチしてキャッシュに格納するためです(キャッシュ内では命令を最大MCLK速度で実行できます)。ただし、4個より多い命令ワードを持つループでは、キャッシュのリフレッシュが必要になるたびにFRAMへのアクセスが必要になります。これらのFRAMアクセスはMCLK/2 (つまり8MHz)で発生するため、F2xxデバイスと比較してシステムの全体的なスループットが小さくなります。

7 ペリフェラルの検討事項

FR59xxファミリのペリフェラルには新機能や、従来とは異なる方法で実装された既存の機能があります。このセクションでは、各ペリフェラルの違いを強調して説明します。

7.1 ウォッチドッグ・タイマ

2つのファミリの主な違いは、フェイルセーフ動作にあります。

F2xxファミリでは、WDTのタイミングは通常、ACLK(クロック源は水晶発振子かVLOです)によって取られます。水晶発振子に障害が発生した場合は、WDTのデフォルトがMCLKになります。MCLKのクロック・ソースも水晶発振子である場合は、DCOが自動的にアクティベートされます。

FR59xxファミリでは、WDTのフェイルセーフ動作はDCOではなく、VLOをデフォルトとします。

7.2 ポート

7.2.1 デジタル入力/出力

FR59xxの汎用I/O (GPIO)ピンの主な違いは次の通りです。

- すべてのGPIOに、内蔵構成可能プルアップ抵抗およびプルダウン抵抗が付いています。
- FR59xxデバイスでは、P3ポートとP4ポートも割り込み可能です。(F2xxデバイスでは、P1とP2のみが割り込み可能です)
- FR59xxデバイスのJTAG機能は、ポートJのGPIOピンを使用して多重化(multiplex)されます。
- FR59xxデバイスでのペリフェラル機能の選択では、PxSEL0とPxSEL1の2つのレジスタを使用します。PxSELレジスタを使用して中間構成(intermediate configurations)を回避することで、この2つのレジスタを同時にセットまたはクリアすることが可能です。

7.2.2 容量タッチ I/O

G2xxとFR59xxの容量タッチ実装の主な違いは、ポート・ピンの選択と、タイマへの容量タッチI/Oの内部配線(internal wiring)にあります。

ピン・オシレータ機能のあるF2xxデバイスとG2xxデバイスでは、PxSELx レジスタを介してピン・オシレータの選択がイネーブルになります。

G2xxデバイスの種類によっては、一度にイネーブルにできるピン・オシレータがひとつだけの場合もあります。

FR59xxデバイスには、CAPTIO0CTLとCAPTIO1CTLという2つのレジスタがあります。これらのレジスタはそれぞれ、ポートの選択と、そのポートの特定のピン(ポートを選択することで、容量タッチI/Oとして使用できます)の選択に使用できます。

例えば、CAPTIO0CTLレジスタのCAPTIOPOSELxフィールドではポート1を選択できます。同じレジスタのCAPTIOPISELxフィールドでは、ピン5を選択できます。したがって、容量タッチI/Oとしてピン1.5が指定されます。

それぞれのCAPTIOxCTLレジスタでは、選択された容量タッチI/Oが特定のタイマに配線(内部接続)されます。デバイス固有のデータ・シートに従って、CAPTIO0CTLで選択したものがTA2、CAPTIO1CTLで選択したものがTA3に内部接続されます。

したがって、FR59xxの場合は、2つの容量タッチ素子を2つの異なるタイマに接続した後、それぞれを同時にサンプリングすることが可能です。概念的には、容量タッチ・ベースの発振生成原理(生成された発振はその後タイマに供給されます)は、どちらのデバイス・ファミリでも同じです。

7.3 アナログ-デジタル・コンバータ

7.3.1 ADC12 → ADC12_B

ADC12モジュールとADC12_Bモジュールの大きな違いのいくつかを次に示します。

- ADC12_Bは、ADC12よりも大幅に消費電力が低くなっています。供給電流や基準バッファ電流等のパラメータを比較するには、各デバイス毎のデータ・シートを参照してください。
- ADC12_Bでは、デバイスの電圧範囲全体(1.8 V~3.6 V)にて動作が可能です。
- ADC12_Bモジュールでは、16のシングルエンド方式外部入力チャネル(結合して8つの差動外部入力チャネルを形成することが可能)をサポートしています。
- ADC12_Bでは「ウィンドウ・コンパレータ」という新機能により、ユーザー側で閾値レベルを設定して、変換結果をその閾値と比較することが可能になっています。閾値はLSB単位で設定され、変換結果が事前設定された(pre-set)低/高閾値レベルの範囲内の値になった場合は割り込みがトリガされます。変換結果が、事前設定された低/高閾値レベル範囲の上限/下限を超えた場合も、割り込みが提供されます。機能がイネーブルになると、同じウィンドウ・コンパレータ閾値がチャネル間で共有され、様々なチャネルからの変換結果が同じ閾値レベルと比較されることに注意してください。この機能は、省電力にきわめて役に立ちます。ADCの入力が特定の閾値に達するまで、デバイスがLPMに留まることが可能になるためです。他の変換結果はすべて自動的に破棄され、デバイスは閾値のトリガ時のみにウェイクアップします。
- ADC12では、サンプル変換用に13 ADC12CLKが必要になります。これに対して、ADC12_Bでは分解能8ビット、10ビット、12ビットでのサンプル変換用に、それぞれ10、12、14 ADC12CLKが必要になります。
- 「サンプリング時間に関する検討事項(Sample Timing Considerations)」セクションで注記されている、最短サンプリング時間を計算するための式が変更されています(詳細については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」を参照してください)。
- ADC12_Bは、シーケンシングを行ったチャネル動作の32のADC12MEMCTLx(メモリ制御)レジスタと、変換メモリ読み出し用の32の専用割り込みを備えています。
- 内蔵バッテリー測定チャネル(AV_{CC})は、ADC12での1/2 AV_{CC}の測定から、ADC12_Bでの2/3 AV_{CC}の測定に変更されています。

- ADC12_Bでは、ADC12CTL2レジスタのADC12RESビットに基づいた8ビット、10ビット、12ビットの変換をイネーブルにするためのオプションを提供します。
- ADC12_BではADC12CTL2レジスタのADC12DFビットをセットすることで、2の補数形式でデータを読み出すためのオプションを提供します。
- サンプリング周波数が50 ksp/sを下回る場合に、ADC12CTL2レジスタのADC12PWRMDビットを使用して、電力を削減するためのオプションをイネーブルにできます。
- リニアリティ、オフセット、総未補正誤差、タイミング等、すべてのパラメータの比較については、各デバイス毎のデータ・シートを参照してください。ADC12_Bでのすべての機能の仕様値については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」[2]を参照してください。
- F2xxファミリのADC12IEレジスタとADC12IFGレジスタは、FR59xxファミリではADC12IER0、ADC12IER1、ADC12IFG0、ADC12IFG1の各レジスタに置き換えられています。モジュール間のレジスタの変更点を比較するには、各ファミリのユーザー・ガイドを参照してください。

7.3.2 ADC10 → ADC12_B

ADC10でもADC12_BでもSAR-ADCアーキテクチャを使用しますが、サンプリング周波数の設定、変換結果の読み出し、グループ化されたチャンネルの処理等の主要な機能をモジュールがどのように実装するかについては多くの違いがあります。セクション7.3.1に改善点としてリストされている機能はすべて、このセクションにも当てはまります。2つのモジュールの違いをすべて詳しく記述することは、このアプリケーション・レポートで扱う範囲を超えています。したがって、モジュールの主な違いに重点を置いた記述にしております。

- ADC12_Bでは、ADCの供給電流と基準電流両方における消費電力が大幅に改善されています。
- FR59xxのADC12_Bでは、8つの差動方式および16のシングルエンド方式外部入力をサポートしています。
- ADC12_Bには、各入力チャンネル用の専用メモリ制御レジスタがあります。これにより、ユーザー側で基準電圧入力等の固有プロパティを設定することが可能になり、ADCの各チャンネル用に別個のメモリ・バッファが提供されます。FR59xxのADC12_Bの場合は、上記のようなメモリ制御レジスタが32個提供されます。チャンネルのグループがサンプリングされる場合は、変換結果が連続して(sequentially)格納され、すべてのチャンネルがサンプリングを完了した後に読み出せるようになります。
- ADC10用のDTCモジュールは、ADC12_BではDMAIに置き換えられています。
- ADC12_Bの割り込みはすべて、ADC12IVを使用して処理されます。
- ADC12_Bでは、基準制御(reference control)がADCブロックから除去されています(セクション7.4参照)。
- 内蔵バッテリー測定チャンネル(AV_{CC})は、ADC10での $1/2 AV_{CC}$ の測定から、ADC12_Bでの $2/3 AV_{CC}$ の測定に変更されています。
- リニアリティ、オフセット、総未補正誤差、タイミング等、すべてのパラメータの比較については、各デバイス毎のデータ・シートを参照してください。ADC12_Bでのすべての機能の仕様値については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」[2]を参照してください。

7.4 REF_A モジュール

F2xxデバイスでは、ADCレジスタのREFONビットとSREFxビットを使用してADCの基準(電圧)が制御されます。内部基準電圧用に選択可能な2つの値が、1.5 Vと2.5 Vです。

FR59xxデバイスでは、REF_Aモジュールが基準電圧の選択を制御します。内部基準電圧に利用可能な選択肢は1.2V、2.0V、2.5Vです。内部基準電圧は、それを必要とするすべてのモジュール(DACやLCD等)で共有されます。

注意事項として、FR59xxデバイスでは基準セトリング時間が大幅に縮小されていることです。ADC12のあるMSP430F2619デバイスの基準セトリング時間は17 msです。これに対して、REF_Aモジュールのセトリング時間はわずか75 μ sです。これにより、ADCとREFが断続的に使用される場合に、大幅な柔軟性の向上と省電力が可能になります。

次の追加機能が、REF_Aモジュールで使用可能です。

- REFGENACTビットとREFBGACTビットを介して、基準電圧生成回路用のステータス・インジケータ(状態指示子)が追加されています。
- REFGENRDYビットを照会(query)して、REF_Aが安定(settle)したかどうかを判定できます。
- REFGENBUSYは、REF_Aの設定を変更しても安全な時点を検出する場合に役立ちます。例えば、ADCでアクティブな変換が行われている間は設定の変更ができません。

7.5 Comparator_A→Comparator_E

Comparator_Eモジュールでは、次のような追加機能を実現します。

- コンパレータの内部基準(internal reference)により、REFモジュールに供給が行われます。
- コンパレータ出力の立ち下がりエッジおよび立ち上がりエッジ(CEIES.CECTL1)のどちらかを選択するために、2つの別個の割り込みが使用されます。
- コンパレータの出力極性(output polarity)が反転可能になっています(GEOUTPOL.CECTL1)。
- 内部基準電圧は、コンパレータのピンで外部的に配線可能です。
- RCフィルタの遅延がソフトウェア的に選択可能です。
- 追加の外付け部品を使用しなくても、電圧ヒステリシス生成回路を使用してヒステリシスを生成できます。
- 2つのファミリではレジスタと制御ビットのセリングが大きく異なるため、ファームウェアを移植するには各ファミリのユーザズ・ガイドを参照することが推奨されます。

7.6 ハードウェア乗算器(HWMPY32)

FR59xxのHWMPY32モジュールでは、8ビット、16ビット、24ビット、32ビット動作をサポートします。これらの動作は、FR59xxファミリ用のコードを生成する場合に、Cコンパイラにより最大限に利用されます。モジュールでは追加機能として、分数(fractional number)モードと飽和モードをサポートしています。ただし、これらの機能にアクセスするには、ハードウェア乗算器のメモリマップ制御レジスタを直接操作するか、適切なソフトウェア・ライブラリを使用する必要があります。

7.7 通信モジュール

7.7.1 USI → eUSCI

USIモジュールはいくつかのF2xxデバイスで使用可能ですが、アーキテクチャの点で(architecturally) eUSCIモジュールとは異なります。USIモジュールは、データ・ビットをシフトアウトするためにカウンタと連動して使用されるシフト・レジスタ上で最初に生成されます。SPI通信またはI2C通信のプロトコル固有の側面はすべて、ソフトウェアを介して実装されます。したがって、USIモジュールの実装は等量のファームウェアとハードウェアの組み合わせであるといえます。

これに対して、eUSCIモジュールはほぼ完全にハードウェア・ベースです。アプリケーション・ファームウェアは、使用中のプロトコルに基づいてモジュールを構成した後、データを受信/送信するために割り込みにアクセスする目的でのみ必要とされます。したがって、USIからeUSCIへのファームウェア移行に関しては、コードを再利用できません。デバイスのプロダクト・フォルダにオンラインで提供されているコード例には、eUSCIモジュールの容易なセットアップ方法と割り込みの処理方法が示されているため、そちらを参照することが推奨されます。

eUSCIモジュールでは、すべての通信固有の実装の詳細をハードウェア的に処理します。これにより、アプリケーションの消費電力の最適化が向上し、データの送受信をさらに効率的に行うことが可能になります。

USIモジュールでは、SPIおよびI2Cプロトコルをサポートし、eUSCIモジュールではSPI、I²C、UARTの各プロトコルをサポートしていることに注意してください。

7.7.2 USCI → eUSCI

eUSCIのアーキテクチャと内蔵ステート・マシンは、F2xxファミリのUSCIモジュールと非常によく似ています。ただし、既存の機能に加えられた変更の他に、eUSCIには多くの新機能が付加されています。大部分のコードの互換性は保たれていますが、レジスタ名を再確認することが推奨されます。表5に、ファミリー間の大きな相違点の大部分が挙げられています。詳細については、アプリケーション・レポート「Migrating from the USCI to the eUSCI」(SLAA522) [6]を参照してください。

表 5 USCIモジュールとeUSCIモジュールの比較

パラメータまたは機能	USCI (F2xx)	eUSCI (FR59xx)
UART		
拡張されたボー・レートの生成	No	Yes
TXEPT 割り込み (USART と同様)	No	Yes
エッジ割り込みの開始	No	Yes
選択可能なグリッチ・フィルタ	No	Yes
割り込みベクタ生成回路	No	Yes
SPI		
拡張されたボー・レートの生成	No	Yes
最大ボー・レート	4MHz ~ 6MHz	10MHz
割り込みベクタ生成回路	No	Yes
I2C		
送信バッファのプリロード	No	Yes
クロック Low タイムアウト	No	Yes
バイト・カウンタ	No	Yes
複数スレーブのアドレス指定	No	Yes
アドレス・ビット・マスク	No	Yes
割り込みフラグのハードウェア的なクリア	Yes	No
割り込みベクタ生成回路	No	Yes

8 結論

このアプリケーション・レポートでは、MSP430FR59xxファミリの主な機能変更と新モジュールの多くについて、MSP430F2xxファミリと比較して説明しています。本書は包括的なドキュメントとして意図されたものですが、F2xxファミリとFR59xxファミリの間には、本書では取り上げられていない小さな変更点も存在する可能性があります。任意のデバイスの詳細については、各デバイスのデータ・シートが常に最良の情報源となります。

モジュールの機能と使用方法については、「MSP430FR58xx and MSP430FR59xx Family User's Guide」(SLAU367)を参照してください。

FR59xxデバイスを使用した開発作業に携わる方のための入門書として役立つ情報源として、MSP430Ware™ ソフトウェア (<http://www.ti.com/msp430ware>)、およびグラフィック構成ツール Grace™ (Code Composer Studio™ IDE (<http://www.ti.com/grace>)用のプラグイン)の2つがあります。

9 参考文献

[1] FRAM Technology Backgrounder – An Overview of FRAM Technology (www.ramtron.com)

- [2] MSP430FR58xx and MSP430FR59xx Family User's Guide (SLAU367)
- [3] MSP430x2xx Family User's Guide (SLAU144)
- [4] MSP430F22x4, MSP430F22x2 data sheet (SLAS504)
- [5] MSP430FR59xx, MSP430FR58xx data sheet (SLAS704)
- [6] Migrating from the USCI to the eUSCI (SLAA522)
- [7] Maximizing FRAM Write Speed on the MSP430FR5739 (SLAA498)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85%で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上