

Analog Engineer's Circuit

シングルエンドの高精度 DAC からの差動出力用回路

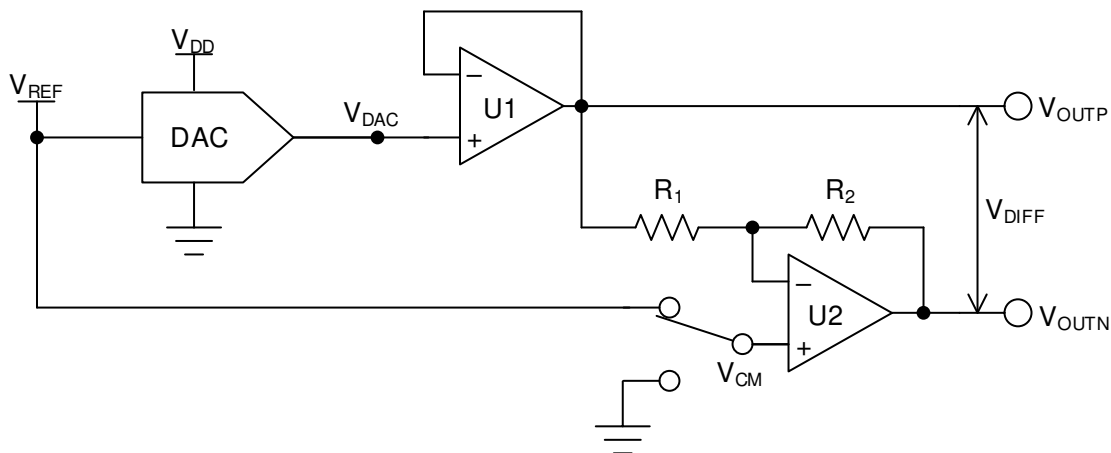


設計目標

電源	DAC 出力	差動出力範囲
VCC:10V, VSS:-10V, VDD:5V	0V~5V	±5V

設計の説明

このシングルエンドから差動への変換回路には、2つの演算増幅器（オペアンプ）を使っています。ユニポーラのデジタル/アナログコンバータ（DAC）チャンネルから、バイポーラ差動出力を生成します。この種の回路は、光モジュール、都市部データセンターの相互接続、超音波スキャナ、X線システムなど低ノイズの要求されるアプリケーションで非常に有用です。AC性能を重視する場合、他の設計手法として完全差動アンプ（FDA）も有用ですが、オペアンプの手法では最良のDC特性が得られます。そうは言うものの、特定のオペアンプやFDAはこの2つのトポロジの比較に影響を与えます。



デザインノート

- 必要な分解能と出力範囲を持つDACを選択します。
- 次の主要な要件を考慮して、システムの仕様を満たすオペアンプを選択します。
 - レールまでのスイング: 5V電源レールの場合、レールツーレールでゼロクロスオーバー歪みのデバイス（例：OPA320、OPA365）を使用するのが一般的です。
 - オフセット電圧とドリフト: この回路がFDA手法よりも優れている点の1つは、一部のオペアンプのDC性能が非常に優れていることです。
 - 帯域幅と静止電流: FDA手法と比較して、この回路のもう1つの利点は、オペアンプの帯域幅と、それに関する静止時電流を、広い範囲から選択できることです。サンプリングレートが低い場合、低帯域幅で低消費電流のオペアンプが最適です。
- 出力の熱ノイズが最小になるように、 R_1 および R_2 を選択します。

設計手順

- DAC80501などのDACを選択します。これは16ビット、シングルチャンネルのバッファ付き電圧出力DACで、2.5Vの基準電圧が内蔵されています。基準出力は、同相電圧（ V_{CM} ）としても使用できます。
- OPA320などの低歪みオペアンプを選択します。
- 回路のDC伝達関数は、次の式で表されます。

$$V_{\text{OUTP}} = V_{\text{DAC}}$$

$$V_{\text{OUTN}} = V_{\text{CM}} \left(1 + \frac{R_2}{R_1} \right) - V_{\text{DAC}}$$

- ゲインを 1 にして、ノイズを最小化するため、 R_1 と R_2 に $1\text{k}\Omega$ を選択します。ゲイン誤差を最小化するため、0.1% 公差の抵抗を使用します。
- U1 から差動出力への熱ノイズ寄与分は、U1 から直接のパスと、U2 を経由する反転のパスに分けられます。どちらのノイズも相互に関連しているため、直接加算されます。DAC80501 の出力ノイズ密度 ($e_{\text{n-DAC}}$) は $74\text{nV}/\sqrt{\text{Hz}}$ で、OPA320 のノイズ密度 ($e_{\text{n-AMP}}$) は $7\text{nV}/\sqrt{\text{Hz}}$ です。U1 のノイズゲイン ($G_{\text{n-U1}}$) は 1 です。したがって、U1 が出力に加算する全ノイズ密度 ($e_{\text{n-U1}}$) は次の式で与えられます。

$$e_{\text{n-U1}} = 2 \times \sqrt{(e_{\text{n-DAC}})^2 + (e_{\text{n-AMP}})^2} = 148.66\text{nV}/\sqrt{\text{Hz}}$$

- ゲイン抵抗 R_1 および R_2 が加算する熱ノイズ ($e_{\text{n-R}}$) は次の式で与えられます。

$$e_{\text{n-R}} = \sqrt{4 \cdot K \cdot T \cdot (R_1 \parallel R_2)} = \sqrt{4 \cdot (1.38 \times 10^{-23} \text{ J/K}) \cdot (298.15\text{K}) \cdot (500\Omega)} = 2.87\text{nV}/\sqrt{\text{Hz}}$$

- U2 が加算する無相関のノイズ密度 ($e_{\text{n-U2}}$) は、ゲイン抵抗の熱ノイズ ($e_{\text{n-R}}$)、U2 の熱ノイズ ($e_{\text{n-AMP}}$)、 V_{CM} が DAC80501 の V_{REF} 出力を經由するときに加算するノイズ ($e_{\text{n-VREF}}$) の合成となります。 $e_{\text{n-VREF}}$ は $140\text{nV}/\sqrt{\text{Hz}}$ です。U2 のノイズゲイン ($G_{\text{n-U2}}$)、すなわち $1 + (R_2/R_1)$ は 2 です。したがって、 $e_{\text{n-U2}}$ は次のように表されます。

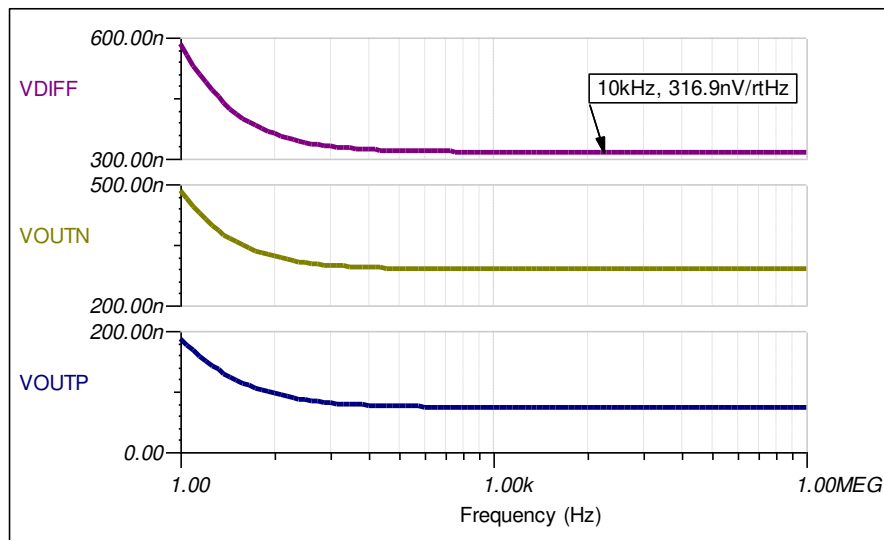
$$e_{\text{n-U2}} = \sqrt{(e_{\text{n-VREF}} \cdot G_{\text{n-U2}})^2 + (e_{\text{n-AMP}} \cdot G_{\text{n-U2}})^2 + (e_{\text{n-R}} \cdot G_{\text{n-U2}})^2} = 280.4\text{nV}/\sqrt{\text{Hz}}$$

- 最後に、U1 と U2 からのノイズを合わせると、差動出力での全ノイズ密度 ($e_{\text{n-T}}$) が得られます。

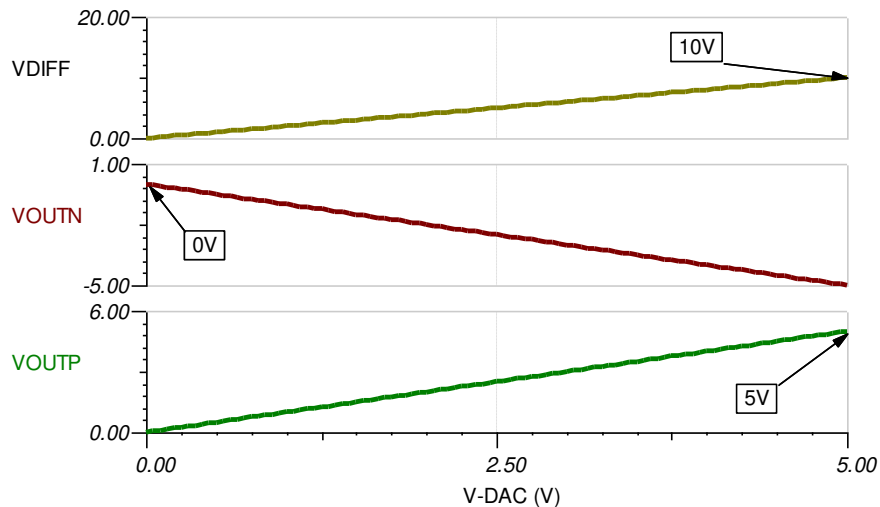
$$e_{\text{n-T}} = \sqrt{(e_{\text{n-U1}})^2 + (e_{\text{n-U2}})^2} = 317.37\text{nV}/\sqrt{\text{Hz}}$$

差動出力における熱ノイズのシミュレーション値を、次の図に示します。シミュレーション値の $316.9\text{nV}/\sqrt{\text{Hz}}$ は、計算された値とほぼ同じです。DAC 出力と V_{REF} 出力の熱ノイズは、ノイズのシミュレーションのため、等価抵抗でエミュレートされています。

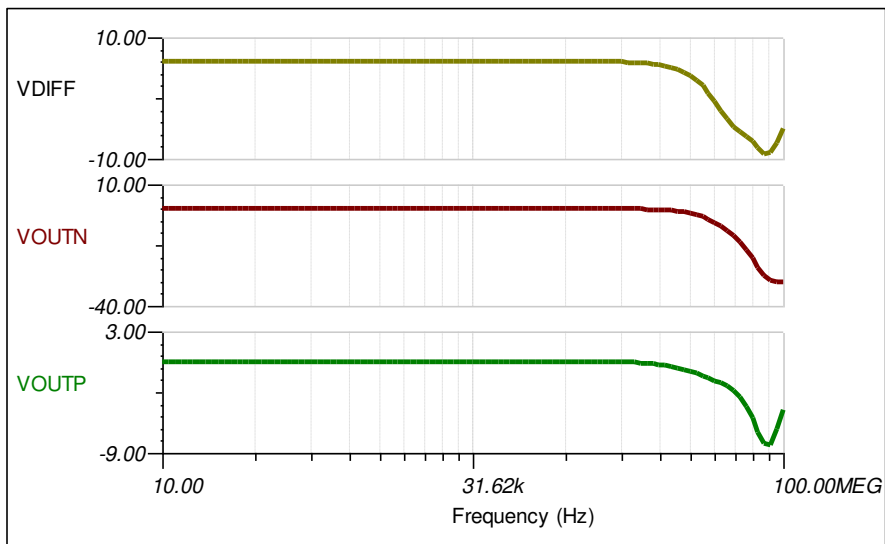
差動出力での熱ノイズ密度 ($V_{\text{CM}} = V_{\text{REF}}$)



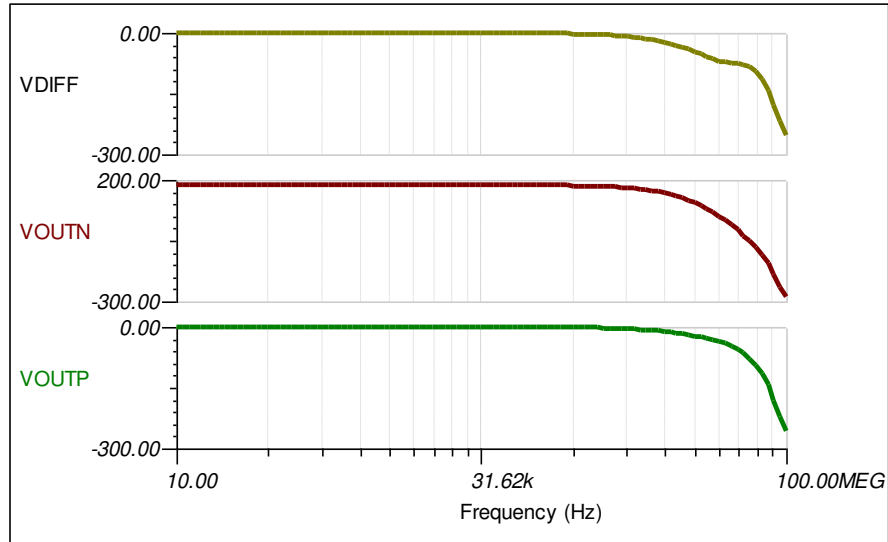
DC 伝達特性 ($V_{CM} = 0V$)



周波数応答 (振幅)

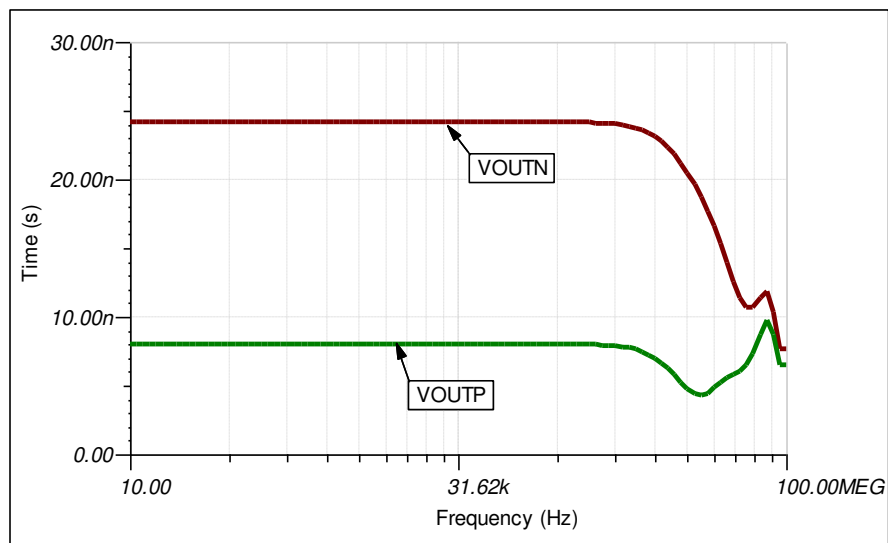


周波数応答 (位相)

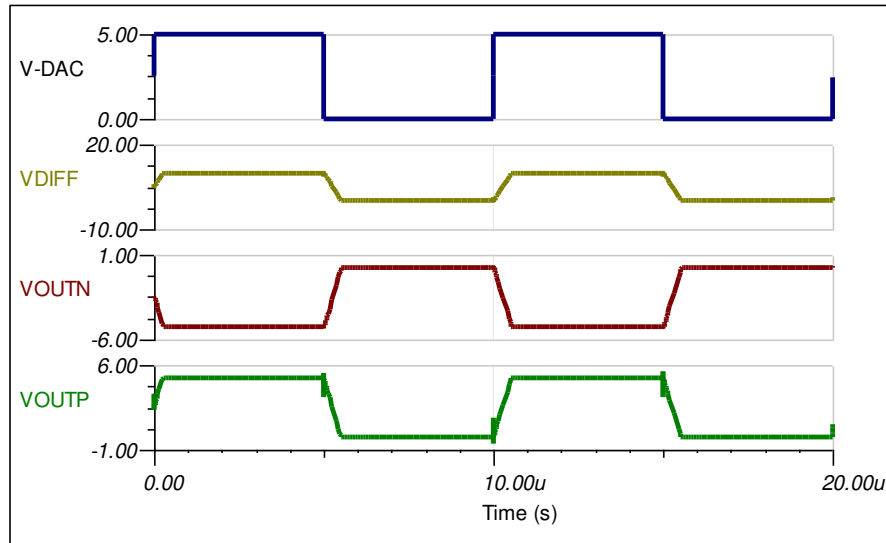


群遅延

群遅延は、印加された入力信号と出力信号との間の時間遅延です。すべてのアンプおよびフィルタには群遅延が存在します。この回路では、反転パスと非反転パスの両方に異なる群遅延が存在するため、群遅延が重要となります。これにより、高い周波数の信号が歪む可能性があります。詳細については、時間ドメインプロットの群遅延を参照してください。



出力過渡応答



設計に使用しているデバイスと代替部品

主なデバイス

デバイス	主な特長	リンク
DAC80501	高精度基準電圧を内蔵した 16 ビット、1LSB INL のデジタル / アナログ コンバータ (DAC)	WSON パッケージ封止、高精度基準電圧内蔵、真の 16 ビット、1 チャンネル、SPI/I2C 対応、電圧出力 DAC
DAC80508	高精度リファレンス内蔵 8 チャンネル、真の 16 ビット、SPI、電圧出力 DAC	16 ビット、超低グリッチ、電圧出力 D/A コンバータ
DAC8562	温度ドリフト 4ppm/°C の 2.5V リファレンス搭載、16 ビット、デュアルチャンネル、低消費電力、超低グリッチ、電圧出力 DAC	温度ドリフト 4ppm/°C の 2.5V 基準電圧搭載、16 ビット、デュアルチャンネル、低消費電力、超低グリッチ、電圧出力 DAC
OPA320	高精度、ゼロクロスオーバー、20MHz、Ib = 0.9pA、RRIO、CMOS オペアンプ	高精度、ゼロクロスオーバー、20MHz、Ib = 0.9pA、RRIO、CMOS オペアンプ
OPA365	2.2V、50MHz、低ノイズ、単一電源、レールツーレール オペアンプ	2.2V、50MHz、低ノイズ、単一電源、レールツーレール オペアンプ

主要なファイルへのリンク

テキサス・インスツルメンツ、[TINA SBAM419](#)、ソース ファイル

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated