

Application Note

TPS65220 または TPS65219 PMIC による AM64x への電力供給



概要

このアプリケーション・ノートは、産業用 AM64x Sitara プロセッサに電力を供給する非車載システムに TPS65220 または TPS65219 パワー・マネージメント IC (PMIC) を統合する際のガイドとして使用できます。注文可能な型番の比較表には、AM64x のさまざまな使用事例をサポートする、工場出荷時にプログラム済みの TPS65220 および TPS65219 のバリエーションの構成が詳細に記載されています。設計プロセスを支援するために、電源マップの例が提供されます。

目次

1 はじめに.....	2
2 TPS65220 および TPS65219 の概要.....	2
2.1 TPS65220 および TPS65219 の機能ブロック図.....	4
3 TPS65220 および TPS65219 のバリエーション.....	6
4 AM64x に電力を供給する TPS6522053.....	7
4.1 AM64x に電力を供給する TPS6521901.....	11
4.2 AM64x に電力を供給する TPS6521902.....	14
4.3 AM64x に電力を供給する TPS6521903.....	16
4.4 AM64x に電力を供給する TPS6521904.....	18
5 関連資料.....	20

図の一覧

図 2-1. TPS65220 機能ブロック図.....	4
図 2-2. TPS65219 機能ブロック図.....	5
図 4-1. AM64x に電力を供給する TPS6522053.....	8
図 4-2. TPS6522053 の電源オン・シーケンス.....	9
図 4-3. TPS6522053 の電源オフ・シーケンス.....	10
図 4-4. AM64x に電力を供給する TPS6521901.....	12
図 4-5. TPS6521901 の電源オン・シーケンス.....	13
図 4-6. TPS6521901 の電源オフ・シーケンス.....	13
図 4-7. AM64x に電力を供給する TPS6521902.....	14
図 4-8. TPS6521902 の電源オン・シーケンス.....	15
図 4-9. TPS6521902 の電源オフ・シーケンス.....	15
図 4-10. AM64x に電力を供給する TPS6521903.....	16
図 4-11. TPS6521903 の電源オン・シーケンス.....	17
図 4-12. TPS6521903 の電源オフ・シーケンス.....	17
図 4-13. AM64x に電力を供給する TPS6521904.....	18
図 4-14. TPS6521904 の電源オン・シーケンス.....	19
図 4-15. TPS6521904 の電源オフ・シーケンス.....	19

表の一覧

表 2-1. TPS65220 および TPS65219 の電源リソース.....	2
表 2-2. TPS65220 と TPS65219 の機能比較.....	3
表 3-1. TPS65220 と TPS65219 のバリエーションの比較表.....	6

商標

Sitara™ is a trademark of Texas Instruments.

Arm® is a registered trademark of Arm Ltd.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

TPS65220 PMIC は、AM64x プロセッサおよび主要なペリフェラルへの電力供給専用設計された、低コストで省スペースのソリューションです。TPS65220 PMIC (SK-AM64B) を使用すると、AM64x SK EVM リビジョン 2 を使用したハードウェア・ソリューションが簡単に利用できます。また、ファンクショナル・スピン TPS65219 はフレキシブルなマッピング機能を備えており、AM64x のさまざまな使用事例をサポートする、工場出荷時にプログラム済みのバリエーションが複数提供されます。Arm® プロセッサの Sitara™ ファミリーに属する AM64x は、広範な産業用アプリケーション向けに、柔軟性が高く、リアルタイムで低レイテンシの処理を実現します。このプロセッサは、モーター・ドライブからプログラマブル・ロジック・コントローラ (PLC) まで各種アプリケーションで使用できるように、強力なコンピューティング能力を提供すると同時に、ポータブル・システムや電力に制約のあるシステム向けに設計されたパワー・マネージメント機能をサポートします。AM64x ファミリーなどのプロセッサに電力を供給するには、十分な電流ヘッドルーム、厳格な過渡要件、電源オン/電源オフ・シーケンス用に完全に制御可能な多数のレールなどの要件を満たす必要があります。

AM64x プロセッサには、メイン・レール用に少なくとも 7 つの電源が必要です。これらは、コア電源レール (VDD_CORE および VDDR_CORE)、DDR IO 電源 (VDDS_DDR)、1.8V/3.3V のデジタルおよびアナログ IO レール (VDDSHVx、VDDSHV_MCU、VDDSHVy、VDDA_MCU) で構成されます。このアプリケーション・ノートでは、AM64 Sitara™ プロセッサおよび主要なペリフェラルへの電力供給専用設計された、TPS65220 および TPS65219 パワー・マネージメント IC (PMIC) とフル機能セットについて説明します。

2 TPS65220 および TPS65219 の概要

TPS65220 および TPS65219 PMIC は、それぞれ 7 個のレギュレータ、3 個の降圧レギュレータ、4 個の低ドロップアウト・レギュレータ (LDO) を内蔵しています。降圧コンバータは、Buck1 で最大 3.5A、その他の降圧レギュレータでそれぞれ 2A をサポートします。LDO1 および LDO2 (2×400mA) は、ロード・スイッチとして構成することも、動的な SD カード電圧をサポートするバイパス・モードに構成することも可能です。LDO3 および LDO4 (2×300mA) は、ロード・スイッチとして構成できます。この PMIC は VIN 範囲が 2.5V~5.5V と広く、3.3V または 5V の一般的なシステム電圧をサポートします。I2C インターフェイス、3 本の GPIO ピン、3 本のマルチファンクション・ピンを備えた TPS65220 および TPS65219 PMIC は、それぞれ AM64x SoC や他の多くの SoC に電力を供給できる完全な電源パッケージを提供します。表 2-1 に、TPS65220 および TPS65219 の電源リソースの概要を示します。

TPS65220 は -40°C~+125°C の周囲温度で動作が規定されており、TPS65219 は -40°C~+105°C の周囲温度で動作が規定されています。TPS65220 の 拡張 PMIC 温度範囲は、より高温で動作する AM64x ベースのシステムをサポートします。安全重視のアプリケーション向けに、TPS65220 は機能安全に対応しています。したがって、TPS65220 の開発プロセスは TI の品質管理プロセスに基づいており、TPS65220 では機能安全 FIT 率の計算と故障モード分布 (FMD) も利用できます。TPS65220 デバイスは、プログラムされた NVM 設定に応じて 2.3MHz の固定周波数または 2.3MHz の擬似固定周波数のいずれかに対応するため、スイッチング周波数の柔軟性も向上しており、低 IQ / 自動 PFM モードと強制 PWM モードで使用できます。表 2-2 に、TPS65220 と TPS65219 の機能比較を示します。

表 2-1. TPS65220 および TPS65219 の電源リソース

	入力電圧	出力電圧	電流能力	備考
BUCK1	2.5V~5.5V	0.6V~3.4V	3.5A	<ul style="list-style-type: none"> 2.3MHz の擬似固定周波数 TPS65220 は構成に応じて固定周波数もサポート 低 IQ / 自動 PFM および強制 PWM モードをサポート。 電源シーケンスとデフォルト電圧をプログラム可能 低電圧監視用の電圧スーパーバイザを内蔵 動的な電圧スケーリングをサポート (AM64x への電力供給時には不要)
BUCK2	2.5V~5.5V	0.6V~3.4V	2A	
BUCK3	2.5V~5.5V	0.6V~3.4V	2A	

表 2-1. TPS65220 および TPS65219 の電源リソース (continued)

	入力電圧	出力電圧	電流能力	備考
LDO1	1.5V~5.5V	0.6V~3.4V	400mA	<ul style="list-style-type: none"> ロード・スイッチとして構成することも、SD カードをサポートするバイパス・モードに構成することも可能 低電圧監視用の電圧スーパーバイザを内蔵
LDO2	1.5V~5.5V	0.6V~3.4V	400mA	
LDO3	2.5V~5.5V	1.2V~3.3V	300mA	<ul style="list-style-type: none"> ロード・スイッチとして構成可能 低電圧監視用の電圧スーパーバイザを内蔵
LDO4	2.5V~5.5V	1.2V~3.3V	300mA	

表 2-2. TPS65220 と TPS65219 の機能比較

機能	TPS65220	TPS65219
スイッチング周波数	最大 2.3MHz デバイスの構成 (プログラムされた NVM 設定) に応じて、疑似固定周波数または固定周波数のいずれかに対応。 疑似固定周波数: <ul style="list-style-type: none"> 自動 PFM 強制 PWM 固定周波数: <ul style="list-style-type: none"> スペクトラム拡散機能を利用可能 	最大 2.3MHz 疑似固定周波数: <ul style="list-style-type: none"> 自動 PFM 強制 PWM
自由気流での動作温度 (T _A)	-40°C~125°C	-40°C~105°C
動作時の接合部温度 (T _J)	-40°C~150°C	-40°C~125°C
機能安全対応	機能安全対応 (TI の品質管理プロセス、機能安全 FIT 率の計算、故障モード分布が利用可能)	なし
評価基板が入手可能	SK-AM64B EVM 評価ボードは、2022 年 9 月から TI.com で入手できます。	TPS65219EVM (PMIC のみ。プロセッサは含まない)
パッケージ	1 パッケージ・オプション <ul style="list-style-type: none"> 5mm×5mm、0.5mm ピッチの VQFN 	2 パッケージ・オプション <ul style="list-style-type: none"> 4mm×4mm、0.4mm ピッチの VQFN 5mm×5mm、0.5mm ピッチの VQFN

2.1 TPS65220 および TPS65219 の機能ブロック図

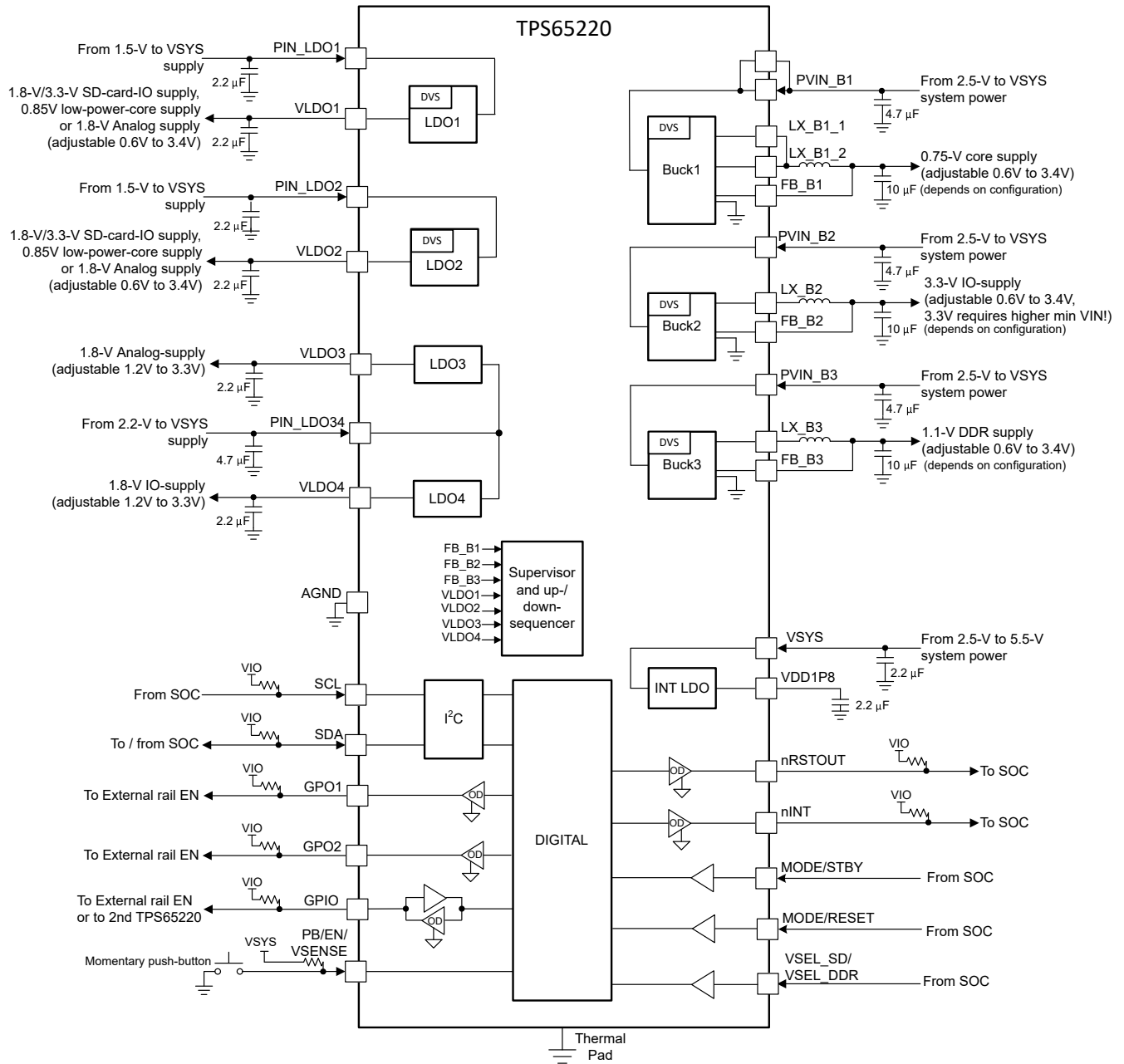


図 2-1. TPS65220 機能ブロック図

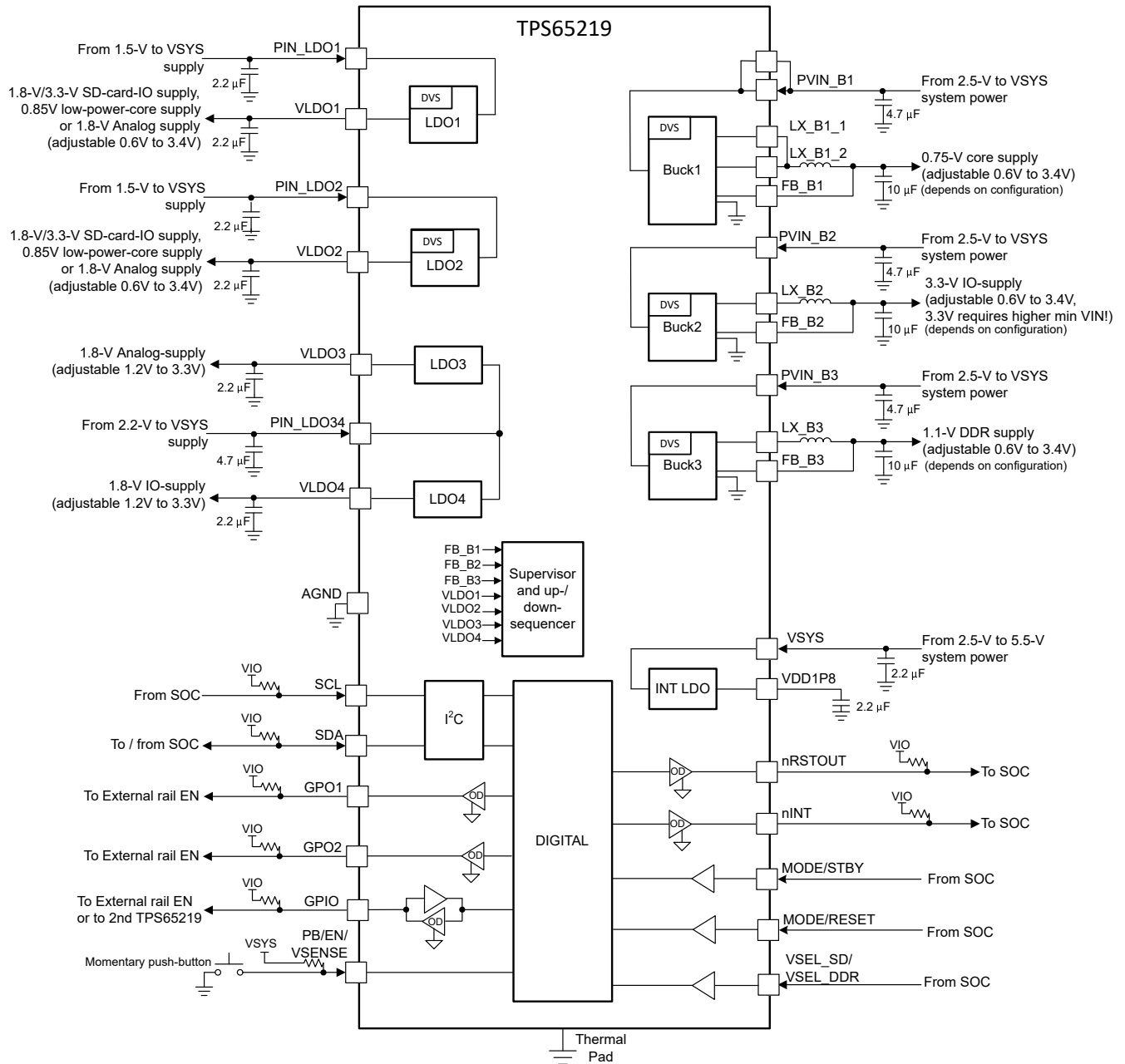


図 2-2. TPS65219 機能ブロック図

3 TPS65220 および TPS65219 のバリエーション

TPS65220 および TPS65219 PMIC には、AM64x プロセッサへの電力供給用として工場出荷時にプログラム済みの注文可能な型番 (OPN) のバリエーションが 5 種類あります。アプリケーションの使用事例と設計要件に基づいて、適切な OPN を選択してください。表 3-1 は、各 NVM 構成について、各レールの出力電圧、デジタル・ピンの構成、パッケージ・オプションを比較した表です。この表には、新しい設計をサポートする提供中のリファレンス・ハードウェアも掲載されています。詳細については、TI.com で入手可能なデバイスのデータシートと技術リファレンス・マニュアル (TRM) を参照してください。

表 3-1. TPS65220 と TPS65219 のバリエーションの比較表

		TPS6522053 セクション 4	TPS6521901 セクション 4.1	TPS6521902 セクション 4.2	TPS6521903 セクション 4.3	TPS6521904 セクション 4.4
使用事例	Vsys	3.3V	5V	3.3V	3.3V	3.3V
	外部メモリのサポート	LPDDR4	DDR4	LPDDR4	DDR4	DDR4
BUCK1	Vout	0.75V	0.75V	0.75V	0.75V	0.85V
	帯域幅	高帯域	高帯域	高帯域	高帯域	高帯域
BUCK2	Vout	1.8V	3.3V	1.8V	1.8V	1.8V
	帯域幅	高帯域	高帯域	高帯域	高帯域	高帯域
BUCK3	Vout	1.1V	1.2V	1.1V	1.2V	1.2V
	帯域幅	高帯域	高帯域	高帯域	高帯域	高帯域
LDO1	Vout	3.3V (バイパス)	3.3V (バイパス)	3.3V (バイパス)	3.3V (バイパス)	3.3V (バイパス)
LDO2	Vout	0.85V	0.85V	0.85V	0.85V	1.8V (バイパス)
LDO3	Vout	1.8V	1.8V	1.8V	1.8V	1.8V
LDO4	Vout	2.5V	2.5V	2.5V	2.5V	2.5V
GPIO	GPO1	ディセーブル	イネーブル	ディセーブル	ディセーブル	ディセーブル
	GPO2	イネーブル	ディセーブル	イネーブル	イネーブル	イネーブル
	GPIO	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
	マルチデバイス	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
MODE_RESET	Config	ウォーム・リセット	ウォーム・リセット	ウォーム・リセット	ウォーム・リセット	ウォーム・リセット
MODE_STANDBY	Config	モードおよびスタンバイ	モードおよびスタンバイ	モードおよびスタンバイ	モードおよびスタンバイ	モードおよびスタンバイ
VSEL_SD_DDR	Config	SD	SD	SD	SD	SD
	極性	High = VOUT Low = 1.8V	High = VOUT Low = 1.8V	High = VOUT Low = 1.8V	High = VOUT Low = 1.8V	High = VOUT Low = 1.8V
	レール	LDO1	LDO1	LDO1	LDO1	LDO1
EN_PB_VSENSE	Config	イネーブル	イネーブル	プッシュボタン	プッシュボタン	プッシュボタン
最初の電源検出 [1]	FSD config	イネーブル	イネーブル	イネーブル	イネーブル	イネーブル
追加機能	温度範囲	T _A : -40°C ~ +125°C T _J : -40°C ~ +150°C	T _A : -40°C ~ +105°C T _J : -40°C ~ +125°C	T _A : -40°C ~ +105°C T _J : -40°C ~ +125°C	T _A : -40°C ~ +105°C T _J : -40°C ~ +125°C	T _A : -40°C ~ +105°C T _J : -40°C ~ +125°C
	機能安全対応	あり	なし	なし	なし	なし
発注用製品型番	パッケージ・サイズ: 5 × 5mm	TPS6522053RHBR	TPS6521901RHBR	TPS6521902RHBR	TPS6521903RHBR	TPS6521904RHBR
	パッケージ・サイズ: 4 × 4mm	N/A	TPS6521901RSMR	TPS6521902RSMR	TPS6521903RSMR	TPS6521904RSMR
設計リソース	リファレンス・ハードウェア	SK-AM64B 評価基板	TPS65219EVM (PMIC のみ。プロセッサは含まない)	N/A	N/A	N/A
	リファレンス・ハードウェアの提供状況	ボードは、2022 年 9 月から TI.com で入手できます。	ボードと設計ファイルは、TI.com から入手できます。	N/A	N/A	N/A

[1] 最初の電源検出 (FSD) により、EN/PB/VSENSE ピンが OFF_REQ ステータスであっても、電源電圧が印加された直後に電源オンが可能になります。FSD は、EN、PB、または VSENSE などの任意のオン・リクエスト構成と組み合わせで使用できます。最初の電源投入時に、EN/PB/VSENSE ピンは、有効なオン・リクエストがあるかのように見なされます。

4 AM64x に電力を供給する TPS6522053

使用事例: VSYS = 3.3V、LPDDR4 メモリ、拡張温度範囲、機能安全対応

図 4-1 に、3.3V 入力電源と LPDDR4 メモリを搭載したシステム上で AM64x プロセッサに電力を供給する TPS6522053 バリエーションを示します。プリレギュレータから供給される 3.3 V は、リファレンス・システムのメイン入力電源 (VSYS) と、降圧コンバータの電力入力 (PVIN_Bx)、および LDO1、LDO3、LDO4 (PVIN_LDO1、PVIN_LDO34) に接続されます。プリレギュレータから供給される 3.3V をパワー・スイッチと組み合わせて、3.3 V VDDSHVx IO ドメインに電力を供給できます。Buck1 を使用して、0.75V で VDD_CORE に電力を供給します。Buck3 と Buck2 は、VDDS_DDR と DVDD1V8 ドメインで必要とされる 1.1V と 1.8V をサポートしています。また、LPDDR4 メモリに必要とされる電圧をサポートするのにも使用されます。GPO2 は、電源オン・シーケンスの 2 番目のスロット (持続時間 6ms) でイネーブルになるように事前にプログラムされています。この構成を使用して、外部パワー・スイッチをイネーブルにし、プロセッサのシーケンス要件を満たすことができます。このスイッチには適切なランプ・レート仕様の製品を選択し、2 番目のスロットの持続時間 6ms の間に (PMIC が電源オン・シーケンスの次のスロットを開始する前に) 安定した出力電圧を供給する必要があります)。LDO1 をバイパスとして構成すると、SD カードの電圧を 3.3V~1.8V の範囲で動的に変化させることができます。LDO1 のこの電圧の変化は、I2C を介して、または VSEL_SD ピンを HIGH (LDO1 = 3.3V) または LOW (LDO1 = 1.8V) に設定することによってトリガできます。LDO2 は、VDDR_CORE に電力を供給するのに使用されます。LDO3 は 1.8V アナログ・ドメインをサポートしています。LDO4 は、イーサネット PHY などの外部ペリフェラルに使用できる、2.5V の空き電源リソースです。GPIO と GPO1 は、デフォルトで無効になる空きデジタル・リソースですが、必要に応じて I2C を介して有効にすることもできます。図 4-2 および 図 4-3 に、TPS6522053 でプログラムされる電源オンおよび電源オフ・シーケンスを示します。

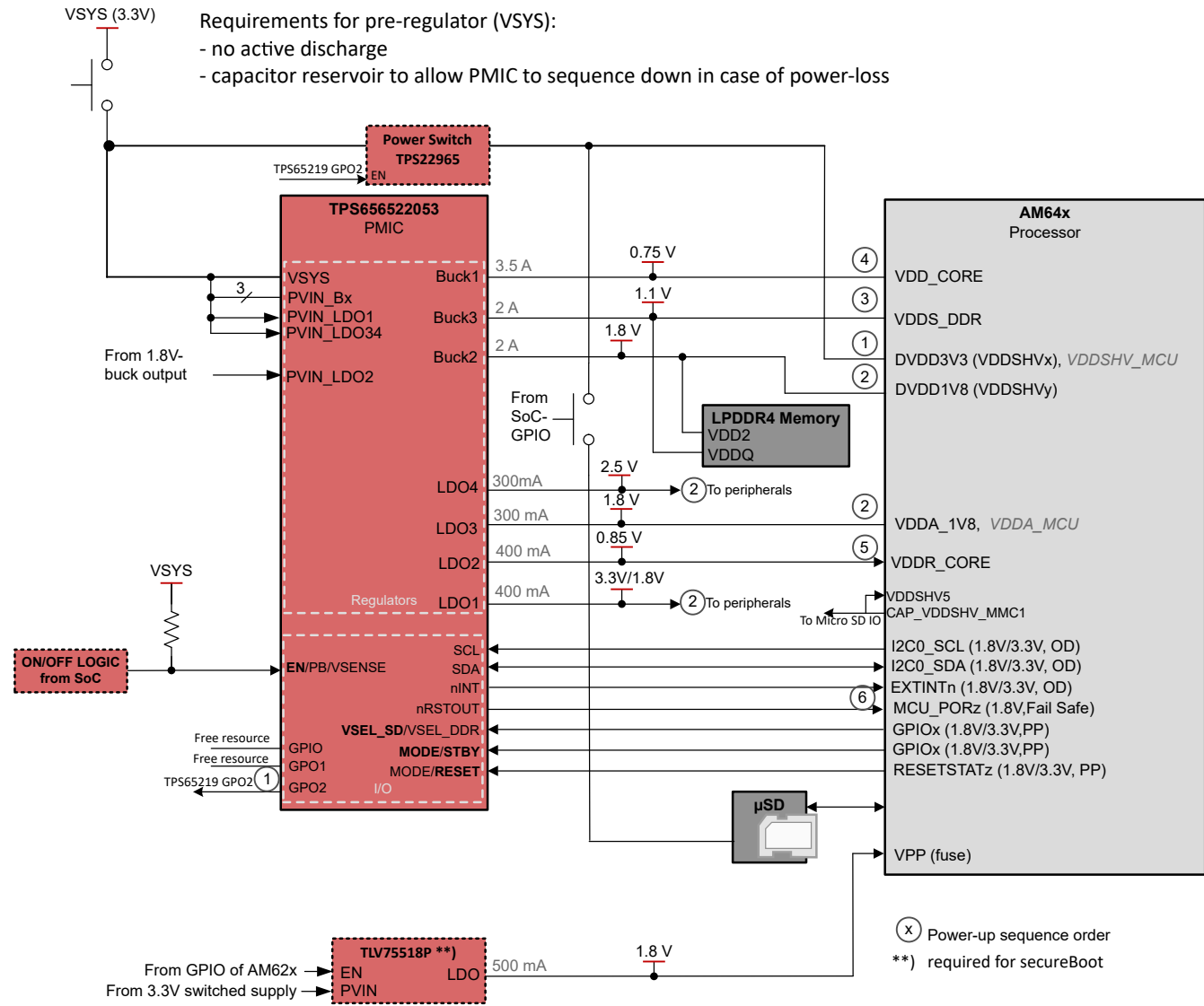


図 4-1. AM64x に電力を供給する TPS6522053

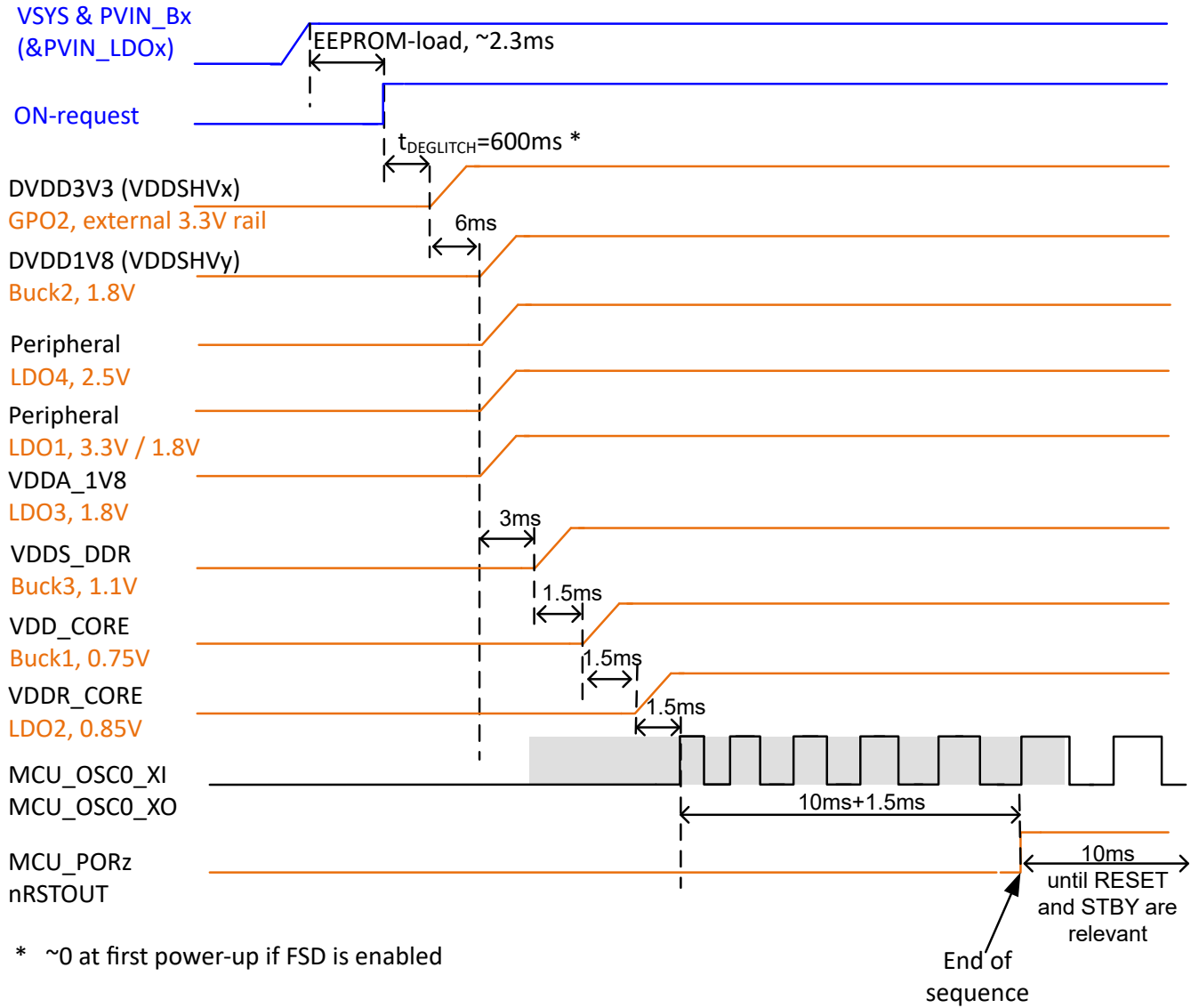
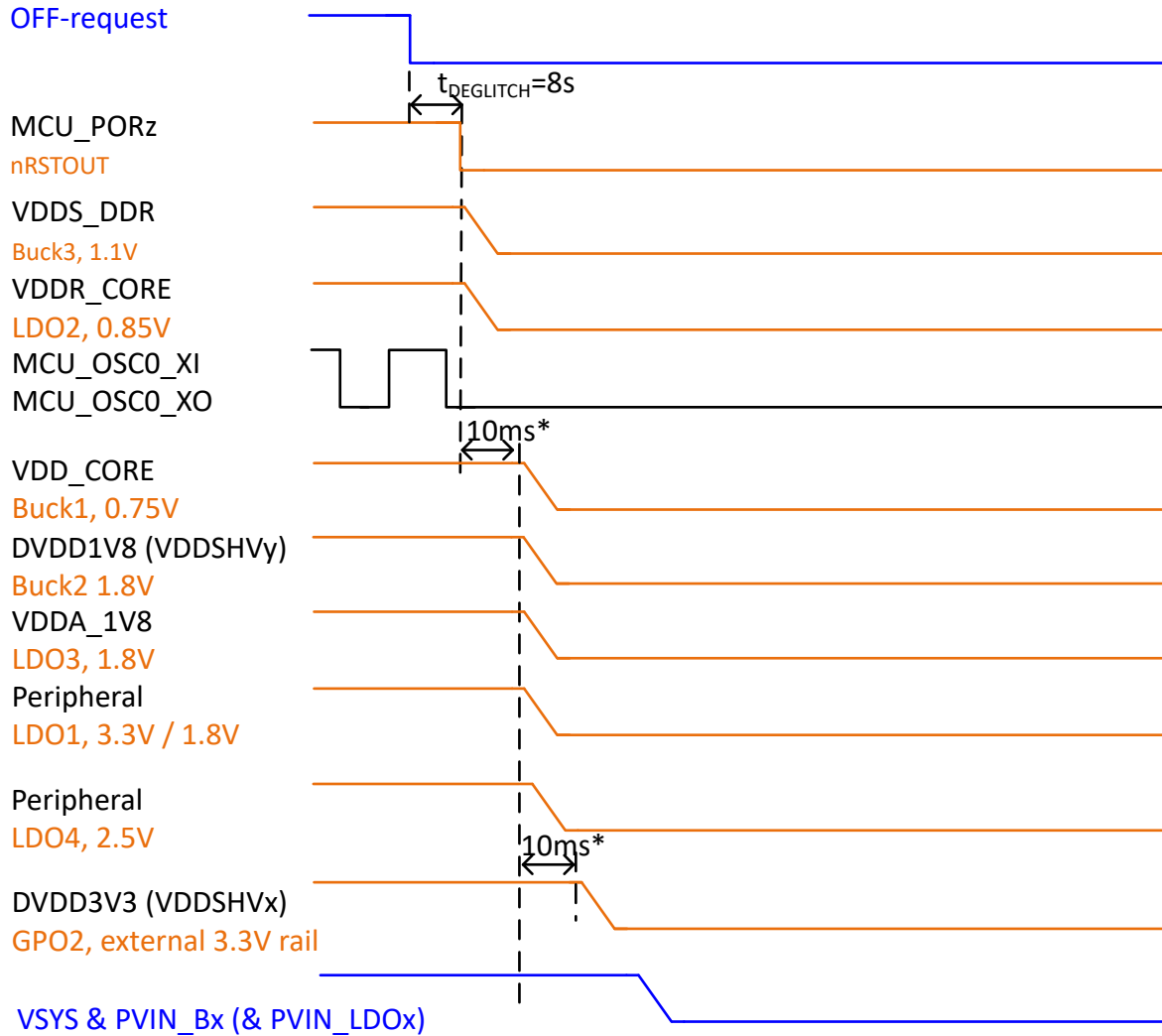


図 4-2. TPS6522053 の電源オン・シーケンス



* discharge-duration depends on Vout, Cout and load. Slot-duration needs to adopt.
Slot-duration extends up to 8x its configured value.

図 4-3. TPS6522053 の電源オフ・シーケンス

4.1 AM64x に電力を供給する TPS6521901

使用事例: VSYS = 5V、DDR4 メモリ

図 4-4 に、5V 入力電源と DDR4 メモリを搭載したシステム上で AM64x プロセッサに電力を供給する TPS6521901 バリエーションを示します。プリレギュレータから供給される 5V は、リファレンス・システムのメイン入力電源 (VSYS) と、降圧コンバータの電力入力 (PVIN_Bx) に接続されます。Buck1、Buck2、Buck3 は、それぞれ 0.75V、3.3V VDDSHVx IO、および DDR IO で VDD_CORE に電力を供給するのに使用されます。Buck2 (3.3V の PMIC レール) は、電源オン・シーケンスで最初に上昇するようにプログラムされているため、一部の LDO の入力電源として使用して、消費電力を最小限に抑えることができます。LDO1 をバイパスとして構成すると、SD カードの電圧を 3.3V~1.8V の範囲で動的に変化させることができます。LDO1 のこの電圧の変化は、I2C を介して、または VSEL_SD ピンを HIGH (LDO1 = 3.3V) または LOW (LDO1 = 1.8V) に設定することによってトリガできます。LDO2 は、VDDR_CORE に電力を供給するのに使用されます。LDO3 は 1.8V のアナログ・ドメインをサポートし、LDO4 は DDR4 メモリ用の 2.5V VPP をサポートします。この電源ソリューションには、1.8V VDDSHV IO ドメインへの電力供給用の外付けディスクリート降圧レギュレータが必要です。この外付けディスクリート・レギュレータは、PMIC の GPO1 を使用してイネーブルにできます。TPS6521901 は、電源オン・シーケンスの 2 番目のスロット (持続時間 10ms) で GPO1 を有効にするように、工場出荷時に事前にプログラムされています。外付けディスクリート・レギュレータは、2 番目のスロットの持続時間 10ms の間に (PMIC が電源オン・シーケンスの 3 番目のスロットを開始する前に) 電圧が上昇し、安定した出力電圧に達する必要があります。残りの 2 本の汎用ピン (GPIO および GPO2) は、デフォルトで無効になる空きデジタル・リソースですが、PMIC の電源オン・シーケンスの完了後に I2C を介して有効にすることもできます。図 4-5 および 図 4-6 に、TPS6521901 でプログラムされる電源オンおよび電源オフ・シーケンスを示します。

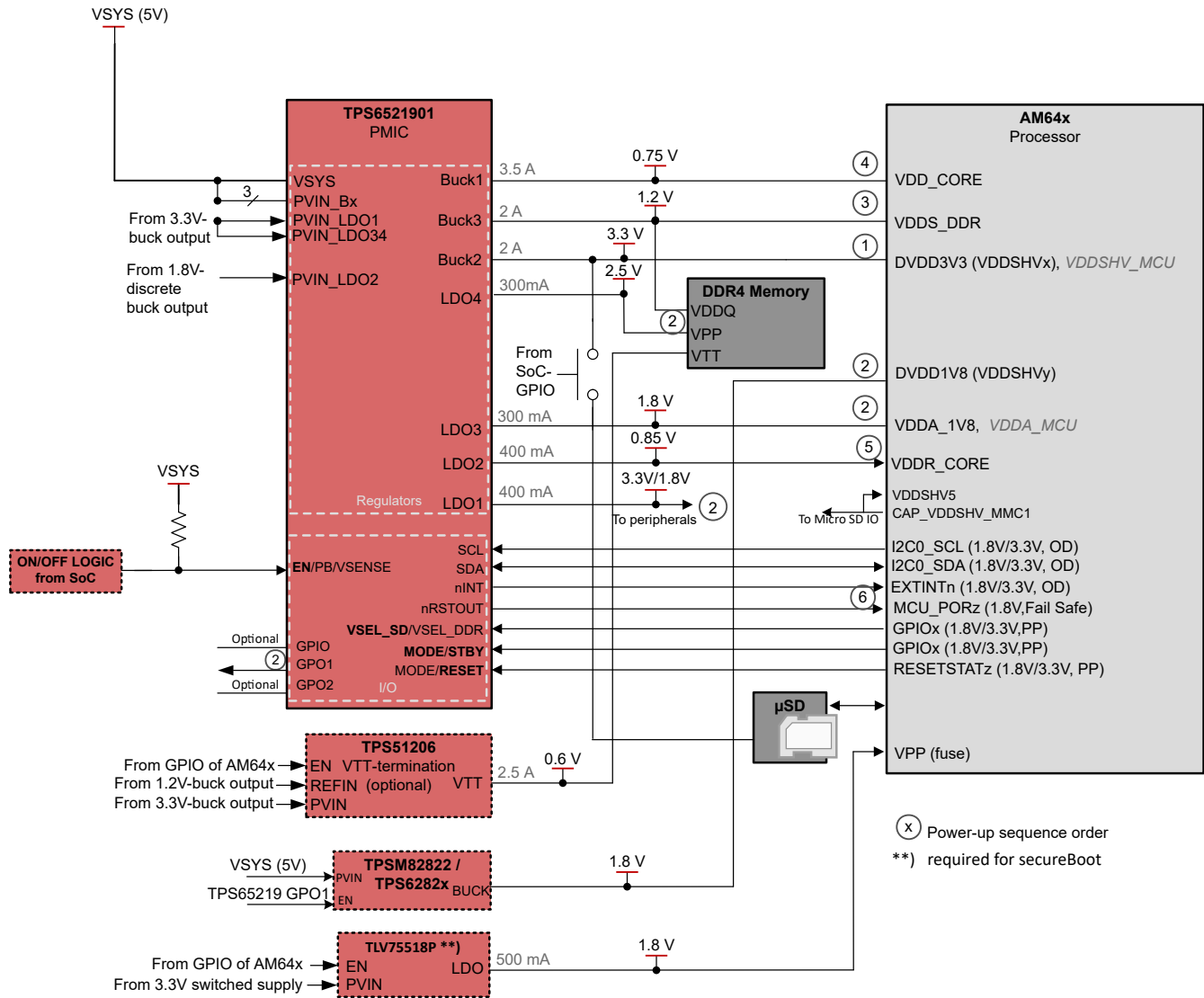


図 4-4. AM64x に電力を供給する TPS6521901

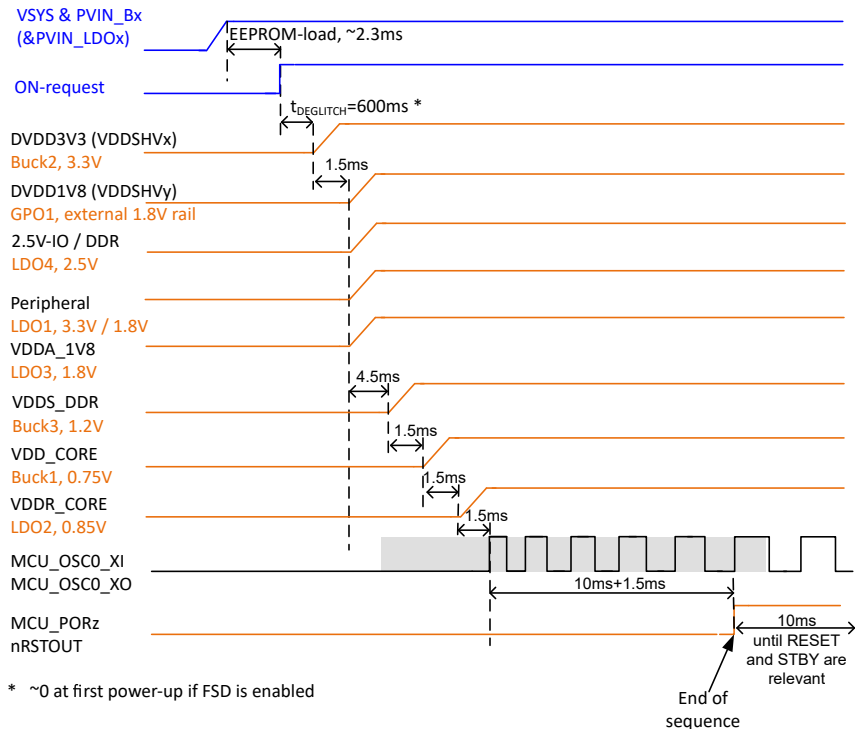


図 4-5. TPS6521901 の電源オン・シーケンス

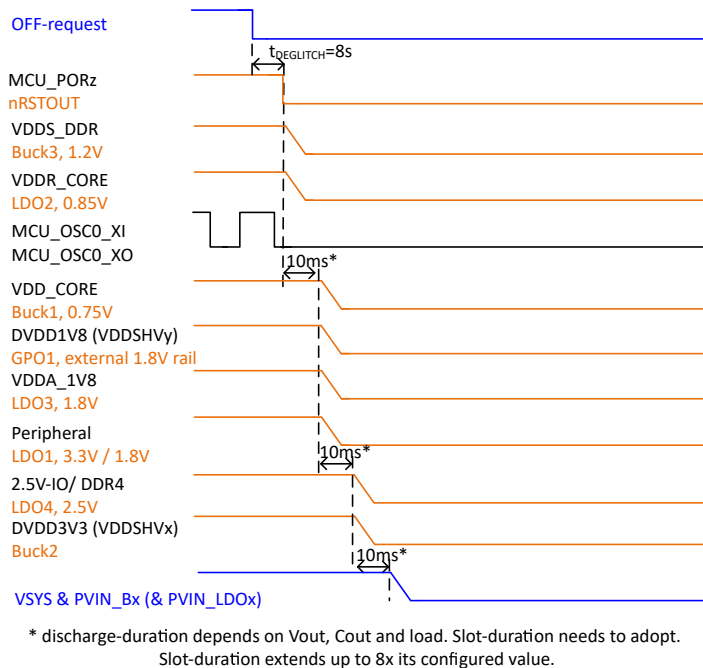


図 4-6. TPS6521901 の電源オフ・シーケンス

4.2 AM64x に電力を供給する TPS6521902

使用事例: VSYS = 3.3V、LDDR4 メモリ

図 4-7 に、3.3V 入力電源と LDDR4 メモリを搭載したシステム上で AM64x プロセッサに電力を供給する TPS6521902 バリエーションを示します。Buck1、LDO3、LDO2、LDO1 を使用して、前のブロック図で説明したのと同じ AM64x ドメインに電力を供給します。プリレギュレータから供給される 3.3V をパワー・スイッチと組み合わせて、3.3V VDDSHVx IO ドメインに電力を供給できます。GPO2 は、電源オン・シーケンスの 2 番目のスロット (持続時間 10ms) でイネーブルになるように事前にプログラムされています。この構成を使用して、外部パワー・スイッチをイネーブルにし、プロセッサのシーケンス要件を満たすことができます。このスイッチには適切なランプ・レート仕様の製品を選択し、2 番目のスロットの持続時間 10ms の間に (PMIC が電源オン・シーケンスの次のスロットを開始する前に) 安定した出力電圧を供給する必要があります)。Buck3 および Buck2 は、VDDS_DDR および 1.8V DVDD3V3 IO ドメインで必要とされる 1.1V および 1.8V をサポートします。また、LPDDR4 メモリに必要とされる電圧をサポートするのにも使用されます。LDO4 は、イーサネット PHY などの外部ペリフェラルに使用できる、2.5V の空き電源リソースです。GPIO と GPO1 は、デフォルトで無効になる空きデジタル・リソースですが、必要に応じて I2C を介して有効にすることもできます。図 4-8 に、TPS6521902 でプログラムされる電源オンおよび電源オフ・シーケンスを示します。

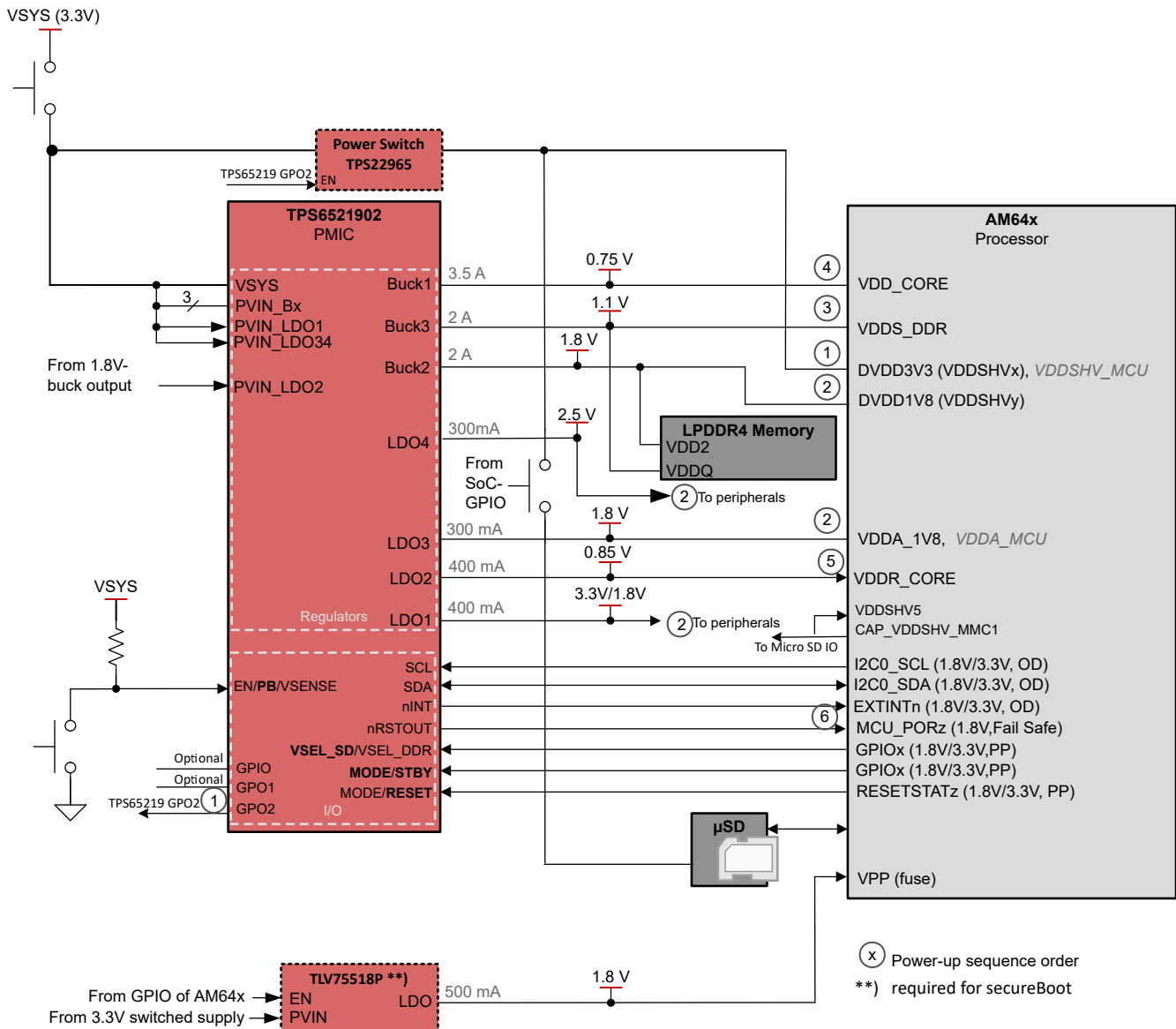


図 4-7. AM64x に電力を供給する TPS6521902

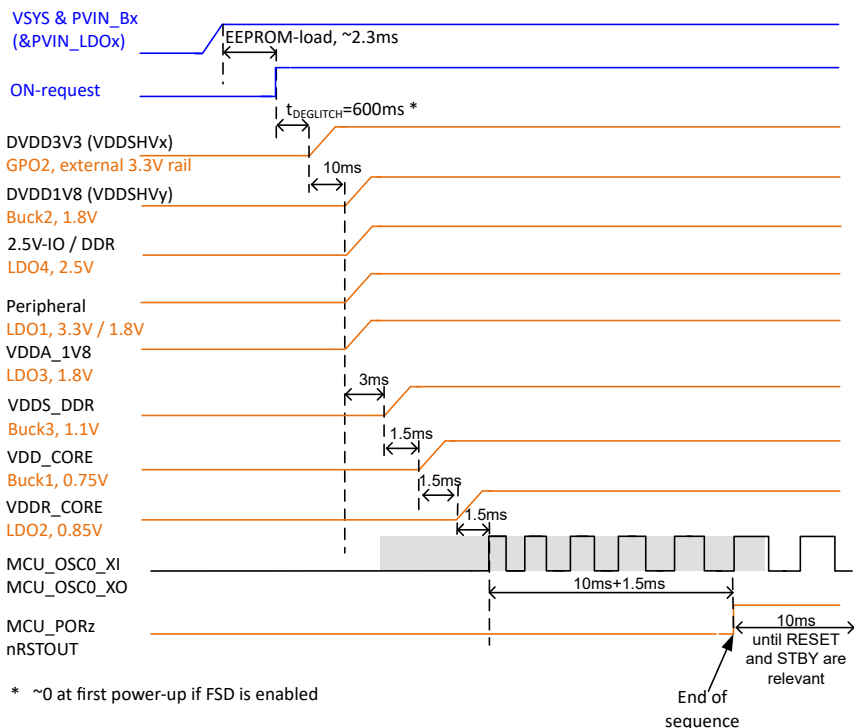


図 4-8. TPS6521902 の電源オン・シーケンス

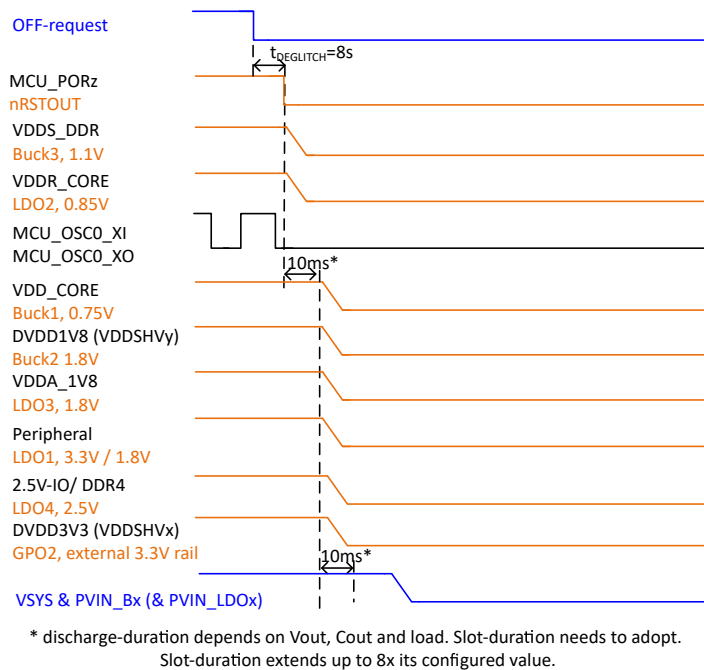


図 4-9. TPS6521902 の電源オフ・シーケンス

4.3 AM64x に電力を供給する TPS6521903

使用事例: VSYS = 3.3V、DDR4 メモリ

図 4-10 に、3.3V 入力電源と DDR4 メモリを搭載したシステム上で AM64x プロセッサに電力を供給する TPS6521903 バリエーションを示します。Buck1、Buck2、LDO3、LDO2、LDO1、および GPO2 を使用して、前のパワー・ブロック図で説明したのと同じドメインに電力を供給 / ドメインをイネーブルにします。プリレギュレータから供給される 3.3V をパワー・スイッチと組み合わせて、3.3V VDDSHVx IO ドメインに電力を供給できます。GPO2 は、電源オン・シーケンスの 2 番目のスロット (持続時間 10ms) でイネーブルになるように事前にプログラムされています。この構成を使用して、外部パワー・スイッチをイネーブルにし、プロセッサのシーケンス要件を満たすことができます。このスイッチには適切なランプ・レート仕様の製品を選択し、2 番目のスロットの持続時間 10ms の間に (PMIC が電源オン・シーケンスの次のスロットを開始する前に) 安定した出力電圧を供給する必要があります。Buck3 は、VDDS_DDR への電力供給に使用され、Buck2 の 1.8V と合わせて DDR4 メモリに必要な電圧をサポートします。GPIO と GPO1 は、デフォルトで無効になる空きデジタル・リソースですが、必要に応じて I2C 経由で有効にすることもできます。図 4-11 および 図 4-12 に、TPS6521903 でプログラムされる電源オン / 電源オフ・シーケンスを示します。

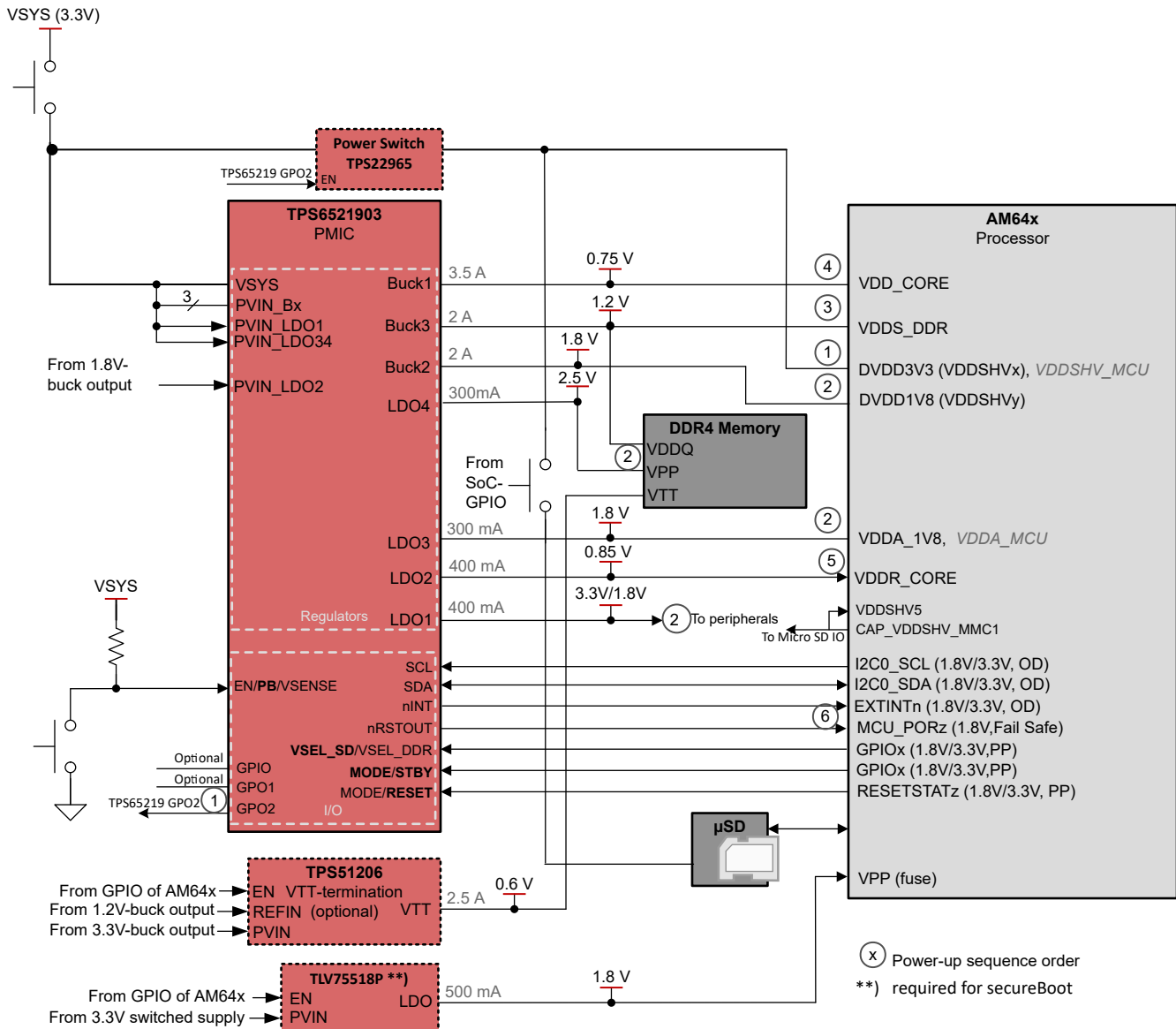


図 4-10. AM64x に電力を供給する TPS6521903

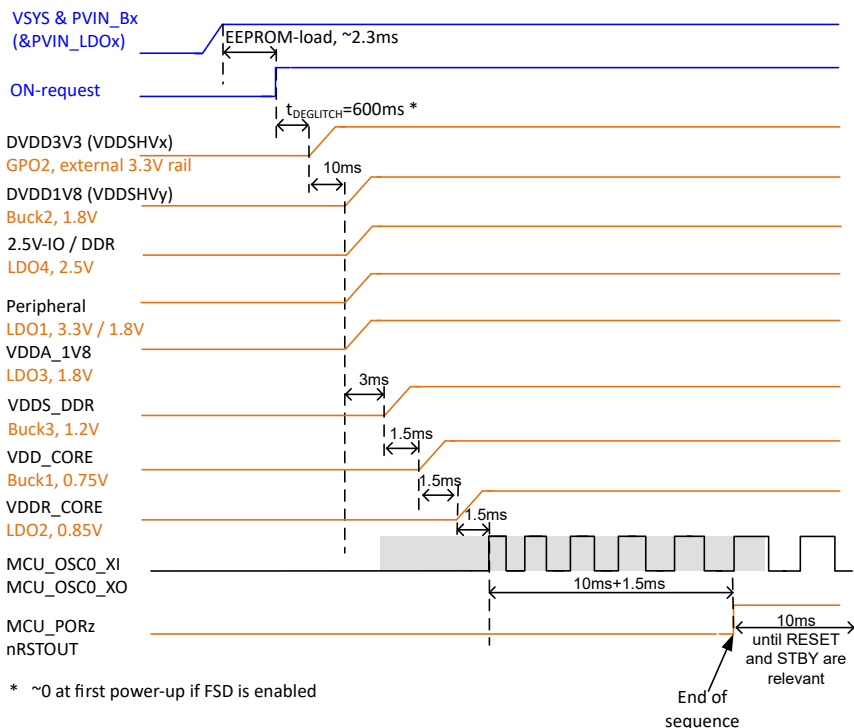


図 4-11. TPS6521903 の電源オン・シーケンス

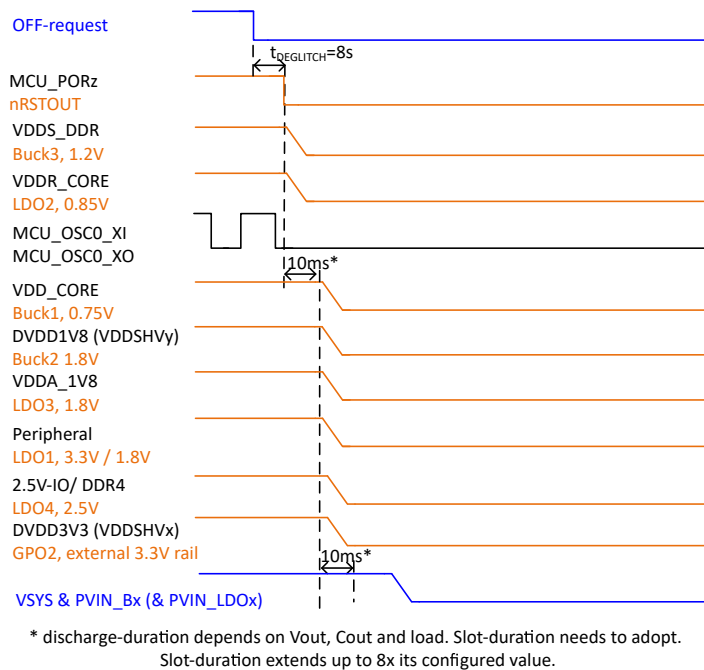


図 4-12. TPS6521903 の電源オフ・シーケンス

4.4 AM64x に電力を供給する TPS6521904

使用事例: VSYS = 3.3V、DDR4 メモリ、VDD_CORE = 0.85V

図 4-13 に、3.3V 入力電源と DDR4 メモリを搭載したシステム上で AM64x プロセッサに電力を供給する TPS6521904 バリエーションを示します。この構成は TPS6521903 に類似していますが、このシナリオでは、VDD_CORE は 0.75V ではなく 0.85V で動作します。AM64x データシートに記載されているように、「VDD_CORE と VDDR_CORE は同じソースから電力供給されることが想定されているため、VDD_CORE が 0.85V で動作しているときは一緒に電圧が上昇します。」プロセッサのこの要件により、VDD_CORE と VDDR_CORE の両方に、同じ PMIC レール (Buck1) から電力を供給できます。LDO2 は、1.8V 出力用に事前プログラミングされた空き電源リソースで、外部ペリフェラルへの電源供給に使用できます。TPS6521903 と同様に、この構成では、GPO2 は電源オン・シーケンスの 2 番目のスロット (持続時間 10ms) でイネーブルになるように事前にプログラムされています。この構成を使用して、外部パワー・スイッチをイネーブルにし、プロセッサのシーケンス要件を満たすことができます。このスイッチには適切なランプ・レート仕様の製品を選択し、2 番目のスロットの持続時間 10ms の間に (PMIC が電源オン・シーケンスの次のスロットを開始する前に) 安定した出力電圧を供給する必要があります。図 4-14 および 図 4-15 に、TPS6521904 でプログラムされる電源オンおよび電源オフ・シーケンスを示します。

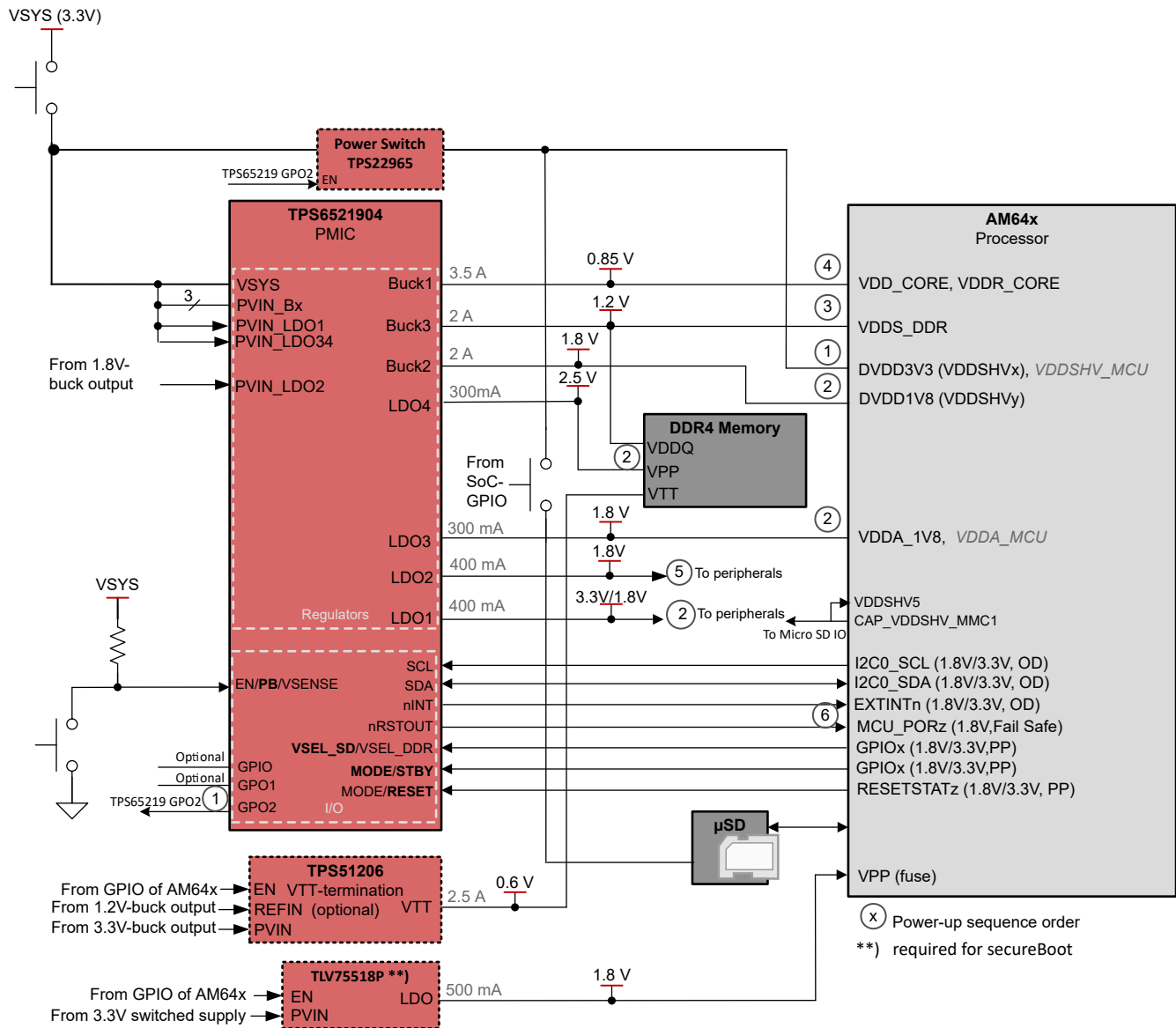


図 4-13. AM64x に電力を供給する TPS6521904

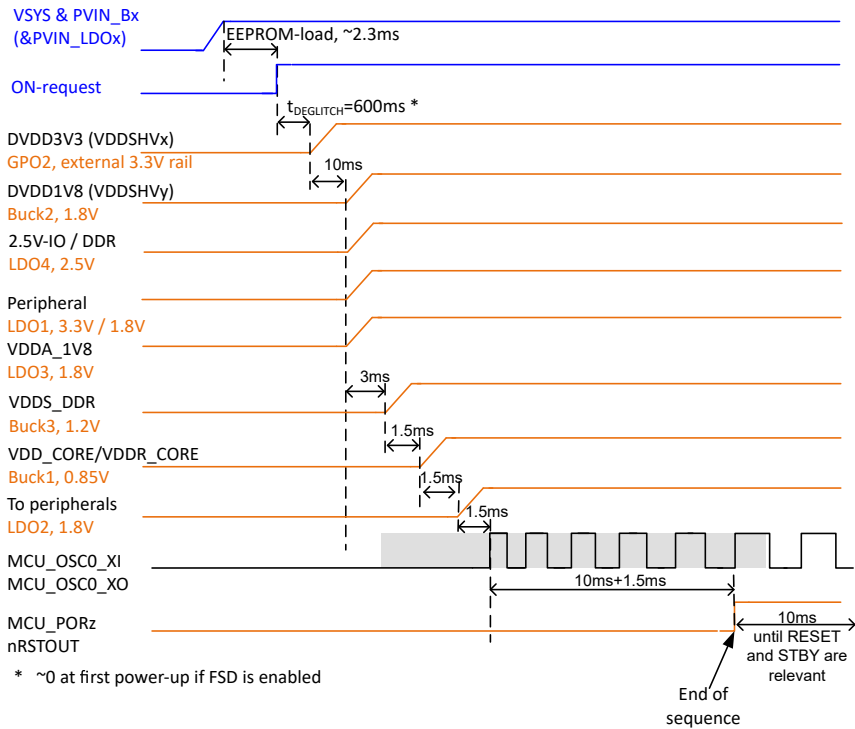


図 4-14. TPS6521904 の電源オン・シーケンス

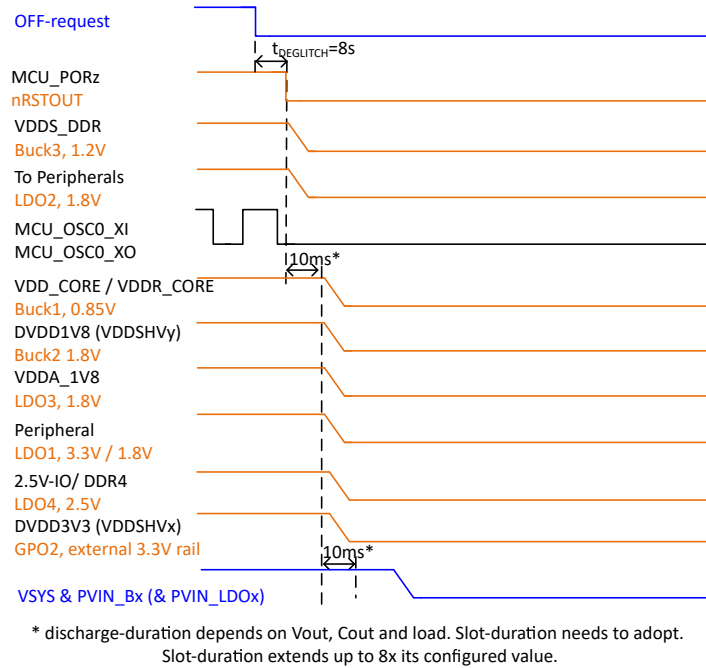


図 4-15. TPS6521904 の電源オフ・シーケンス

5 関連資料

1. テキサス・インスツルメンツ、『[TPS65219 ARM Cortex-A53 プロセッサおよび FPGA 向けの統合型パワー・マネジメント IC \(PMIC\)](#)』データシート
2. テキサス・インスツルメンツ、『[AM64x Sitara™ プロセッサ](#)』データシート

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated