



概要

MSPM0 G シリーズ・マイコン (MCU) 製品ラインアップはセンシング、測定、および制御のアプリケーション用に、幅広い超低消費電力 32 ビット MCU と統合型アナログ / デジタル・ペリフェラルを提供します。このアプリケーション・ノートでは、MSPM0 G シリーズ MCU を使用したハードウェア開発に必要な情報について説明しています。これには、電源、リセット回路、クロック、デバッグ接続、主要なアナログ・ペリフェラル、通信インターフェイス、GPIO、基板レイアウトのガイダンスに関する詳細なハードウェア設計情報が含まれます。

目次

1 MSPM0G ハードウェア設計チェックリスト	3
2 MSPM0G デバイスの電源	4
2.1 デジタル電源.....	5
2.2 アナログ電源.....	5
2.3 電源および電圧リファレンスを内蔵.....	7
2.4 電源に推奨されるデカップリング回路.....	7
3 リセットおよび電源スーパーバイザ	7
3.1 デジタル電源.....	7
3.2 電源スーパーバイザ.....	8
4 クロック システム	9
4.1 内部発振器.....	9
4.2 外部発振器.....	10
4.3 外部クロック出力 (CLK_OUT).....	12
4.4 周波数クロック カウンタ (FCC).....	12
5 デバッグ	13
5.1 デバッグ・ポートのピンとピン配置.....	13
5.2 標準 JTAG コネクタを使用したデバッグ ポート接続.....	14
6 主要なアナログペリフェラル	16
6.1 ADC 設計の検討事項.....	16
6.2 OPA 設計の検討事項.....	16
6.3 DAC 設計の検討事項.....	17
6.4 COMP 設計の検討事項.....	18
6.5 GPAMP 設計の検討事項.....	20
7 主要なデジタル・ペリフェラル	21
7.1 タイマリソースと設計の検討事項.....	21
7.2 UART と LIN のリソースと設計の検討事項.....	22
7.3 MCAN 設計の検討事項.....	24
7.4 I2C と SPI 設計の検討事項.....	25
8 GPIO	27
8.1 GPIO 出力のスイッチング速度と負荷容量.....	27
8.2 GPIO 電流シンクおよびソース.....	27
8.3 高速 GPIO (HSIO).....	28
8.4 高駆動 GPIO (HDIO).....	28
8.5 オープンドレイン GPIO により、レベル シフタなしで 5V 通信を実現.....	28
8.6 レベル シフタなしで 1.8V デバイスと通信する.....	29
8.7 未使用ピンの接続.....	29
9 レイアウト・ガイド	31
9.1 電源レイアウト.....	31

9.2 グランドレイアウトに関する検討事項	31
9.3 トレース、ビア、その他の PCB コンポーネント	32
9.4 基板層の選択方法と推奨されるスタックアップ	33
10 ブートローダー	34
10.1 ブートローダの紹介	34
10.2 ブートローダー・ハードウェア設計の検討事項	34
11 まとめ	35
12 参考資料	35
13 改訂履歴	36

図の一覧

図 1-1. MSPM0G の代表的なアプリケーション回路	4
図 2-1. V_{CORE} レギュレータ回路	5
図 2-2. VREF 回路	7
図 2-3. 電源デカップリング回路	7
図 3-1. NRST 推奨回路	8
図 3-2. POR および BOR と電源電圧 (VDD) の関係	9
図 4-1. MSPM0G シリーズ LFOSC	9
図 4-2. MSPM0G シリーズ SYSOSC	9
図 4-3. MSPM0G SYSPLL 回路	10
図 4-4. MSPM0G LFXT 回路	11
図 4-5. MSPM0G HFXT 回路	11
図 4-6. MSPM0G 外部クロック出力	12
図 4-7. MSPM0G 周波数クロック カウンタのブロック図	12
図 5-1. ホストからターゲット・デバイスへの接続	13
図 5-2. MSPM0G SWD 内部プル	13
図 5-3. JTAG および MSPM0G 接続	14
図 5-4. XDS110 プローブの高レベル ブロック図	14
図 5-5. XDS110-ET 回路	15
図 5-6. Arm 標準 10 ピン ケーブル	15
図 6-1. ADC 入力ネットワーク	16
図 6-2. 2 個の OPA 差動アンプのブロック図と式	17
図 6-3. 2 個の OPA 非反転型から非反転型へのカスケード接続アンプのブロック図と式	17
図 6-4. 8 ビット DAC のブロック図	18
図 6-5. 8 ビット DAC および OPA 出力のブロック図	18
図 6-6. 12 ビット DAC 出力のブロック図	18
図 6-7. コンパレータの図	19
図 6-8. ウィンドウ コンパレータ モード	19
図 6-9. コンパレータ ショート スイッチ	20
図 6-10. 増幅モードの GPAMP 回路	20
図 6-11. バッファ・モードの GPAMP 回路	20
図 7-1. 標準的な LIN TLIN1021A トランシーバ	23
図 7-2. MSPM0G を使用した代表的な LIN アプリケーション (コマンド)	23
図 7-3. MSPM0G を使用した代表的な LIN アプリケーション (レスポンド)	24
図 7-4. MCAN の代表的なバス配線	24
図 7-5. MSPM0G を使用した代表的な CAN バス アプリケーション	25
図 7-6. 異なる SPI 構成に対する外部接続	25
図 7-7. 代表的な I2C バス接続	26
図 8-1. 推奨される ODIO 回路	28
図 8-2. 1.8V デバイスで推奨される通信回路	29
図 9-1. 推奨される電源レイアウト	31
図 9-2. デジタル グランドとアナログ グランド、および共通領域	32
図 9-3. トレースを直角に曲げる不適切な方法と適切な方法	32
図 9-4. アナログ信号と高周波信号の不適切なクロストレースと適切なクロストレース	33
図 9-5. 4 層 PCB スタックアップの例	33
図 10-1. 構成済み GPIO ピンでの BSL エントリ・シーケンス	34

表の一覧

表 1-1. MSPM0G ハードウェア設計チェックリスト.....	3
表 4-1. ROSC 許容誤差、RSOC TCR、周囲温度 (T _A) による FCL を使用した SYSOSC 精度.....	10
表 5-1. MSPM0G デバッグ・ポート.....	13
表 7-1. TIMA インスタンスの構成.....	21
表 7-2. TIMG インスタンスの構成.....	21
表 7-3. UART の機能.....	22
表 7-4. MSPM0G UART 仕様.....	22
表 7-5. MSPM0G I2C の特性.....	26
表 8-1. MSPM0G GPIO のスイッチング特性.....	27
表 8-2. MSPM0G GPIO 絶対最大定格.....	27
表 8-3. 未使用ピンの接続.....	29

商標

すべての商標は、それぞれの所有者に帰属します。

1 MSPM0G ハードウェア設計チェックリスト

表 1-1 に、MSPM0G ハードウェア設計プロセス中にチェックする必要がある主な内容を示します。詳細については、以下のセクションを参照してください。

表 1-1. MSPM0G ハードウェア設計チェックリスト

ピン	説明	要件
VDD	正の電源ピン	VDD と VSS の間に 10 μ F と 100nF のコンデンサを配置し、これらの部品を VDD ピンと VSS ピンの近くに配置します。
VSS	負の電源ピン	
VCORE	コア電圧 (標準値: 1.35V)	470nF のデカップリングコンデンサを VSS に接続してください。電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
NRST	リセットピン	10nF ~ 100nF のブルダウン コンデンサを使用して、47k Ω の外付けプルアップ抵抗を接続します。リセットピンに適切な容量のコンデンサを追加することで、ESD による過渡干渉を抑制し、誤ってリセットしてしまうリスクを低減できます。
ROSC	外部リファレンス抵抗ピン	<ul style="list-style-type: none"> 外部の 100kΩ±0.1%、25ppm 抵抗を VSS に接続すると、必要に応じて高 SYSOSC 精度を実現できます。 アプリケーションをオープンのままにしても、SYSOSC の高精度要件はありません。
VREF+	リファレンス電圧電源 - 外部リファレンス電圧入力	<ul style="list-style-type: none"> VREF+ と VREF- を使用して ADC などのアナログ パリフェラル用の外部電圧リファレンスを取り込む場合、デカップリング コンデンサを VREF+ から VREF- / GND に、外部リファレンスソースに基づく容量で配置する必要があります。 アプリケーションが外部電圧リファレンスを必要としない場合は、オープンのままにしても問題ありません。
VREF-	電圧リファレンス グランド電源 - 外部リファレンス入力	
SWCLK	デバッグ プローブからのシリアルワイヤ クロック	VSS への内部ブルダウン、外部部品は不要。
SWDIO	双方向 (共有) シリアルワイヤ データ	VDD への内部プルアップ、外部部品は不要。
PA0、PA1	オープンドレイン I/O	出力 HIGH にはプルアップ抵抗が必要です
PA18	デフォルトの BSL 起動ピン	リセット後に BSL モードに移行しないようにブルダウンを維持します。(BSL 起動ピンは再マッピング可能です。)
PAx (PA0、PA1 を除く)	汎用 I/O	対応するピン機能を GPIO に設定します。(PINCMx.PF = 0x1)
未使用の PAx (PA0、PA1 を除く)	汎用 I/O	未使用のピンは、出力 Low に設定するか、内部プルアップまたはブルダウン抵抗付きの入力に設定します。
サーマル パッド	QFN パッケージのサーマル パッド	パッドの熱は、ビアを経由して PCB の連続的な銅プレーン (GND プレーンなど) に伝達されます。銅の面積が大きいほど、放熱効果は高くなります。

注

汎用 I/O と共有されている機能を持つ未使用ピンについては、[セクション 8.7](#) のガイドラインに従ってください。

テキサス インストルメンツは、 $10\mu\text{F}$ と 0.1nF の低 ESR セラミック デカップリング コンデンサを組み合わせ、VDD および VSS ピンに接続することを推奨します。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近く (数 mm 以内) に配置する必要があります。

NRST リセットピンは、外部の $47\text{k}\Omega$ プルアップ抵抗を 10nF のプルダウン コンデンサに接続するために必要です。

SYSOSC 周波数補正ループ (FCL) 回路は、ROSC ピンと VSS の間に実装される外付けの $100\text{k}\Omega$ 抵抗を利用して、SYSOSC に高精度のリファレンス電流を供給することで SYSOSC 周波数を安定させます。SYSOSC FCL がインナーブルでない場合、この抵抗は不要です。

外部水晶振動子をサポートするデバイスでは、外部水晶振動子を使用するときに、水晶発振器ピン用の外部バイパスコンデンサが必要です。

VCORE ピンには $0.47\mu\text{F}$ のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。

5V 許容のオープンドレイン (ODIO) の場合、高出力にプルアップ抵抗が必要です。この抵抗は、ODIO を使用する場合、I2C および UART 機能に必要です。

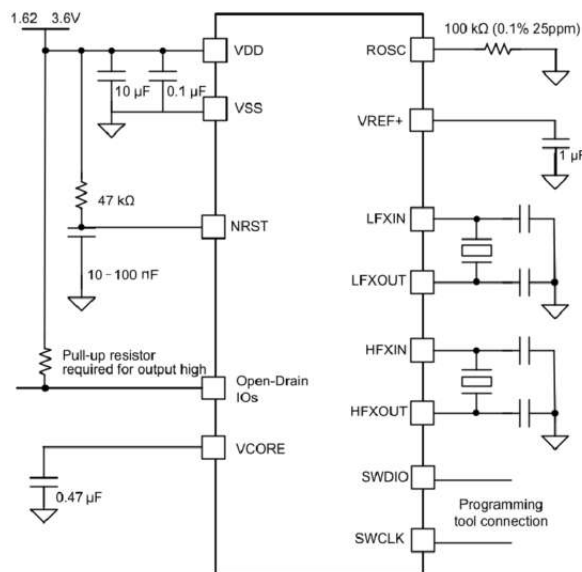


図 1-1. MSPM0G の代表的なアプリケーション回路

2 MSPM0G デバイスの電源

VDD および VSS 接続経由でデバイスに電力が供給されます。このデバイスは、 1.62V ~ 3.6V の電源電圧での動作をサポートしており、 1.62V の電源で開始できます。パワー マネージメント ユニット (PMU) は、デバイスのレギュレーション済みコア電源を生成し、外部電源の監視を行います。また、PMU や他のアナログ パリフェラルで使用されるバンドギャップ電圧リファレンスも内蔵しています。VDD は、IO 電源 (VDDIO) とアナログ電源 (VDDA) を供給するために直接使用されます。VDDIO と VDDA は内部で VDD に接続されているため、追加の電源ピンは必要ありません (詳細については、デバイスのデータシートを参照してください)。

2.1 デジタル電源

VCORE レギュレータ

内部低ドロップアウトリニア電圧レギュレータは、デバイスコアに電力を供給するために 1.35V の電源レールを生成します。一般に、コアレギュレータ出力 (VCORE) は CPU、デジタルペリフェラル、デバイスメモリなどのコアロジックに電力を供給します。コアレギュレータには、デバイスの VCORE ピンと VSS (グランド) の間に接続された外部コンデンサ (CVCORE) が必要です。図 2-1 を参照してください。C_{VCORE} 正しい値と許容誤差については、デバイス固有のデータシートを参照してください。C_{VCORE} は、VCORE ピンの近くに配置する必要があります。

コアレギュレータは、シャットダウンを除くすべての電力モードでアクティブです。他のすべての電力モード (実行、スリープ、停止、スタンバイ) では、各モードの最大負荷電流をサポートするようにレギュレータの駆動能力が自動的に構成されます。これにより、低消費電力モード使用時のレギュレータの静止電流が減少し、低消費電力性能が向上します。

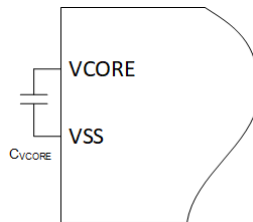


図 2-1. V_{CORE} レギュレータ回路

2.2 アナログ電源

アナログマルチプレクサ VBOOST

PMU の VBOOST 回路は内部 VBOOST 電源を生成します。この電源は、デバイスに搭載されている場合、COMP、GPAMP、OPA の各アナログマルチプレクサで使用されます。VBOOST 回路により、外部電源電圧 (VDD) 範囲全体で一貫したアナログマルチプレクサ性能を実現できます。

VBOOST のイネーブル / ディスエーブル

次のパラメータに基づいて、SYSCTL は VBOOST 回路のイネーブル要求を自動的に管理します。

1. COMP、OPA、GPAMP ペリフェラル PWREN の設定。
2. イネーブルになっている任意の COMP のモード設定 (FAST モードと ULP モード)。
3. SYSCTL の GENCLKCFG レジスタの ANACPUMPCFG 制御ビット。

VBOOST は、SYSRST の後でデフォルトでディスエーブルになります。COMP、OPA、または GPAMP を使用する前に、アプリケーションソフトウェアで VBOOST 回路をイネーブルにしてください。アプリケーションソフトウェアによって COMP、OPA、または GPAMP がイネーブルになると、SYSCTL は VBOOST 回路もイネーブルにしてアナログペリフェラルをサポートできるようにします。

注

VBOOST 回路には、ディスエーブル状態からイネーブル状態に移るためのスタートアップ時間要件 (標準値 12μs) があります。COMP、OPA、または GPAMP の起動時間が VBOOST の起動時間よりも短い場合、VBOOST の起動時間を考慮してペリフェラルの起動時間が延長されます。

バンドギャップ リファレンス

PMU は、温度および電源電圧に対して安定したバンドギャップ電圧リファレンスを提供します。この基準電圧は、以下のような内部機能にデバイスが使用します。

- ブラウンアウトリセット回路のスレッシュホルドの駆動。
- コアレギュレータの出力電圧の設定。
- オンチップアナログペリフェラル向けのオンチップ VREF レベルの駆動。

バンドギャップリファレンスは、**RUN**、**SLEEP**、**STOP** モードでイネーブルになります。これは、スタンバイでサンプリングされたモードで動作することで消費電力を低減し、シャットダウンモードではディスエーブルです。ユーザー設定が不要になるように、**SYSCTL** はバンドギャップ状態を自動的に管理します。

2.3 電源および電圧リファレンスを内蔵

MSPM0G ファミリー用の VREF モジュールは、さまざまなオンボード アナログ パリフェラルで利用できる共有電圧リファレンス モジュールです。

VREF モジュールの主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス。
- VREF+ および VREF- デバイス ピンでの外部リファレンスの受信をサポート。
- サンプル / ホールド モードは、スタンバイ動作モードまでの VREF 動作をサポートします。
- ADC、COMP、OPA の内部リファレンスをサポート。

MCU に外部基準電圧を供給する場合、基準ピンのデカップリング コンデンサを、電圧源に基づく値で接続することを、テキサス・インスツルメンツは推奨します (図 2-2 を参照)。

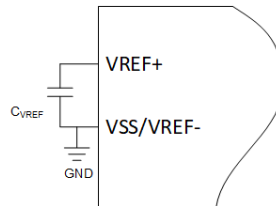


図 2-2. VREF 回路

2.4 電源に推奨されるデカップリング回路

テキサス インスツルメンツは、10 μ F と 100nF の低 ESR セラミック デカップリング コンデンサの組み合わせを DVCC ピンに接続することを推奨します (図 2-3 を参照)。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、デカップリングするピンのできるだけ近く (数 mm 以内) に配置する必要があります。

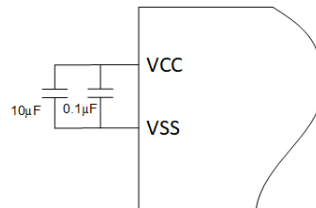


図 2-3. 電源デカップリング回路

3 リセットおよび電源スーパーバイザ

3.1 デジタル電源

このデバイスには 5 つのリセット レベルがあります。

- パワーオンリセット (POR)
- 電圧低下リセット (BOR)
- ブートリセット (BOOTRST)
- システムリセット (SYSRST)
- CPU リセット (CPURST)

リセット レベル間の関係の詳細については、『MSPM0 G シリーズ 80MHz マイコン』テクニカル リファレンス マニュアル (TRM)を参照してください。

コールド スタート後、NRST ピンは NRST モードに設定されます。デバイスが正常に起動するには、NRST ピンが HIGH である必要があります。NRST には内部プルアップ抵抗はありません。外部回路 (DVCC へのプルアップ抵抗またはリセット制御回路) は、デバイスを起動するために NRST をアクティブに HIGH にする必要があります。手動リセットには、コン

デンサとオープン ボタンが必要です (図 3-1 を参照)。デバイスが起動した後、持続時間が 1 秒未満の NRST の LOW パルスにより、BOOTRST がトリガされます。NRST の LOW パルスが 1 秒を超えると、POR がトリガされます。

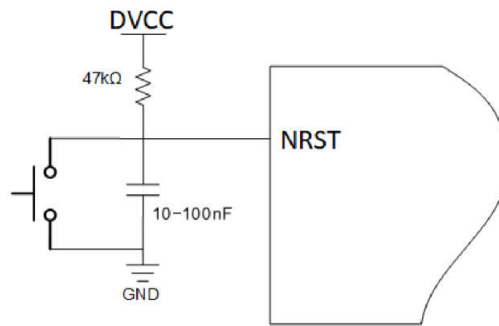


図 3-1. NRST 推奨回路

3.2 電源スーパーバイザ

パワーオンリセット (POR) モニタ

パワーオンリセット (POR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する POR 違反をアサートまたはデアサートします。コールド パワーアップ時には、VDD が POR+ を通過するまでデバイスは POR 状態に保持されます。VDD が POR+ に合格すると、POR 状態が解放され、バンドギャップ リファレンスと BOR モニタ回路が開始されます。VDD が POR レベルを下回ると、POR 違反がアサートされ、デバイスは再度 POR リセット状態に保持されます。

POR モニタは、VDD がデバイスの正常な動作をサポートするのに十分なレベルに達したことを示していません。これはブートプロセスの最初のステップであり、電源電圧がバンドギャップ リファレンスと BOR 回路の電源オンに十分であるかどうかを判定するために使用されます。これを使用して、デバイスが正常に動作するのに十分なレベルに電源が達しているかどうかを判定します。POR モニタはシャットダウンを含むすべての電力モードでアクティブであり、ディスエーブルすることはできません。(POR トリガ波形を図 3-2 に示します)。

ブラウンアウトリセット (BOR) モニタ

ブラウンアウトリセット (BOR) モニタは外部電源 (VDD) を監視し、SYSCTL に対する BOR 違反をアサートまたはデアサートします。BOR 回路の主な役割は、コアレギュレータを含む内部回路が正常に動作できるように、外部電源を十分に高く維持することです。BOR スレッショルド基準電圧は、内部バンドギャップ回路から得られます。スレッショルドはプログラム可能で、常に POR スレッショルドよりも高くなります。コールド スタート時に、VDD が POR+ スレッショルドを超えると、バンドギャップ リファレンスと BOR 回路が開始されます。その後、VDD が BOR0+ スレッショルドを通過するまで、デバイスは BOR 状態に保持されます。VDD が BOR0+ を通過すると、BOR モニタはデバイスを解放してブートプロセスを続行し、PMU を開始します。(BOR トリガ波形を図 3-2 に示します)。

電源変更時の POR および BOR 動作

電源電圧 (VDD) が POR- を下回ると、デバイス全体の状態がクリアされます。BOR0- スレッショルドを下回っていない VDD の小さな変動は BOR 違反を引き起こさず、デバイスは引き続き動作します。BOR 回路は、BOR リセットを直ちにトリガするのではなく、割り込みを生成するように構成されています。

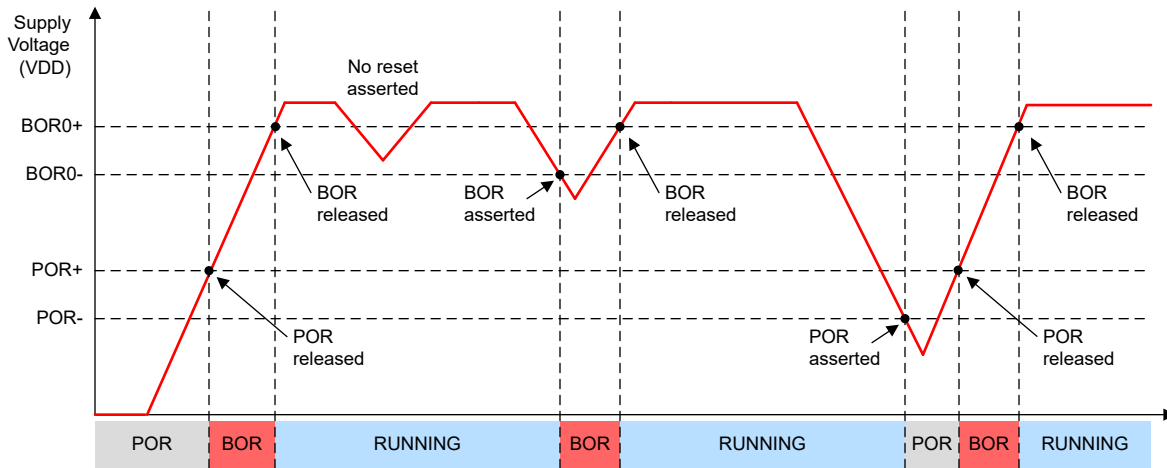


図 3-2. POR および BOR と電源電圧 (VDD) の関係

4 クロック システム

MSPM0G シリーズのクロック システムには、内部発振器、クロック モニタ、クロック 選択および制御ロジックが含まれています。

このセクションでは、さまざまな MSPM0G ファミリー デバイスのクロック リソースと、外部信号またはデバイスとの相互作用について説明します。

4.1 内部発振器

内部低周波数発振器 (LFOSC)

LFOSC はオンチップの低消費電力発振器で、32.768kHz の周波数に工場で調整されています。システムの低消費電力化に役立つ低周波数クロックを提供します。LFOSC は、低い温度範囲で使用する場合、より高い精度を実現できます。詳細については、デバイス固有のデータシートを参照してください。

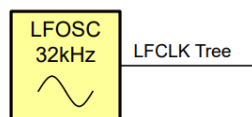


図 4-1. MSPM0G シリーズ LFOSC

内部システム発振器 (SYSOSC)

SYSOSC はオンチップの高精度で構成可能な発振器で、32MHz (ベース周波数) および 4MHz (低周波数) の出荷時に調整された周波数に加えて、24MHz または 16MHz でのユーザー トリム動作もサポートしています。コードの実行と処理性能のために CPU を高速で動作させるための高周波クロックを提供します。

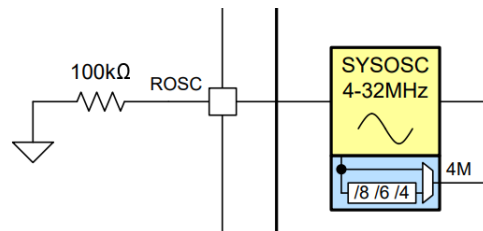


図 4-2. MSPM0G シリーズ SYSOSC

SYSOSC 周波数補正ループ

この発振器の追加ハードウェア設定は、ROSC ピンと VSS の間に実装される外付け抵抗であり、温度範囲全体で $\pm 2.5\%$ の基本精度から SYSOSC を増加させます。

SYSOSC アプリケーション全体の精度は、以下の誤差ソースを組み合わせることで総合誤差を定めることで決定されます。

1. ROSC 基準抵抗の誤差 (許容誤差と温度ドリフトによる)。
2. FCL モードでの SYSOSC 回路の誤差 ($-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ で $\pm 0.75\%$ 、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ で $\pm 0.90\%$)。

表 4-1 に、2 つの温度範囲にわたる 2 つの異なる ROSC 抵抗仕様について、SYSOSC アプリケーションの精度を計算する方法を示します。詳細については、各デバイスの TRM をご覧ください。

表 4-1. ROSC 許容誤差、ROSC TCR、周囲温度 (T_A) による FCL を使用した SYSOSC 精度

周囲温度 (T_A)	$-40 \leq T_A \leq 125^{\circ}\text{C}$		$-40 \leq T_A \leq 85^{\circ}\text{C}$	
	ROSC 抵抗パラメータ	$\pm 0.1\%$ 、 $\pm 25\text{ppm}/^{\circ}\text{C}$	$\pm 0.5\%$ 、 $\pm 25\text{ppm}/^{\circ}\text{C}$	$\pm 0.1\%$ 、 $\pm 25\text{ppm}/^{\circ}\text{C}$
公称 ROSC 抵抗 (ROSC_{nom})	100k Ω			
最大 ROSC 抵抗 (25 $^{\circ}\text{C}$ 時)	100.1k Ω	100.5k Ω	100.1k Ω	100.5k Ω
最小 ROSC 抵抗 (25 $^{\circ}\text{C}$ 時)	99.9k Ω	99.5k Ω	99.9k Ω	99.5k Ω
ROSC 抵抗 TCR	25ppm/ $^{\circ}\text{C}$			
ROSC 温度ドリフト	-0.16% \sim 0.25%		-0.16% \sim 0.15%	
最大 ROSC 抵抗 (高温時) (ROSC_{max})	100.35k Ω	100.75k Ω	100.25k Ω	100.65k Ω
最小 ROSC 抵抗 (低温時) (ROSC_{min})	99.74k Ω	99.34k Ω	99.74k Ω	99.34k Ω
ROSC 抵抗誤差 (高温) ($\text{ROSC}_{\text{err+}}$)	+0.35%	+0.75%	+0.25%	+0.65%
ROSC 抵抗誤差 (低温) ($\text{ROSC}_{\text{err-}}$)	-0.26%	-0.66%	-0.26%	-0.66%
SYSOSC 回路エラー ($\text{SYSOSC}_{\text{err}}$)	$\pm 0.9\%$		$\pm 0.75\%$	
総合精度 ($\text{TOT}_{\text{err-}}$ 、 $\text{TOT}_{\text{err+}}$)	-1.2% \sim +1.3%	-1.6% \sim +1.7%	-1.0% \sim +1.0%	-1.4% \sim +1.4%

システム フェーズ ロック ループ (SYSPLL)

SYSPLL は、プログラム可能な周波数を備えたシステム フェーズ ロック ループであり、MSPM0G シリーズの最高速度 (80MHz) を達成するために使用されます。

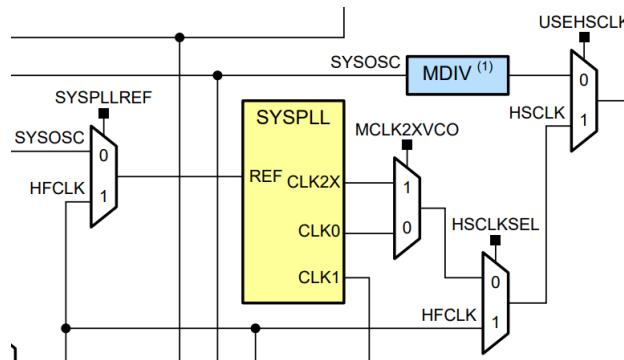


図 4-3. MSPM0G SYSPLL 回路

4.2 外部発振器

デバイスと温度の間でクロック精度をさらに向上させる必要があるアプリケーションでは、外部発振器を使用できます。LFXT は LFOSC を置き換え、HFXT は SYSOSC を置き換えることができます。

低周波数水晶発振器 (LFXT)

LFXT は超低消費電力の水晶発振器で、標準の 32.768kHz ウォッチ クリスタルの駆動をサポートしています。LFXT を使用するには、LFXIN ピンと LFXOUT ピンの間にウォッチ クリスタルを実装します。LFXIN ピンと LFXOUT ピンの両方に負荷コンデンサを配置して、回路グラウンド (VSS) に接続します。使用する水晶振動子の仕様に従って、水晶負荷コンデンサのサイズを変更します。プログラマブルなドライブ強度メカニズムにより、さまざまな種類の水晶振動子がサポートされています。レイアウトに関する推奨事項については、[セクション 9](#) を参照してください。

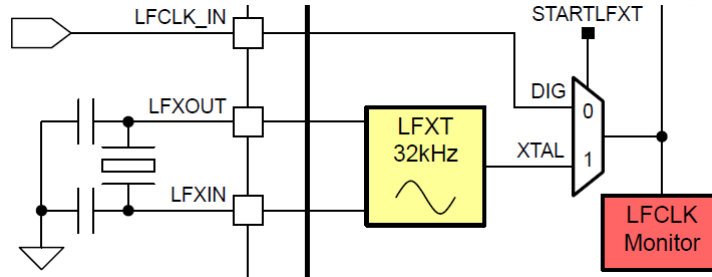


図 4-4. MSPM0G LFXT 回路

LFCLK_IN (デジタル クロック)

LFXT 回路はバイパス可能で、標準周波数 32.76kHz のデジタル クロックをデバイスに供給して、LFCLK ソースとして使用できます。LFCLK_IN と LFXT は相互に排他的であり、同時にイネーブルにすることはできません。

LFCLK_IN は、デジタル方形波 CMOS クロック入力と互換性があり、標準デューティ サイクルは 50% です。LFCLK モニタを有効にすることで、LFCLK_IN の有効なクロック信号を確認できます。LFXT が開始されていない場合、LFCLK モニタはデフォルトで LFCLK_IN をチェックします。

高周波水晶発振器 (HFXT)

高周波水晶発振器 (HFXT) は、4 ~ 48MHz の範囲の標準的な水晶振動子や共振器と組み合わせて使用することができます。システム用に安定した高速リファレンス クロックを生成できます。

HFXT を使用するには、HFXIN ピンと HFXOUT ピンの間に水晶振動子または共振器を実装します。負荷コンデンサを両方のピンに配置して、回路グラウンド (VSS) に接続します。使用する水晶振動子の仕様に従って、水晶負荷コンデンサのサイズを変更します。HFXT の起動時間をプログラム可能で、64 μ s の分解能を実現しています。レイアウトに関する推奨事項については、[セクション 9](#) を参照してください。

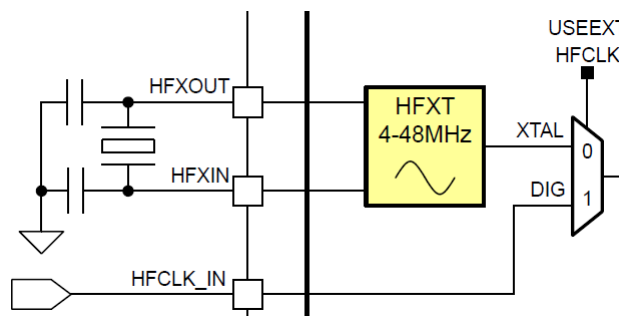


図 4-5. MSPM0G HFXT 回路

HFCLK_IN (デジタル クロック)

HFXT 回路をバイパスし、4 ~ 48MHz の標準周波数デジタル クロックをデバイスに入力して、HFXT ではなく HFCLK ソースとして使用することもできます。HFCLK_IN と HFXT は相互に排他的であり、同時にイネーブルにすることはできません。

HFCLK_IN は、デジタル方形波 CMOS クロック入力と互換性があり、標準デューティ サイクルは 50% です。

4.3 外部クロック出力 (CLK_OUT)

クロック出力ユニットは、デバイスから外部回路または周波数クロック カウンタにデジタル クロックを送信できます。この機能は、クロックソースを持たない外部 ADC などの外部回路へのクロック供給に役立ちます。クロック出力ユニットには、選択可能なソースの柔軟なセットがあり、プログラマブルな分周器が含まれています。

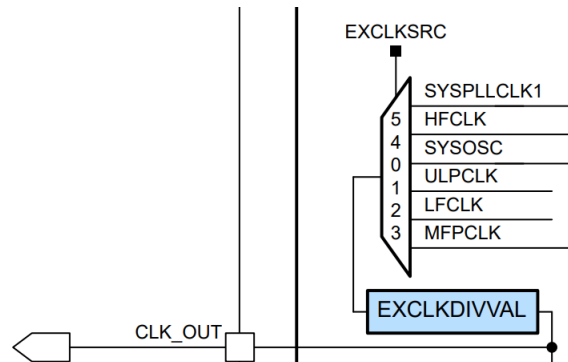


図 4-6. MSPM0G 外部クロック出力

CLK_OUT で使用可能なクロック ソース:

- SYSPLLCLK1
- HFCLK
- SYSOSC
- ULPCLK
- MFCLK
- LFCLK

選択したクロック ソースは、ピンまたは周波数クロック カウンタに出力する前に、1、2、4、8、16、32、64、または 128 で分周できます。

4.4 周波数クロック カウンタ (FCC)

周波数クロック カウンタ (FCC) を使用すると、デバイス上の各種発振器とクロックのテストとキャリブレーションを柔軟にインシステムで実施できます。FCC は、(2 次基準ソースから派生した) 既知の固定トリガ期間内に、選択したソース クロックで観測されるクロック周期の数をカウントし、ソース クロックの周波数を推定します。

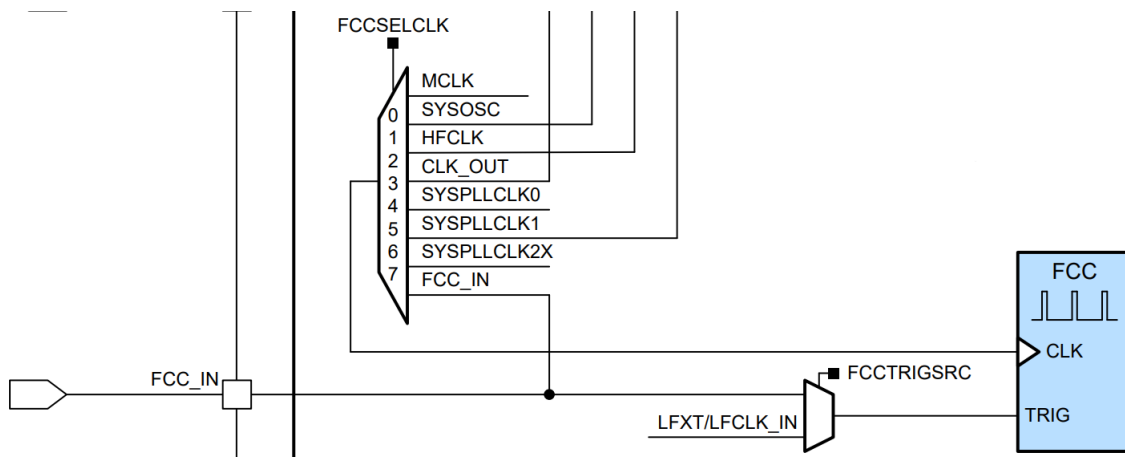


図 4-7. MSPM0G 周波数クロック カウンタのブロック図

アプリケーション ソフトウェアは、FCC を使用して、以下の発振器とクロックの周波数を測定できます。

- MCLK
- SYSOSC
- HFCLK
- CLK_OUT
- SYSPLLCLK0
- SYSPLLCLK1
- SYSPLLCLK2X
- 外部 FCC 入力 (FCC_IN)

注

外部 FCC 入力 (FCC_IN 機能) は FCC クロック ソースまたは FCC トリガ入力として使用できますが、同じ FCC キャプチャ中に両方の機能に使用することはできません。FCC クロック ソースまたは FCC トリガとして構成する必要があります。

5 デバッグ

デバッグ・サブシステム (DEBUGSS) は、シリアル・ワイヤ・デバッグ (SWD) の 2 線式物理インターフェイスを、デバイス内の複数のデバッグ機能に接続します。MSPM0G デバイスは、プロセッサの実行、デバイスの状態、電力状態 (EnergyTrace テクノロジーを使用) のデバッグをサポートしています。

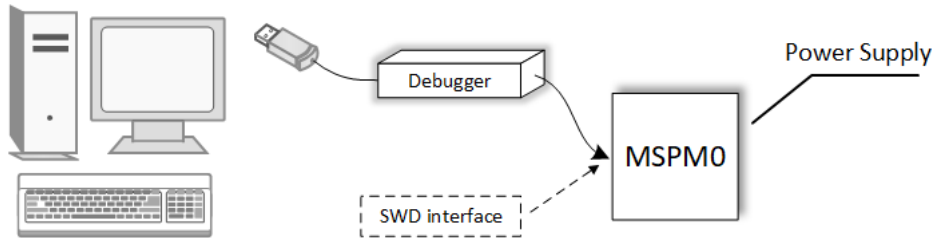


図 5-1. ホストからターゲット・デバイスへの接続

5.1 デバッグ・ポートのピンとピン配置

デバッグ・ポートには、内部プルダウン抵抗とプルアップ抵抗を備えた (表 5-1 を参照) SWCLK と SWDIO が含まれています (図 5-2 を参照)。MSPM0G MCU ファミリーは、さまざまなピン数のさまざまなパッケージで提供されています。詳細については、デバイス固有のデータシートをご覧ください。

表 5-1. MSPM0G デバッグ・ポート

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ・プローブからのシリアル・ワイヤ・クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル・ワイヤ・データ

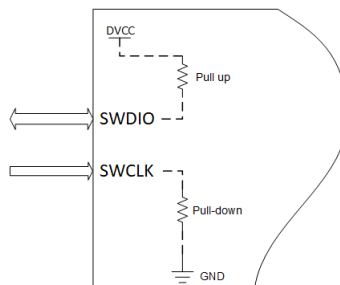


図 5-2. MSPM0G SWD 内部プル

5.2 標準 JTAG コネクタを使用したデバッグ ポート接続

図 5-3 に、MSPM0G ファミリー MCU SWD デバッグ ポートと標準 JTAG コネクタの接続を示します。

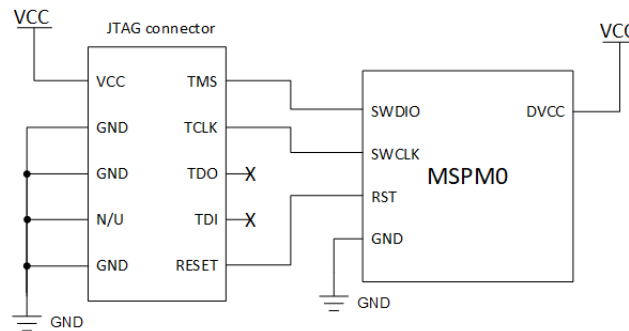


図 5-3. JTAG および MSPM0G 接続

MSPM0G デバイスの場合、XDS110 を使用してデバッグ / ダウンロード機能を実装できます。ここに XDS110 の内容のリストと、ハードウェアのインストール手順を示します。

標準 XDS110

標準 XDS110 は、ti.com から購入できます。図 5-4 に、XDS110 プロブの主要な機能領域とインターフェイスの概略図を示します。

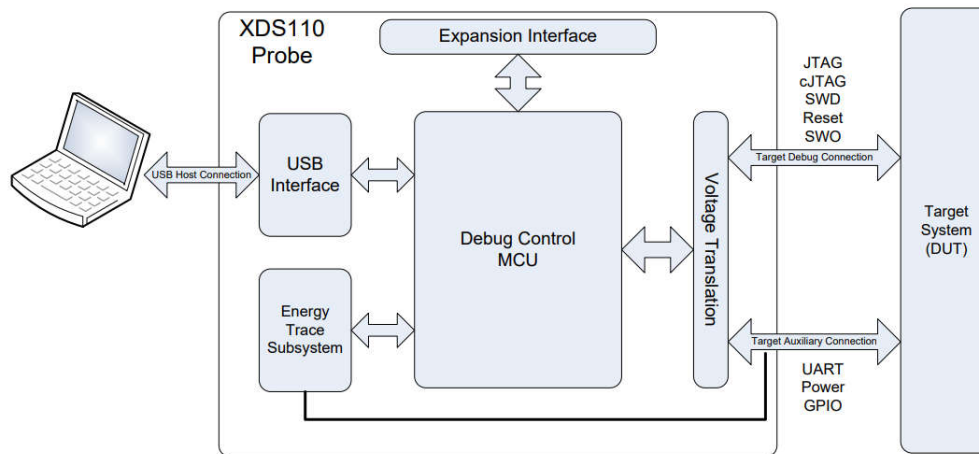


図 5-4. XDS110 プロブの高レベルブロック図

XDS110 の詳細については、『[XDS110 デバッグ プロブ ユーザー ガイド](#)』を参照してください。

Lite XDS110 (MSPM0 LaunchPad 開発キット)

MSPM0 LaunchPad キットには、XDS110-ET (Lite) 回路が含まれています。このデバッグを使用して、ファームウェアを MSPM0 デバイスにダウンロードできます。図 5-5 に、XDS110-ET 回路を示します。

XDS110-ET には 2 つのプロブがあります：

2.54mm プロブ：このポートは SWD プロトコルをサポートし、5V または 3.3V の電源を内蔵しています。SWDIO SWCLK 3V3 GND をボードに接続し、ファームウェアを MSPM0G デバイスにダウンロードできます。

また、このプロブは **EnergyTrace** テクノロジーもサポートしており、消費電力をリアルタイムで正確に測定できます。

EnergyTrace テクノロジーの詳細については、[EnergyTrace テクノロジー ツール ページ](#) を参照してください。

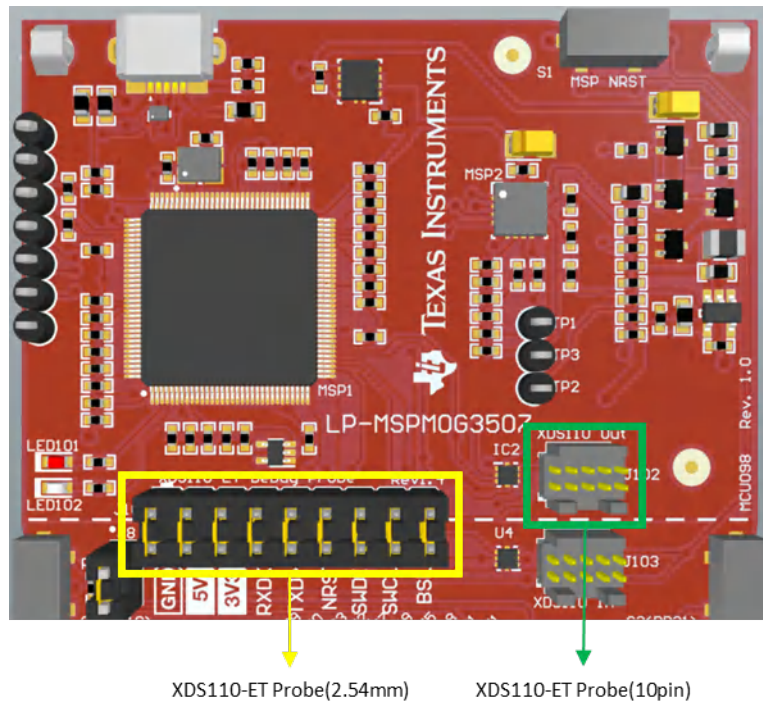


図 5-5. XDS110-ET 回路

10 ピンプローブ:このポートは JTAG および SWD プロトコルをサポートしており、3.3V 電源を内蔵しています。10 ピンケーブルを使用してボードと XDS110-ET を接続し、ファームウェアを MSPM0G デバイスにダウンロードできます。☒ 5-6 に、10 ピンケーブルを示します。



図 5-6. Arm 標準 10 ピン ケーブル

注

- 標準 XDS110 はデバッグポートのレベルシフトをサポートしており、XDS110-ET は 3.3V のプローブレベルのみをサポートしています。
- XDS110 には電流駆動能力が制限された LDO が内蔵されているため、テキサスインスツルメンツでは、MSPM0G MCU 以外の他のデバイスへの電力供給に XDS110 を使用することはお勧めしません。
- XDS110-ET 2.54mm プロブは JTAG プロトコルをサポートしていません。
- XDS110-ET 10 ピン プロブは EnergyTrace テクノロジーをサポートしていません。

6 主要なアナログペリフェラル

MSPM0G シリーズ MCU には、チップ内で多くのアナログ・シグナル・コンディショニング機能を実現できるアナログ・ペリフェラル・リソースが含まれています。MSPM0G のアナログ・ペリフェラルの性能を最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。この章では、多くの代表的なアナログ回路構成に関するアナログ設計上の考慮事項について説明します。

6.1 ADC 設計の検討事項

MSPM0G デバイスには、12 ビット、最大 4MSPS の A/D コンバータ (ADC) が搭載されています。この ADC は、12、10、8 ビットの高速度な A/D 変換をサポートしています。この ADC は、12 ビットの逐次比較型コア、サンプリング / 変換モード制御、最大 12 個の独立した変換 / 制御バッファを実装しています。

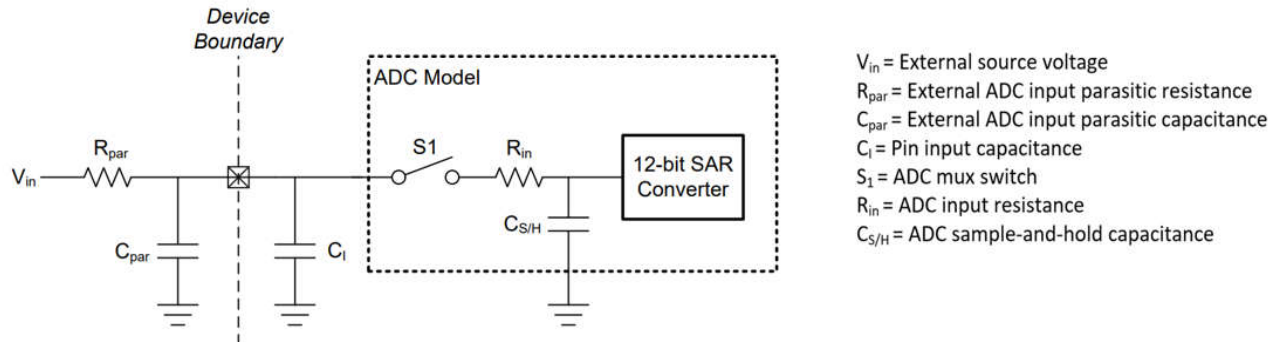


図 6-1. ADC 入力ネットワーク

希望の変換速度を達成し、高精度を維持するには、ハードウェア設計で適切なサンプリング時間を確保してください。サンプリング (サンプル アンド ホールド) 時間は、デジタル変換前に信号をサンプリングする時間を決定します。サンプル時間中は、内部スイッチにより入力コンデンサを充電できます。コンデンサを完全に充電するために必要な時間は、ADC 入力ピンに接続されている外部アナログ フロント エンド (AFE) に依存します。図 6-1 に、MSPM0G MCU の代表的な ADC モデルを示します。 R_{in} と $C_{S/H}$ の値は、デバイス固有のデータシートから取得できます。AFE 駆動能力を理解し、信号のサンプリングに必要な最小サンプリング時間を計算してください。 R_{Par} と R_{in} の抵抗は t_{sample} に影響を及ぼします。式 1 は、 n ビット変換の最小サンプル時間 t_{sample} の安全な値を計算するために使用できます。

$$t_{sample} \geq (R_{par} + R_{in}) \times \ln(2^{n+2}) \times (C_{S/H} + C_1 + C_{Par}) \quad (1)$$

連続高速 (4MSPS) ADC の性能を評価するには、十分な信号ソース駆動能力を確保するために、テキサス インストルメンツは外部バッファを追加することをお勧めします。設計リファレンスとして、推奨される外部 OPA を含む LP-MSPM0G3507 ハードウェア設計を参照してください。

6.2 OPA 設計の検討事項

MSPM0G OPA は、プログラマブル ゲイン段を備えたゼロドリフト チョップ安定化オペアンプです。OPA は信号増幅とバッファリングに使用でき、汎用モード、バッファ モード、PGA モードで動作できます。

OPA を汎用モードで使用する場合は、外付けの抵抗とコンデンサを追加してアンプ回路を作成します。OPA は、ソフトウェアを使用してバッファ モードに構成できます。PGA モードの場合、ソフトウェアによって OPA に最大 32 倍の PGA ゲインを構成できます。

注

PGA ゲインは負端子のみです。

1 つのデバイスで複数の OPA が利用可能な場合、これら 2 つを組み合わせると差動アンプを形成できます。差動アンプの出力式は、図 6-2 の V_{diff} 式で与えられます。

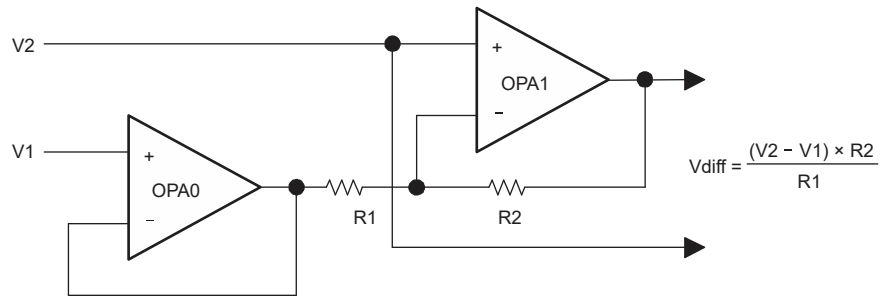


図 6-2. 2 個の OPA 差動アンプのブロック図と式

または、1 つのデバイスで利用可能な複数の OPA を組み合わせて、多段アンプまたはカスケードアンプを形成することもできます。プログラマブル入力マルチプレクサを使用すると、反転型と非反転型の多段アンプのすべての組み合わせを実装できます。非反転から非反転へのカスケード接続アンプの出力式は、図 6-3 の V_{out} 式で与えられます。

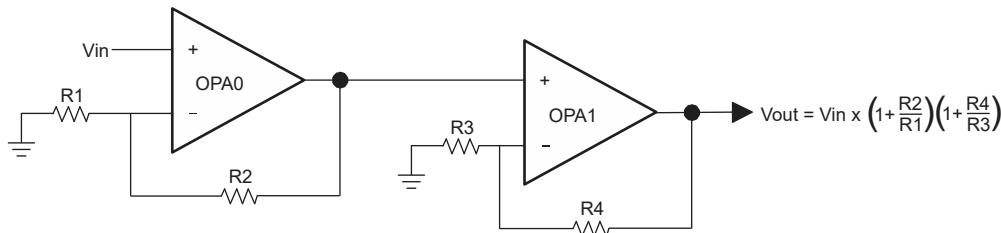


図 6-3. 2 個の OPA 非反転型から非反転型へのカスケード接続アンプのブロック図と式

6.3 DAC 設計の検討事項

MSPM0G デバイスには、2 つの DAC モジュールが含まれています。8 ビットと 12 ビット DAC は基準電圧として使用でき、OPA と組み合わせて出力パッドを直接駆動することもできます。12 ビット DAC モジュールにはバッファが含まれているため、直接パッドに出力できます。ただし、8 ビット DAC モジュールは通常、OPA および COMP の内部基準電圧として使用されるため、外部ピンに出力するには、OPA をバッファ・モードに構成して駆動能力を向上させる必要があります。

すべてのデバイスにこれら 2 つの DAC モジュールが搭載されているわけではありません。詳細については、デバイス固有のデータシートをご覧ください。

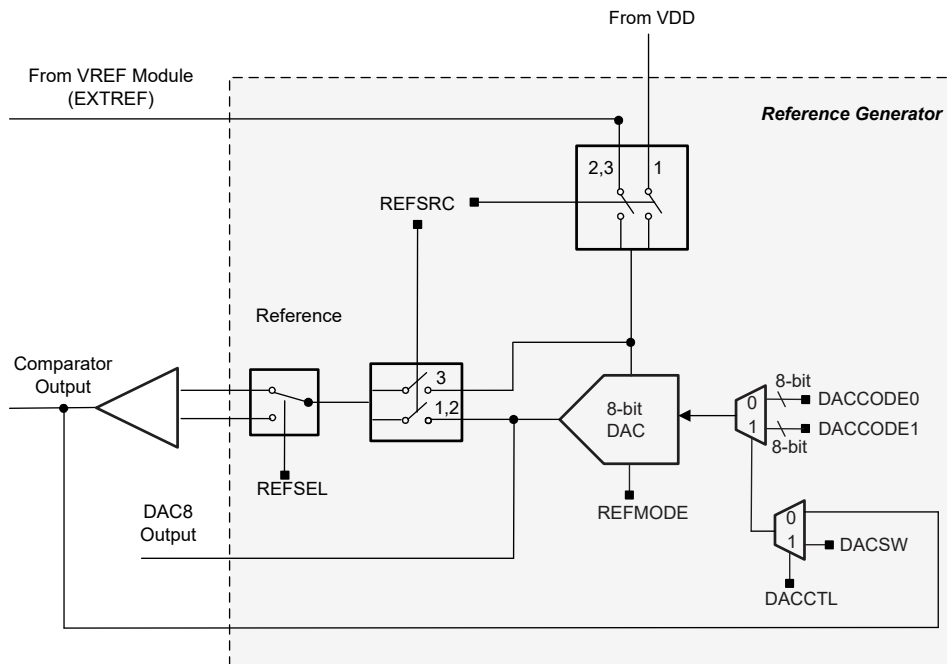


図 6-4. 8 ビット DAC のブロック図

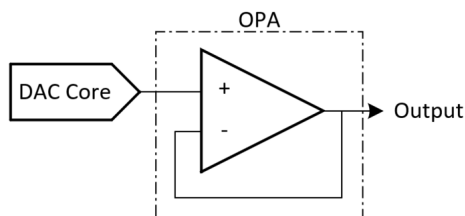


図 6-5. 8 ビット DAC および OPA 出力のブロック図

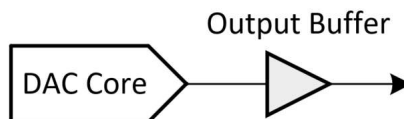


図 6-6. 12 ビット DAC 出力のブロック図

6.4 COMP 設計の検討事項

MSPM0G コンパレータ モジュール (COMP) は、汎用コンパレータ機能を備えたアナログ電圧コンパレータです。

COMP モジュールには内部および外部入力が含まれており、アナログ信号を柔軟に処理するために使用できます。内部温度センサは、COMP への直接入力として使用できます。

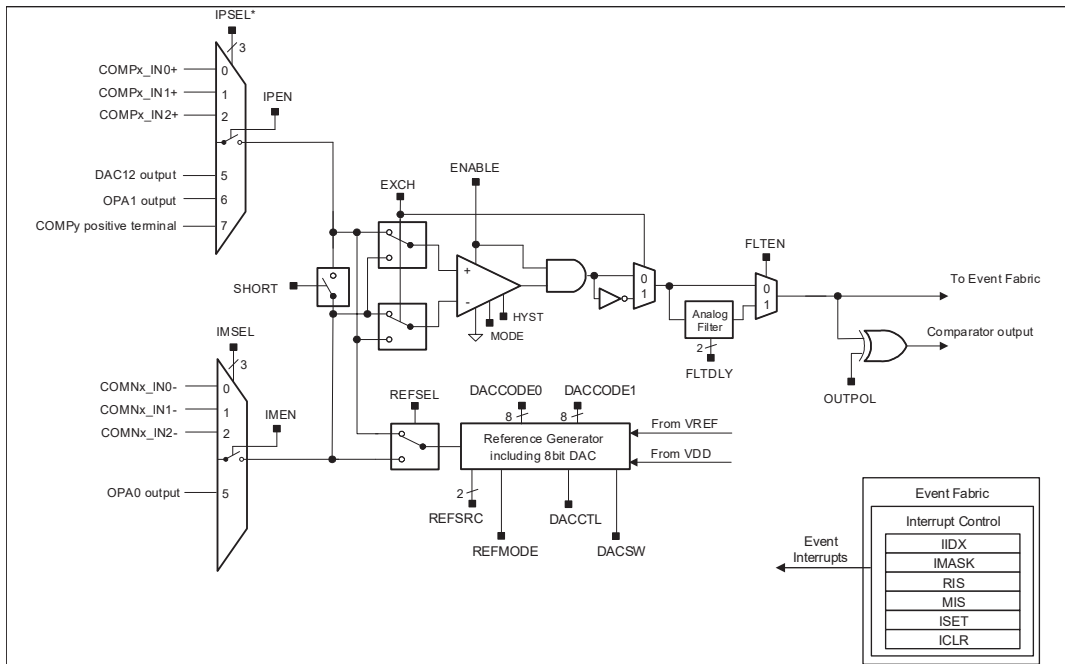


図 6-7. コンパレータの図

また、MSPM0G コンパレータ モジュールは 2 つの COMP を組み合わせて、ウィンドウ コンパレータ機能を実装しています。図 6-8 に示すように、COMP0 と COMP1 を組み合わせて構成し、ウィンドウ コンパレータを作成することができます。この構成では、入力信号が互いに接続されたコンパレータの正の端子に接続され、上側と下側のスレッショルド電圧がコンパレータの負の端子に接続されます。

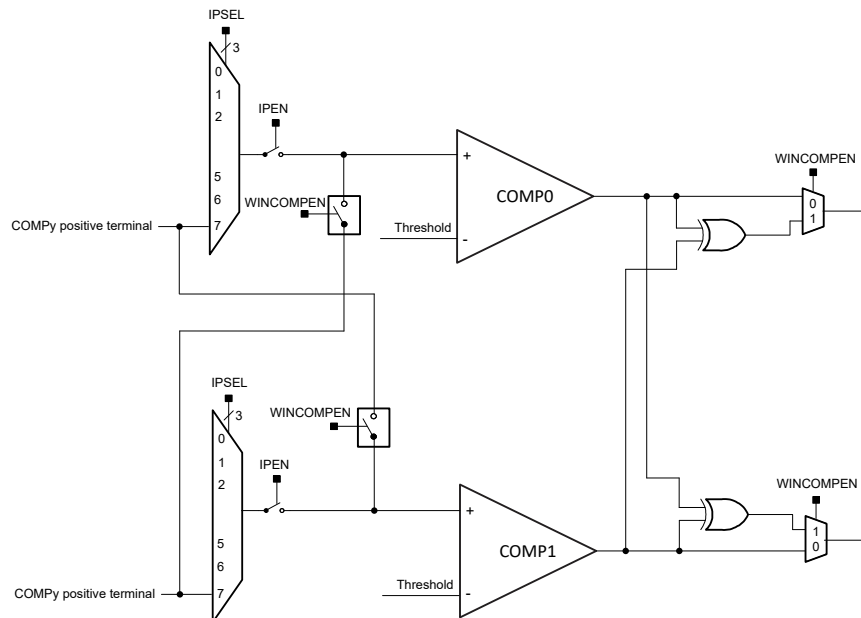


図 6-8. ウィンドウ コンパレータ モード

COMP モジュールには、コンパレータの単純なサンプル アンド ホールドの構築に使用できる短いスイッチも含まれています。

図 6-9 に示すように、必要なサンプリング時間はサンプリング コンデンサ (CS) のサイズ、短いスイッチ (R-) と直列に接続された入力スイッチの抵抗、外部ソース (RS) の抵抗に比例します。サンプリング コンデンサ CS は 100pF より大きい必要があります。サンプリング コンデンサ CS を充電する時定数 Tau は、式 2 で計算できます。

$$T_{au} = (R_I + R_S) \times C_S \tag{2}$$

必要な精度に応じて、サンプリング時間として **3~10 Tau** を使用します。**3Tau** の場合、サンプリング コンデンサは入力信号の電圧レベルの約 **95%** まで充電されます。**5Tau** では、サンプリング コンデンサは **99%** 以上まで充電され、**10Tau** では、サンプリングされた電圧で **12 ビット** の精度を実現できます。

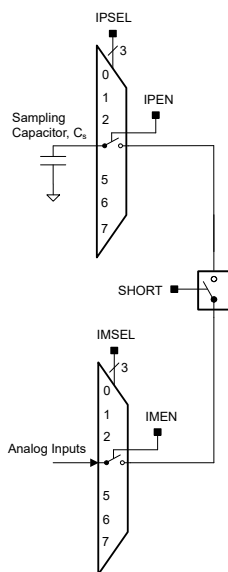


図 6-9. コンパレータ ショート スイッチ

6.5 GPAMP 設計の検討事項

MSPM0G デバイスには、[図 6-10](#) に示すように、いくつかの外部抵抗およびコンデンサを使用した信号増幅に使用できる GPAMP (汎用アンプ) モジュールが含まれています。

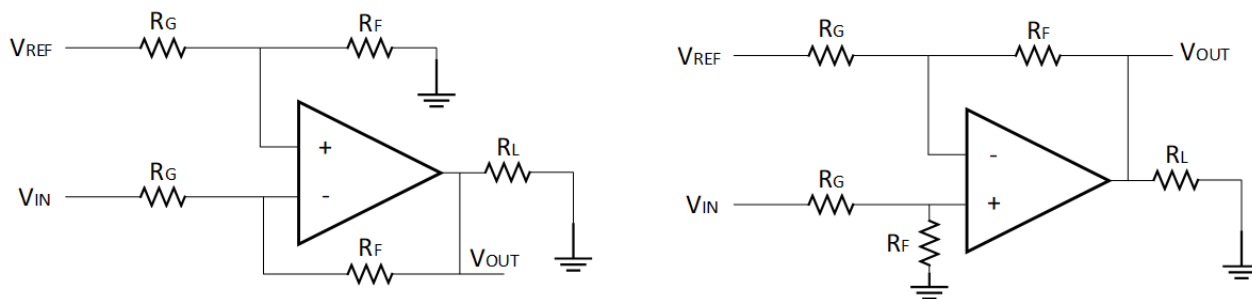


図 6-10. 増幅モードの GPAMP 回路

GPAMP は、内部 ADC のバッファとしても使用できます。[図 6-11](#) に、この構成の例を示します。

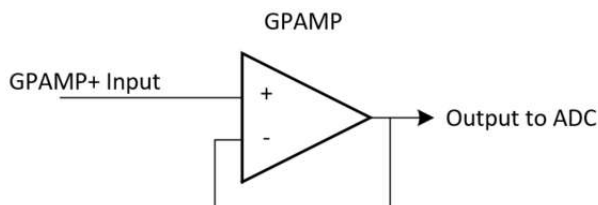


図 6-11. バッファ・モードの GPAMP 回路

7 主要なデジタル・ペリフェラル

MSPM0G シリーズ MCU には、豊富な通信機能を提供するタイマ、UART、SPI、MCAN、LIN などの豊富なデジタル・ペリフェラル・リソースを内蔵しています。MSPM0G のデジタル・ペリフェラルを最大限に活用するには、ハードウェア設計でいくつかの検討事項を考慮する必要があります。この章では、多くの標準的なデジタル・ペリフェラル構成に関する設計上の考慮事項について説明します。

7.1 タイマ リソースと設計の検討事項

タイマは、どの MCU でも最も基本的で重要なモジュールの 1 つであり、このリソースはすべてのアプリケーションで使用されています。タスクの定期的な処理、遅延、デバイス駆動用の PWM 波形の出力、外部パルスの幅と周波数の検出、波形出力のシミュレーションなどに使用できます。

MSPM0G シリーズ MCU には、アドバンスド タイマ (TIMA) と汎用タイマ (TIMG) の 2 種類のタイマ モジュールが搭載されています。TIMA と TIMG はタイマ カウント モジュールで、入力信号のエッジと期間の測定 (キャプチャ モード) や、PWM 信号のような出力波形の生成 (比較モード出力) など、さまざまな機能に使用できます。ただし、TIMA には、デッドバンド挿入機能を備えた相補型 PWM などの追加機能が追加されています。表 7-1 と表 7-2 に、各タイマのさまざまな機能と構成の概要を示します。

表 7-1. TIMA インスタンスの構成

インスタンス	パワー ドメイン	カウンタ分解能	プリスケアラ	レポート カウンタ	CCP チャネル	位相負荷	シャドウ負荷	パイプライン CC	デッドバンド	フォールトハンドラ	QEI
TIMA0	PD1	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	-
TIMA1	PD1	16 ビット	8 ビット	-	2	あり	あり	あり	あり	あり	-

表 7-2. TIMG インスタンスの構成

インスタンス	パワー ドメイン	カウンタ分解能	プリスケアラ	レポート カウンタ	CCP チャネル	位相負荷	シャドウ負荷	シャドウ CC	デッドバンド	フォールトハンドラ	QEI / ホール入力モード
TIMG0	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG1	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG2	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG3	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG4	PD0	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG5	PD0	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG6	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG7	PD1	16 ビット	8 ビット	-	2	-	あり	あり	-	-	-
TIMG8	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG9	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG10	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG11	PD1	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMG12	PD1	32 ビット	-	-	2	-	-	あり	-	-	-
TIMG13	PD1	32 ビット	-	-	2	-	-	あり	-	-	-
TIMG14	PD0	16 ビット	8 ビット	-	4	-	-	-	-	-	-

- デバイス固有のデータシートを参照して、どの TIMG インスタンスがデバイスで使用可能なのか確認します
- 『MSPM0G シリーズ 80MHz マイコン』テクニカル リファレンス マニュアルで、各 TIMG インスタンスで利用可能な機能を確認します

7.2 UART と LIN のリソースと設計の検討事項

MSPM0G シリーズのマイコンには、ユニバーサル非同期レシーバトランスミッタ (UART) が搭載されています。表 7-3 に示すように、UART0 ~ UART7 は LIN、DALI、IrDA、ISO7816 マンチェスター符号化機能をサポートしています。

表 7-3. UART の機能

UART の機能	UART 拡張機能	UART メイン機能 (低消費電力モードのサポート)	UART メイン機能
インスタンス	UART0、UART7	UART1、UART2	UART3-UART6
停止およびスタンバイ モードでアクティブ	あり	あり	-
送信 FIFO と受信 FIFO を分離	あり	あり	あり
ハードウェア フロー制御をサポート	あり	あり	あり
9 ビット構成をサポート	あり	あり	あり
LIN モードをサポート	あり	-	-
DALI をサポート	あり	-	-
IrDA をサポート	あり	-	-
ISO7816 スマート カードをサポート	あり	-	-
マンチェスター符号化をサポート	あり	-	-

MSPM0G UART モジュールは、ほぼすべての UART アプリケーションのために、パワードメイン 1 で最高 10MHz のボー レートをサポートできます。

表 7-4. MSPM0G UART 仕様

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数	パワードメイン 1 の UART			80	MHz
f_{UART}	UART 入力クロック周波数	パワードメイン 0 の UART			40	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)	パワードメイン 1 の UART			10	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				5	MHz
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

ローカル相互接続ネットワーク (LIN) は一般的に使用される低速ネットワーク インターフェイスで、複数のリモートレスポンス ノードと通信するコマンド ノードで構成されています。通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。

TLIN1021A-Q1 のトランスミッタは最大 20kbps のデータ レートをサポートしています。本トランシーバは、TXD ピン経由で LIN バスの状態を制御し、オープンドレインの RXD 出力ピンでバスの状態を報告します。このデバイスは、電磁放射 (EME) を低減するために電流制限付き波形整形ドライバを備えています。

TLIN1021A-Q1 は、広い入力電圧動作範囲の 12V アプリケーションに対応するように設計されています。このデバイスは低消費電力スリープ モードと、wake over LIN、WAKE ピン、EN ピンによる低消費電力モードからのウェイクアップをサポートしています。このデバイスを使用すると、ノードに存在する可能性がある各種電源を TLIN1021A-Q1 の INH 出力ピンで選択的に有効にすることで、バッテリーの消費電流をシステム レベルで低減できます。図 7-1 に、テキサス・インスツルメンツ TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。

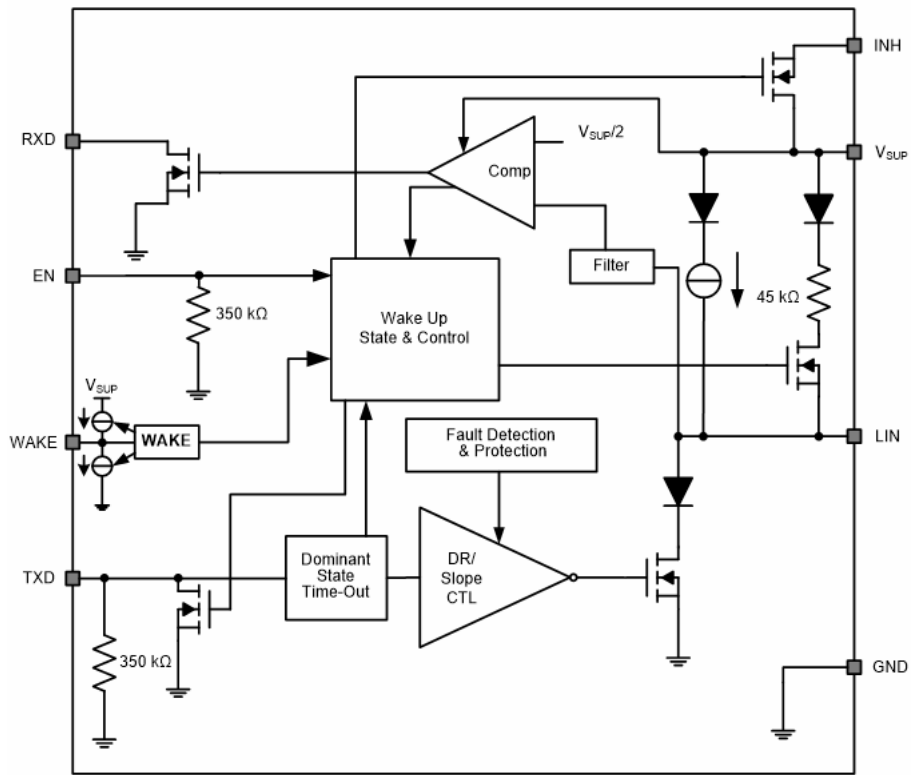


図 7-1. 標準的な LIN TLIN1021A トランシーバ

通信に必要なのは 1 本のワイヤのみであり、一般的に車両の配線ハーネスに含まれています。図 7-2 と 図 7-3 に、テキサス インストルメンツの TLIN1021A LIN トランシーバを使用して実装されている代表的なインターフェイスを示します。詳しくは、『TLIN1021A-Q1 故障保護 LIN トランシーバ、インビットおよびウェイク付き』データシートを参照してください。

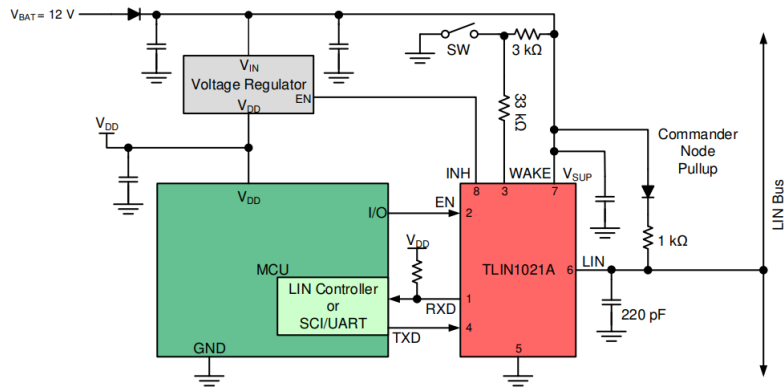


図 7-2. MSPM0G を使用した代表的な LIN アプリケーション (コマンド)

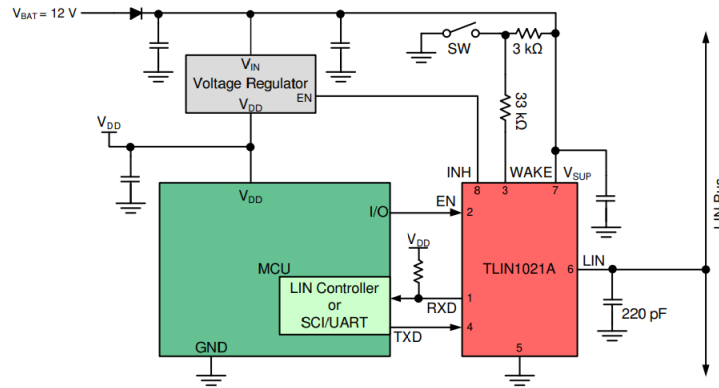


図 7-3. MSPM0G を使用した代表的な LIN アプリケーション (レスポнда)

7.3 MCAN 設計の検討事項

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショートメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データ レート) の両方のプロトコルをサポートしています。CAN FD 機能により、データフレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワークトランシーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

一部の MSPM0G デバイスには、MCAN および LIN モジュールが含まれています。CAN および LIN バスに通常接続するには、図 7-4 に示すように、外部 MCAN トランシーバまたは LIN トランシーバが必要です。

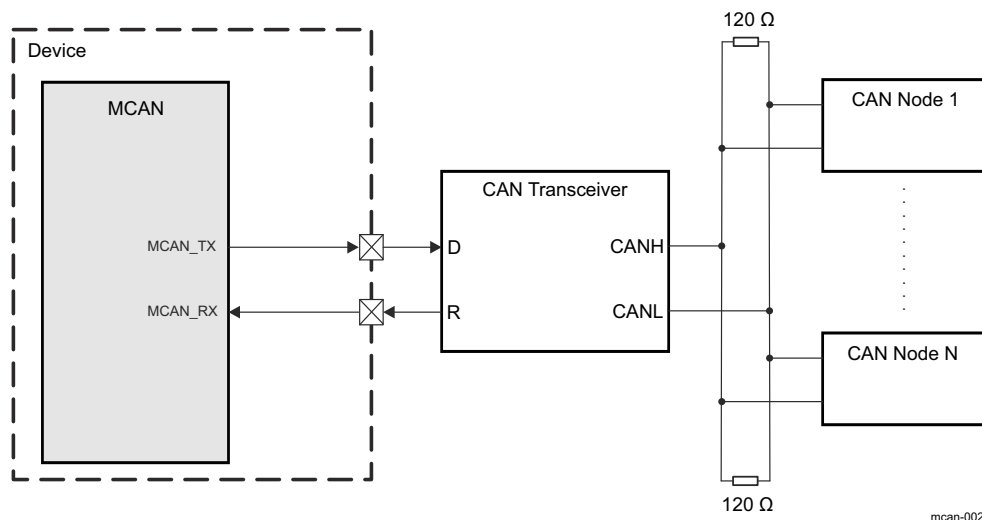


図 7-4. MCAN の代表的なバス配線

TCAN1042GV は CAN トランシーバで、ISO11898-2 (2016) 高速 CAN (コントローラ エリア ネットワーク) の物理層規格に適合しています。最大 5Mbps (メガビット/秒) の CAN FD ネットワークで使用でき、I/O レベルの 2 次電源入力により入力ピンのスレッショルドと RXD 出力レベルをシフトできます。このデバイスは、リモート ウェイク要求機能により、スタンバイモードで低い消費電力を実現しています。さらに、デバイスとネットワークの堅牢性の強化のため、このデバイスに多くの保護機能が組み込まれています。図 7-5 は、リファレンス デザイン回路を含みます。詳細については、『TCAN1042-Q1 車載、故障保護、CAN FD 付き CAN トランシーバ』データシートを参照してください。

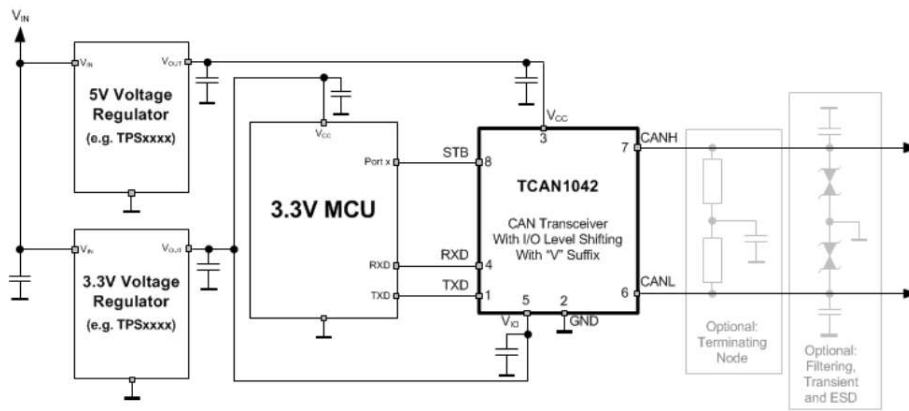


図 7-5. MSPM0G を使用した代表的な CAN バス アプリケーション

7.4 I2C と SPI 設計の検討事項

SPI と I2C の各プロトコルは、MCU とセンサ間のデータ交換など、デバイスまたはボード間の通信に広く使用されています。MSPM0G シリーズ MCU は、最大 32MHz の高速 SPI を搭載しており、3 線式、4 線式、チップ セレクト、コマンド モードをサポートしています。特定の要件に基づいてシステムを設計するには、[図 7-6](#) を参照してください。

一部の SPI ペリフェラル デバイスは、PICO (ペリフェラル入力コントローラ出力) を高ロジックに維持する必要があります。外付けデバイスが必要な場合は、PICO ピンにプルアップ抵抗を追加します。

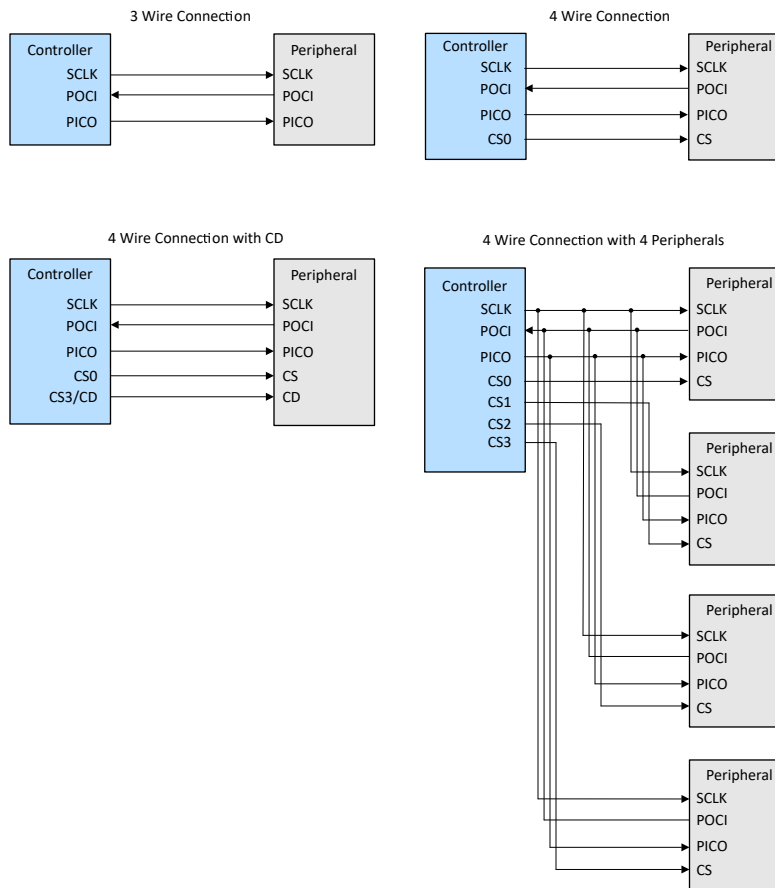


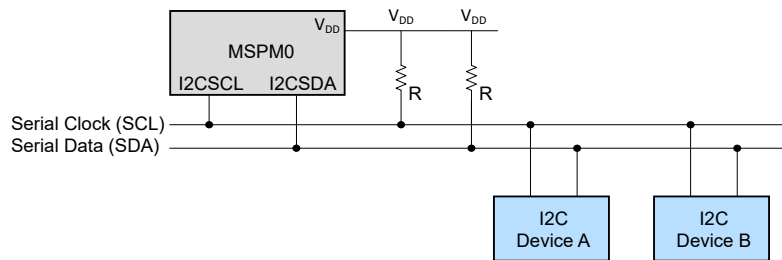
図 7-6. 異なる SPI 構成に対する外部接続

I2C バスの場合、MSPM0G デバイスは [表 7-5](#) に示すように、標準、高速、および高速プラス モードをサポートします。

I2C バスを使用する場合は、外部プルアップ抵抗が必要です。これらの抵抗の値は I2C の速度に依存します。テキサスインスツルメンツでは、高速プラス モードをサポートするために 2.2k を推奨します。消費電力に関するシステムでは、大きな抵抗値を使用できます。ODIO (GPIO を参照) を使用して、5V デバイスとの通信を実装できます。

表 7-5. MSPM0G I2C の特性

パラメータ	テスト条件	スタンダード モード		ファスト モード		ファスト モードプラス		単位		
		最小値	最大値	最小値	最大値	最小値	最大値			
f_{I2C}	I2C 入力クロック周波数	パワードメイン 0 の I2C		2	32	8	32	20	32	MHz
f_{SCL}	SCL クロック周波数			0.1		0.4		1		MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間			4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間			4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間			4		0.6		0.26		us
$t_{SU,STA}$	リピート スタート セットアップ時間			4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間			0		0		0		us
$t_{SU,DAT}$	データ セットアップ時間			250		100		50		us
$t_{SU,STO}$	ストップ セットアップ時間			4		0.6		0.26		us
t_{BUF}	STOP 条件と START 条件の間のバスフリー時間			4.7		1.3		0.5		us
$t_{VD,DAT}$	データ有効時間			3.45		0.9		0.45		us
$t_{VD,ACK}$	データ有効アクリッジ時間			3.45		0.9		0.45		us


図 7-7. 代表的な I2C バス接続

8 GPIO

MSPM0G シリーズ MCU には、標準駆動 I/O (SDIO)、高駆動 I/O (HDIO)、高速 I/O (HSIO)、5V 許容のオープンドレイン I/O (ODIO) が含まれています。ユーザーは、実際の要件に基づいて適切な I/O タイプを柔軟に選択できます。ハードウェア設計では、以下の特性を考慮する必要があります。

8.1 GPIO 出力のスイッチング速度と負荷容量

GPIO を I/O として使用する場合、正しい動作を検証するために設計上の検討事項を考慮する必要があります。負荷容量が大きくなると、I/O ピンの立ち上がりと立ち下がり時間が長くなります。この容量には、ピンの寄生容量 ($C_i = 5\text{pF}$ (標準値)) と基板のパターンの影響が含まれます。I/O 特性は、デバイス固有のデータシートに記載されています。表 8-1 に MSPM0G デバイスの I/O 出力周波数特性を示します。

表 8-1. MSPM0G GPIO のスイッチング特性

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{\max}	ポート出力周波数	SDIO	$VDD \geq 1.71\text{V}$, $C_L = 20\text{pF}$			16	MHz
			$VDD \geq 2.7\text{V}$, $C_L = 20\text{pF}$			32	
		HSIO	$VDD \geq 1.71\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			16	
			$VDD \geq 1.71\text{V}$, $DRV = 1$, $C_L = 20\text{pF}$			24	
			$VDD \geq 2.7\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			32	
			$VDD \geq 2.7\text{V}$, $DRV = 1$, $C_L = 20\text{pF}$			40	
		HDIO	$VDD \geq 1.71\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			16	
			$VDD \geq 2.7\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			20	
		ODIO	$VDD \geq 1.71\text{V}$, FM^* , $C_L = 20\text{pF} \sim 100\text{pF}$			1	
		t_r, t_f	出力立ち上がり / 立ち下がり時間	ODIO を除くすべての出力ポート	$VDD \geq 1.71\text{V}$		
t_f	出力立ち下がり時間	ODIO	$VDD \geq 1.71\text{V}$, FM^* , $C_L = 20\text{pF} \sim 100\text{pF}$	$20 \cdot VDD / 5.5$		120	ns

注

- 出力電圧は、指定されたトグル周波数で 10% 以上、90% V_{cc} に達します。
- オープンドレイン I/O の出力立ち上がり時間は、プルアップ抵抗と負荷容量によって決まります。

8.2 GPIO 電流シンクおよびソース

表 8-2. MSPM0G GPIO 絶対最大定格

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
VCORE	VCORE ピンの電圧		1.35		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ		10		μF
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ		470		nF
T_A	周囲温度、T バージョン	-40		105	$^{\circ}\text{C}$
	周囲温度、S バージョン	-40		125	
T_A	周囲温度、Q バージョン	-40		125	$^{\circ}\text{C}$
T_J	最大接合部温度、T バージョン			125	$^{\circ}\text{C}$
T_J	最大接合部温度、S および Q バージョン			130	$^{\circ}\text{C}$

表 8-2. MSPM0G GPIO 絶対最大定格 (続き)

		最小値	公称値	最大値	単位
f_{MCLK} (PD1 バス クロック)	MCLK、CPUCLK、ULPCLK 周波数、2 のフラッシュ待ち状態			80	MHz
	MCLK、CPUCLK、ULPCLK 周波数、1 のフラッシュ待ち状態			48	
	MCLK、CPUCLK、ULPCLK 周波数、0 のフラッシュ待ち状態			24	
f_{ULPCLK} (PD0 バス クロック)	ULPCLK 周波数			40	MHz

注

- I/O の合計電流は、 I_{VDD} の最大値未満である必要があります。
- HDIO、HSIO、および ODIO には固定ピンのパッチが適用されています。デバイスのデータシートを参照してください。

SDIO と HSIO は最大電流 6mA (標準値) のシンクまたはソースが可能で、標準的な LED を駆動するのに十分です。電流負荷を大きくするには、HDIO (最大電流: 20mA (標準値)) を使用します。ただし、合計結合電流は I_{VDD} (標準値 80mA) 未満である必要があります。

8.3 高速 GPIO (HSIO)

HSIO は最大 40MHz の周波数をサポートでき、この速度はバス・クロック、電源電圧、負荷容量に関係します。また、出力の最大周波数は、DIO レジスタの DRV ビットを使用して選択することもできます。

8.4 高駆動 GPIO (HDIO)

HDIO は 20mA の電流を出力して負荷を駆動でき、最大ソース電流は電源電圧に関連しています。

8.5 オープンドレイン GPIO により、レベル シフトなしで 5V 通信を実現

ODIO は 5V 入力に対応しています。ODIO はオープンドレインであるため、ピンが HIGH に出力できるようにするには、外部プルアップ抵抗が必要です。この I/O は、さまざまな電圧レベルの UART または I2C インターフェイスに使用できます。電流を制限するには、ピンとプルアップ抵抗の間に直列抵抗を配置し、 R_{SERIES} を 250Ω 以上にする必要があります。図 8-1 に示すように、テキサス インストルメンツは 270Ω を推奨します。プルアップ抵抗の値は、出力周波数によって異なります (セクション 7.4 を参照)。

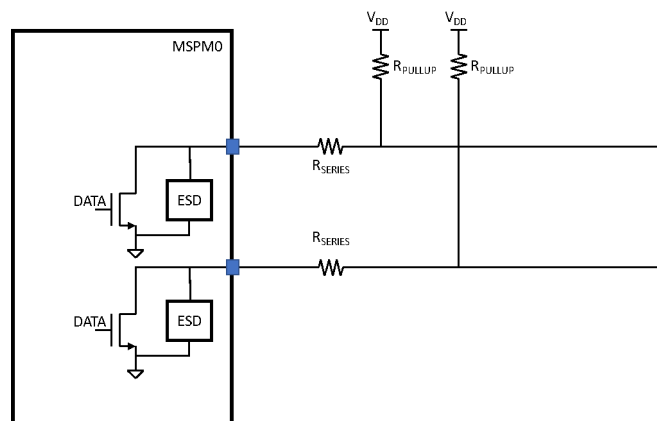


図 8-1. 推奨される ODIO 回路

8.6 レベル シフタなしで 1.8V デバイスと通信する

MSPM0G シリーズのデバイスは、3.3V のロジックレベルを使用します (ODIO を除く)。1.8V デバイスと通信する必要があり、外部レベルシフタ デバイスを使用しない場合、図 8-2 に 1.8V デバイスとインターフェイスするための推奨回路を示します。

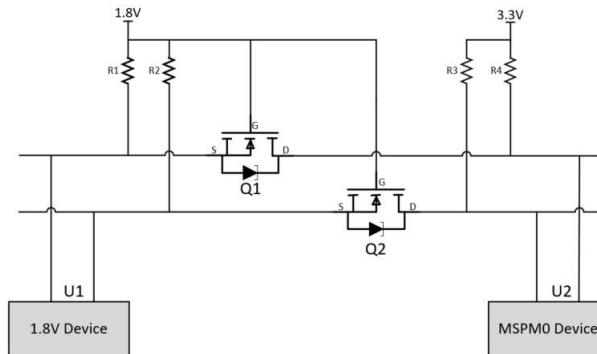


図 8-2. 1.8V デバイスで推奨される通信回路

この回路では 2 個の MOSFET を使用しています。VGS をチェックし、この MOSFET が低い RDS(on) で完全にオンになることを確認します。1.8V デバイスの場合、1.8V 未満の VGS MOSFET を使用します。ただし、VGS MOSFET が低すぎると、MOSFET が非常に小さな電圧でオンになる可能性があり (MCU ロジックは 0 と判断)、通信ロジック エラーが発生します。

U1 出力と U2 入力

1. U1 出力は「1.8V HIGH」、Q1 VGS は 0 付近のため、Q1 はオフになり、U2 は R4 で「3.3V HIGH」と表示されます。
2. U1 出力は「LOW」、Q1 VGS は 1.8V 付近のため、Q1 はオンになり、U2 は「LOW」と表示されます。

U1 入力と U2 出力

1. U2 出力は「3.3V HIGH」、U1 は R1 で 1.8V を維持、Q1 はオフになるため、U1 は「1.8V HIGH」と表示されます。
2. U2 出力が LOW の場合、U1 を R1 で 1.8V のままに維持します。ただし、MOSFET 内のダイオードが U1 を 0.7V にプルダウンし (ダイオードの電圧降下)、その後 VGS がターンオン電圧よりも高くなり、Q1 がオンになり、U1 は「LOW」と表示されます。

8.7 未使用ピンの接続

すべてのマイコンはさまざまなアプリケーション向けに設計されており、多くの場合、特定のアプリケーションでは MCU リソースの 100% を使用していません。EMC 性能を向上させるため、未使用のクロック、カウンタ、I/O をフリーまたはフローティングのままにしないでください。たとえば、I/O を 0 または 1 に設定し (未使用の I/O ピンでプルアップまたはプルダウンを有効にし)、未使用の機能を無効にします。

表 8-3. 未使用ピンの接続

ピン	潜在的な	コメント
PAx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用ピンを内部プルアップ / プルダウン抵抗で Low または入力を出力するように構成します。
OPAx_IN0-	オープン	このピンは、ハイインピーダンスです。
NRST	VDD	NRST はアクティブ LOW のリセット信号であり、VCC にプルアップして HIGH に維持する必要があります。そうしないと、デバイスを起動できません。

注

- リークエージを低減するため、I/O をアナログ入力として構成するか、プッシュプルとして構成し、0 に設定します。
 - リセット後に BSL モードに移行しないように、BSL 起動ピンをプルダウンする必要があります。
-

9 レイアウト・ガイド

9.1 電源レイアウト

図 9-1 に、電源レイアウトの代表的な部品配置と配線を示します。MSPM0G 部品に合わせて適切に変更する必要があります。オプションとして、VCC および MCU VDD ピンと直列にフィルタ・インダクタを接続できます。このインダクタを使用して、DC / DC のスイッチング・ノイズ周波数をフィルタリングします。値については、DC / DC ベンダのデータシートを参照してください。MSPM0G デバイスのデータシートに掲載されている C1/C2/C3 の値とレイアウト。

注

- 最小の容量は、MCU VDD ピンにできるだけ近い値 ($C1 < C2 < C3$) に維持します。
- すべてのトレースをビアなしで直接配線します。

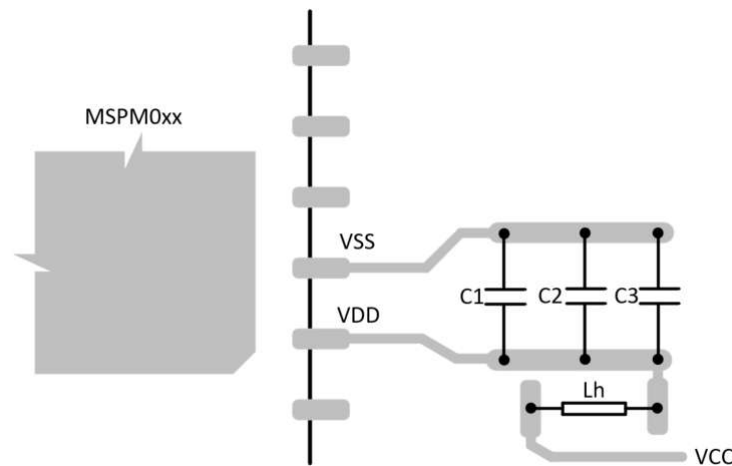


図 9-1. 推奨される電源レイアウト

9.2 グランドレイアウトに関する検討事項

システム グランドは、ボード上のノイズと EMI の問題に関連する最も重要な領域と基盤です。これらの問題を最小化する最も実用的な方法は、個別のグランド プレーンを用意することです。

グランド ノイズとは？

回路 (ドライバなど) から発生する各信号は、グランド パスを経由してソースに電流を戻します。周波数が高くなるにつれて、またはリレーのように単純で大電流のスイッチングを行う場合でも、接地方式で干渉を発生させるライン インピーダンスに起因する電圧降下が発生します。リターン パスは常に最小の抵抗を経由します。DC 信号の場合、これが最も抵抗性の低いパスになります。高周波信号の場合、これが最もインピーダンスの低いパスになります。これは、グランド プレーンを使用して問題を簡素化する方法を説明し、シグナル インテグリティを確保するための鍵となります。

テキサス インストルメンツは、デジタル復帰信号がアナログ復帰 (グランド) 領域内に伝搬することは推奨しません。したがって、設計者はグランド プレーンを分割して、すべてのデジタル信号復帰ループをグランド領域内に維持する必要があります。分割は慎重に行う必要があります。多くの設計では、単一 (コモン) の電圧レギュレータを使用して、同じ電圧レベル (3.3V など) のデジタルおよびアナログ電源を生成します。アナログ レールとデジタル電源レール、およびそれぞれのグランドを互いに絶縁する必要があります。グランドを絶縁するときは、両方のグランドをどこかに短絡する必要があるため、注意してください。図 9-2 に、デジタル信号のリターン パスがアナログ グランドを通過するループを形成できないことを示します。各設計で、部品の配置などを考慮して一般的なポイントを決めます。グランドトレースと直列にインダクタ (フェライトビーズ) や抵抗 (ゼロ Ω ではない) を追加しないでください。高周波での関連インダクタンスによりインピーダンスが増加し、電圧差が生じます。デジタル グランドを基準とする信号は、アナログ グランドまたは他の方向には配線しないでください。

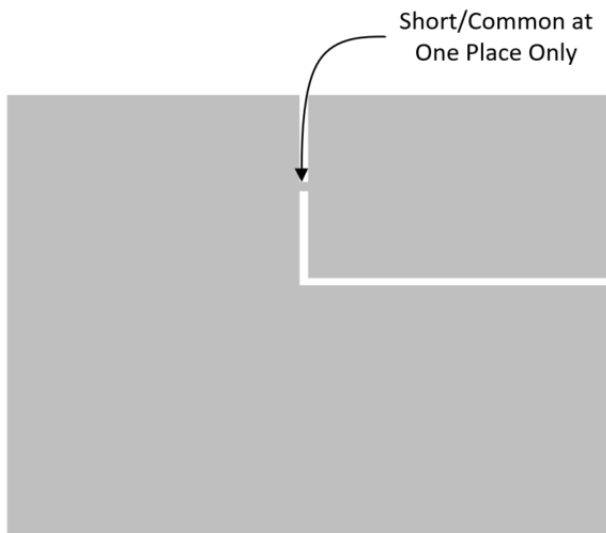


図 9-2. デジタル グランドとアナログ グランド、および共通領域

9.3 トレース、ビア、その他の PCB コンポーネント

トレース内で直角を使用すると、より多くの放射線が発生する可能性があります。コーナーの領域で静電容量が増加し、特性インピーダンスが変化します。このインピーダンス変化は反射を引き起こします。トレース内で直角の曲げを避け、45度のコーナーを 2 個以上使用してそれらを配線してください。インピーダンスの変化を最小限に抑えるために、図 9-3 に示すように、最適な配線は円形の曲げです。

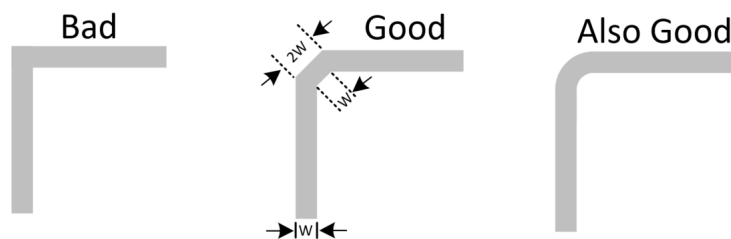


図 9-3. トレースを直角に曲げる不適切な方法と適切な方法

クロストークを最小限に抑えるために、1 つの層の 2 つの信号間だけでなく、隣接する層の間にも 90 度で配線します。より複雑な基盤では、配線時にビアを使用する必要がありますが、ビアを使用することによってインダクタンスと容量が追加されるため、注意が必要です。また、特性インピーダンスの変化により反射が発生します。また、ビアを使用するとトレースの長さも長くなります。差動信号を使用する場合は、両方のトレースにビアを使用するか、もう一方のトレースでも遅延を補償します。

信号トレースの場合、特に比較的小さいアナログ信号 (センサ信号など) に高周波パルス信号が及ぼす影響に注意を払います。クロスオーバーが多すぎると、高周波信号の電磁ノイズがアナログ信号に結合され、信号の信号対雑音比が低くなり、信号の品質に影響を及ぼします。したがって、設計時に交差しないでください。ただし、確実に回避できない交点が存在する場合、テキサス インストルメンツでは電磁ノイズの干渉を最小限に抑えるために垂直に交差することを推奨します。図 9-4 に、このノイズを低減する方法を示します。

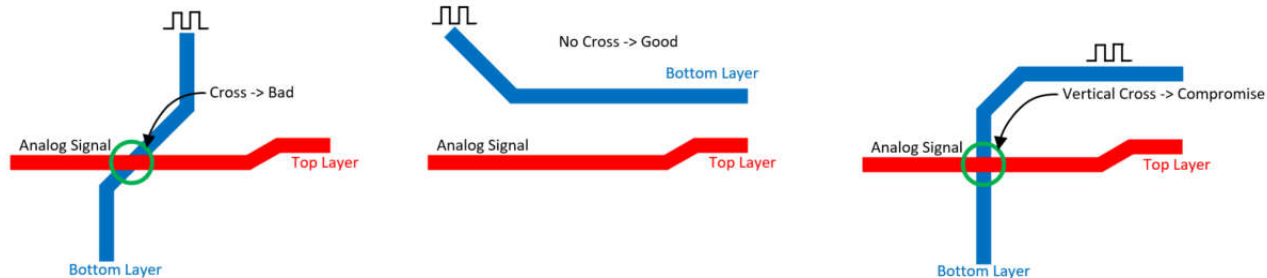


図 9-4. アナログ信号と高周波信号の不適切なクロスと適切なクロス

9.4 基板層の選択方法と推奨されるスタックアップ

高速信号の反射を低減するには、ソース、シンク、伝送ライン間のインピーダンスをマッチングします。信号トレースのインピーダンスは、その形状と、基準プレーンに対する信号トレースの位置に依存します。

特定のインピーダンス要件に対する差動ペア間のパターン幅と間隔は、選択した PCB スタックアップによって異なります。PCB テクノロジーの種類やコスト要件に応じて、最小のパターン幅と間隔に制限があるため、必要なインピーダンスをすべて実現できるように、PCB スタックアップを選択する必要があります。

使用できる最小構成は 2 つのスタックアップです。複数の高速信号を持つ高密度 PCB には、4 層または 6 層の基板が必要です。

図 9-5 に示す以下のスタックアップは、スタックアップの評価と選択の開始点として使用できる 4 層の例を意図しています。これらのスタックアップ構成では、電源プレーンに隣接する GND プレーンを使用して静電容量を増加させ、GND と電源プレーン間のギャップを小さくします。最上層の高速信号には、EMC 放射の低減に役立つソリッドな GND リファレンスプレーンがあります。層数を増やし、各 PCB 信号層に GND リファレンスを配置すると、放射 EMC 性能がさらに向上します。

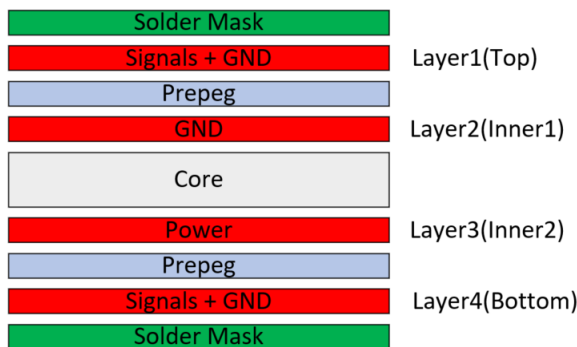


図 9-5. 4 層 PCB スタックアップの例

システムがそれほど複雑ではなく、高速信号や敏感なアナログ信号が存在しない場合、2 つのスタックアップ構造で十分です。

10 ブートローダー

10.1 ブートローダーの紹介

ブートローダーは、ファームウェア IP (デバイスに事前にプログラムされたソフトウェア出荷済み) であり、UART や I2C などのシリアル・インターフェイスを使用して SoC メモリ (フラッシュと SRAM) をプログラムするために使用できます。ブートローダーは通常、デバイスが顧客のアプリケーションを起動しようとするときに、ブートコードが完了した後に起動されます。量産プログラミングの使用事例をサポートするために、一部のブートローダーは SPI や CAN などのより多くのインターフェイスも提供しています。ブートローダーは、現場での更新にも使用できます。

10.2 ブートローダー・ハードウェア設計の検討事項

10.2.1 物理的通信インターフェイス

MSPM0G ブートローダー (BSL) は、UART および I2C シリアル インターフェイスに実装されています。MSPM0G デバイスでは、BSL はデバイスとの通信に使用するインターフェイスを自動的に選択できます。BSL 通信ピンは、ROM ベースのブートローダーで事前定義されています。使用するペリフェラル インターフェイスの具体的なインスタンスは、選択したデバイスによって異なり、デバイス固有のデータシートに掲載されています。ハードウェア設計前に BSL 通信機能にどのピンが割り当てられているかについては、デバイスのデータシートを参照してください。

注

リセット後に BSL モードに移行しないように、BSL 起動ピンをプルダウンする必要があります。

10.2.2 ハードウェア起動

ブートローダーは、GPIO を使用した BOOTRST 後のハードウェア起動をサポートしています。NONMAIN フラッシュ・メモリの BSL 構成には、GPIO を起動するためのパッド、ピン、極性の定義が含まれています。デバイスはテキサス・インスツルメンツから特定の GPIO と極性用に構成されていますが、ソフトウェアは、NONMAIN フラッシュ・メモリの BSL 構成で GPIO ピン構成を変更することで、このデフォルトを変更できます。デフォルトの BSL 起動 GPIO を決定するには、デバイス固有のデータシートを参照してください。図 10-1 に、ブートローダーをトリガするための高レベルの GPIO ピン PA18 の例を示します。

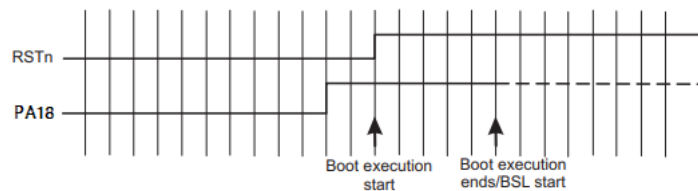


図 10-1. 構成済み GPIO ピンでの BSL エントリ・シーケンス

11 まとめ

このアプリケーション ノートは、電源、リセット回路、クロック、デバッグ接続、アナログおよびデジタル ペリフェラル、GPIO、基板レイアウトのガイドラインなど、ハードウェア開発のあらゆる側面を取り上げています。このドキュメントは、ユーザーがこのアプリケーション ノートに記載されている検討事項に従って、ハードウェア設計を迅速に開始するのに役立ちます。

12 参考資料

1. テキサス インスツルメンツ、[混合信号マイコン CAN-FD インターフェイスを搭載した MSPM0G350x](#)、データシート
2. テキサス インスツルメンツ、[MSPM0 G シリーズ 80MHz マイコン](#)、技術参照マニュアル
3. テキサス インスツルメンツ、[MSPM0 L シリーズ MCU ハードウェア開発ガイド](#)、アプリケーション ノート
4. テキサス インスツルメンツ、[TLIN1021A-Q1 故障保護 LIN トランシーバ](#)、インヒビットおよびウェイク付き、データシート
5. テキサス インスツルメンツ、[TCAN1042-Q1 車載、故障保護、CAN FD 付き CAN トランシーバ](#)、データシート

13 改訂履歴

Changes from Revision C (May 2025) to Revision D (March 2026) Page

- [表 8-3](#) を更新..... 29

Changes from Revision B (June 2023) to Revision C (May 2025) Page

- *MSPM0G* の代表的なアプリケーション回路図の V_{CORE} 容量値と NRST 容量値を更新..... 3
- 未使用のピンの説明とサーマル パッドの説明を追加。..... 3
- *MSPM0G* ハードウェア設計チェックリストの表の NRST の容量値を変更..... 3
- 「デジタル電源」セクションの NRST 容量値を更新..... 7
- *TIMA* インスタンスの構成表の TIMAx の説明を更新..... 21
- *TIMG* インスタンスの構成表の TIMGx の説明を更新..... 21
- *MSPM0G UART* 仕様の表で、TIMHx の説明を削除..... 22
- *UART* の機能の表で、*UART* 機能の説明を更新..... 22
- *MSPM0G I2C* の特性の表を最新のデータシート情報で更新..... 25
- *MSPM0G GPIO* のスイッチング特性の表を最新のデータシート情報に更新..... 27

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月