

Application Note

『ISO1228 を使用してシリアル モードとパラレル モードを動的に切り替える方法』



Prakhar Agarwal, Andrew Jackiw

概要

デバイスの動作の詳細については、[ISO1228 電流制限および診断機能付き 8 チャンネル絶縁型デジタル入力](#)、データシートおよび [ISO1228DFBEVM EVM](#) を参照してください。このガイドでは、シリアルモードとパラレルモードの性能上の利点と、最適な機能を実現するためにモードを動的に切り替える方法について説明します。

24V デジタル入力システムには、高いチャンネル密度をサポートし、各種機能を統合する必要性が高まっています ([マルチチャンネル高電圧デジタル入力モジュールでの省スペースの設計手法](#))。ISO1228 は、8 チャンネル絶縁型 24V デジタル入力レシーバとして、双方のニーズに対応しており、シリアル (SPI) または並列デジタル出力モードを使用して、ワイヤ破損検出、内蔵のグリッチ フィルタ、磁場側の電源監視、絶縁バリアをまたぐ内蔵 CRC など各種の内蔵デジタル機能を制御できます。さらに、シリアル モードを使用して SPI 経由で入力を監視し、MCU のピン数を減らすこともできます。絶縁型ロジック側は 1.71V ~ 5.5V の範囲で、1.8V、2.5V、3.3V、5V のコントローラをサポートします。磁場側の電源電圧の範囲は、シンクモードで 8.5V ~ 36V、ソースモードで 13V ~ 36V です。ISO1228 は、最大 1.5Mbps のデータレートをサポートし、最小 667ns のパルス幅を渡すことで高速動作が可能です。

ISO1228 は、デジタル入力の IEC 61131-2 規格を準拠するように設計されており、IEC 61131-2 タイプ 1 の 8 チャンネル、3 特性、またはタイプ 2 特性の 4 チャンネルをサポートしています。ISO1228 には、システムの電力消費量と基板温度を低減するための、抵抗器でプログラム可能な電流制限機能と、磁場側で入力電流によって駆動する LED 表示機能も内蔵しています。ISO1228 は、最小限のハードウェア変更で、ソース型またはシンク型のデジタル入力用のいずれかに構成できます。また、ISO1228 は IEC ESD およびサージ保護もサポートしているため、堅牢な設計を実現できます。

目次

1 ISO1228 - 関連デバイス情報.....	2
2 パラレルおよびシリアル出力モード.....	5
3 動作中の通信モードの切り替え.....	6
3.1 パラレルからシリアルへ.....	6
3.2 シリアルからパラレルへ.....	6
4 SPI 機能モード.....	7
4.1 通常モード.....	7
4.2 バースト モード.....	8
5 シリアル モードでの最大データ スループット.....	9
6 出力のデジタル ロー パス フィルタリング.....	10
7 まとめ.....	11
8 参考資料.....	12

商標

すべての商標は、それぞれの所有者に帰属します。

1 ISO1228 - 関連デバイス情報

以下の ISO1228 データシートの表とピン配置を参考用に提示しています。

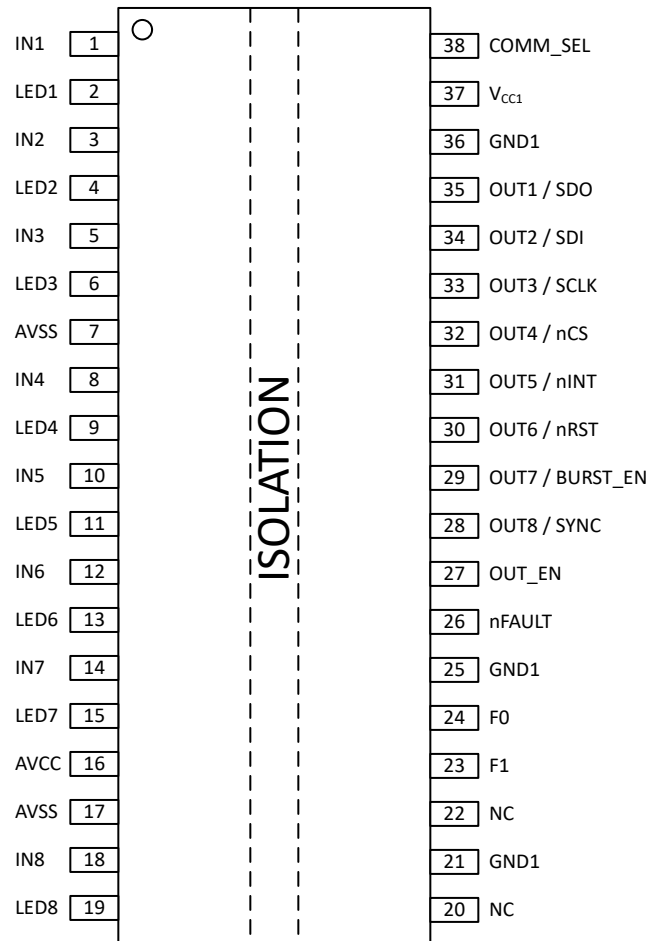


図 1-1. ISO1228 ピン配置

表 1-1. ISO1228 ピンの説明

ピン		I/O	説明
番号	名称		
1	IN1	I/O	磁場入力、チャンネル 1
2	LED1	I/O	LED 表示ピン、チャンネル 1
3	IN2	I/O	磁場入力、チャンネル 2
4	LED2	I/O	LED 表示ピン、チャンネル 2
5	IN3	I/O	磁場入力、チャンネル 3
6	LED3	I/O	LED 表示ピン、チャンネル 3
7	AVSS	—	磁場側負電源
8	IN4	I/O	磁場入力、チャンネル 4
9	LED4	I/O	LED 表示ピン、チャンネル 4
10	IN5	I/O	磁場入力、チャンネル 5
11	LED5	I/O	LED 表示ピン、チャンネル 5
12	IN6	I/O	磁場入力、チャンネル 6
13	LED6	I/O	LED 表示ピン、チャンネル 6
14	IN7	I/O	磁場入力、チャンネル 7

表 1-1. ISO1228 ピンの説明 (続き)

ピン		I/O	説明
番号	名称		
15	LED7	I/O	LED 表示ピン、チャンネル 7
16	AVCC	—	磁場側電源
17	AVSS	—	磁場側負電源
18	IN8	I/O	磁場入力、チャンネル 8
19	LED8	I/O	LED 表示ピン、チャンネル 8
20	NC	—	未接続のままにします
21	GND1	—	論理接地
22	NC	—	未接続のままにします
23	F1	I	デジタル フィルタ設定
24	F0	I	デジタル フィルタ設定
25	GND1	—	論理接地
26	nFAULT	O	開放ドレン出力。4.7kΩ プルアップを V _{CC1} に接続する
27	OUT_EN	I	出力有効化。OUT_EN=0 またはフローティングの場合、OUT1 ~ OUT8 の出力ピンはトライステートになります
28	OUT8/SYNC	O	バースト モードでデータを同期 (COMM_SEL=V _{CC1}) データ出力、チャンネル 8、パラレル インターフェイス モード (COMM_SEL=0)
29	OUT7/BURST_EN	I/O	シリアル インターフェイス モードでのバースト モード (COMM_SEL=V _{CC1}) データ出力、チャンネル 7、パラレル インターフェイス モード (COMM_SEL=0)
30	OUT6/nRST	I/O	シリアル インターフェイス モードでのアクティブロー SPI リセット (COMM_SEL=V _{CC1}) データ出力、チャンネル 6、パラレル インターフェイス モード (COMM_SEL=0)
31	OUT5/nINT	O	シリアル インターフェイス モードでのアクティブロー SPI 割り込み (COMM_SEL=V _{CC1}) データ出力、チャンネル 5、パラレル インターフェイス モード (COMM_SEL=0)
32	OUT4/nCS	I/O	シリアル インターフェイス モードの SPI チップ セレクト (COMM_SEL=V _{CC1}) データ出力、チャンネル 4、パラレル インターフェイス モード (COMM_SEL=0)
33	OUT3/SCLK	I/O	シリアル インターフェイス モードの SPI クロック (COMM_SEL=V _{CC1}) データ出力、チャンネル 3、パラレル インターフェイス モード (COMM_SEL=0)
34	OUT2/SDI	I/O	シリアル インターフェイス モードでの SPI 入力データ (COMM_SEL=V _{CC1}) データ出力、チャンネル 2、パラレル インターフェイス モード (COMM_SEL=0)
35	OUT1/SDO	O	シリアル インターフェイス モードでの SPI 出力データ (COMM_SEL=V _{CC1}) データ出力、チャンネル 1、パラレル インターフェイス モード (COMM_SEL=0)
36	GND1	—	論理接地
37	VCC1	—	論理電源
38	COMM_SEL	I	シリアル インターフェイスとパラレル インターフェイスの選択 COMM_SEL=V _{CC1} の場合、シリアル インターフェイス モード COMM_SEL=0 またはフローティングの場合、パラレル インターフェイス モード

表 1-2. ISO1228 レジスタ マップ

アドレス	名称	R/W	説明
00h	入力データ	R	データ情報: <7> = IN8 <6> = IN7 . . <0> = IN1
01h	ワイヤ破損	R	断線情報: <7> = WB8 <6> = WB7 <5> = WB6 . . <0> = WB1
02h	フォルト	R	設計に含まれる欠陥の詳細を示します: <7> = WB (任意のチャンネルに WB が表示される) <6> = OT (過熱閾値を超えた) <5> = 予約済み <4> = CRC (ダイ間 CRC がエラー中) <3> = 予約済み <2> = 磁場側の電力損失 <1> = 予約済み <0> = UVLO (MCU 側)
03h	フィルタ Ch 1 および Ch 2	R/W	<7> = フィルタ有効化、Ch 1 <6:4> = フィルタ設定、Ch 1 <3> = フィルタ有効化、Ch 2 <2:0> = フィルタ設定、Ch 2
04h	フィルタ Ch 3 および Ch 4	R/W	<7> = フィルタ有効化、Ch 3 <6:4> = フィルタ設定、Ch 3 <3> = フィルタ有効化、Ch 4 <2:0> = フィルタ設定、Ch 4
05h	フィルタ Ch 5 および Ch 6	R/W	<7> = フィルタ有効化、Ch 5 <6:4> = フィルタ設定、Ch 5 <3> = フィルタ有効化、Ch 6 <2:0> = フィルタ設定、Ch 6
06h	フィルタ Ch 7 および Ch 8	R/W	<7> = フィルタ有効化、Ch 7 <6:4> = フィルタ設定、Ch 7 <3> = フィルタ有効化、Ch 8 <2:0> = フィルタ設定、Ch 8

2 パラレルおよびシリアル出力モード

ISO1228 は、マイコンやコントローラと通信するため、シリアル モードまたはパラレル モードに構成できます。

COMM_SEL ピン (ピン 38) は、表 2-1 に示すように、シリアル モードまたはパラレル モードのいずれかを選択します：

パラレル通信モードでは、各入力チャンネルが対応するロジック出力 (ピン 35 ~ 28) で直接利用できるため、スループットが最高速になります。ただし、シリアル通信モードを使用すると、デバイス入力の読み取り、個別の入力に対するデジタルフィルタの設定、システム障害 (磁場電源損失、ワイヤ破損検出、CRC エラーなど) の識別とクリアなど、ISO1228 の追加の制御機能を使用できます。MCU は、読み出しおよび書き SPI の読み取りおよび書き込みを込みコマンドを介してデジタル制御レジスタにアクセスできます。

表 2-1. COMM_SEL (ピン 38) - 通信モード選択表

COMM_SEL = 論理高	SPI を使用したシリアル通信モードの ISO1228
COMM_SEL = 論理低	並列通信モードでの ISO1228

一部のアプリケーションでは、動作モードを切り替えて、より堅牢なシステムを実現するために、パラレル モードのスループットの向上と、シリアル モードのフォルト検出と制御機能を利用できます。システムの例では、次のシーケンスを使用できます：

1. 電源投入時に入力レジスタを設定するには、シリアル モード (COMM_SEL = 1) で起動します
2. レジスタアドレス 03h ~ 06h に書き込むことで、各チャンネルの個別のフィルタを構成できます
3. スループットを高め、OUTx での伝搬遅延時間を短くするため、パラレルモードに変更 (COMM_SEL = 0)
4. フォルト条件について nFAULT ピンの状態を監視します (フォルト条件が発生したとき nFAULT = 0)
5. フォルトが検出された場合 (シリアルモードに変更 COMM_SEL = 1)
6. フォルトレジスタ (02h) とワイヤブ레이크レジスタ (01h) を読み出し、フォルト状態を識別します。フォルトの原因が存在しなくなったとき、フォルトレジスタを読み取ることで nFAULT フラグをクリアできます
7. フォルトがクリアされた後並列モードに戻る (COMM_SEL = 0)

以下のセクションでは、モードを切り替えてグリッチのない遷移を行うために必要な適切なタイミングについて説明します。

3 動作中の通信モードの切り替え

3.1 パラレルからシリアルへ

パラレルモード (COMM_SEL = 0) で開始するとき、次のように、パラレルからシリアルへのモード遷移を実行する必要があります：

1. 接続されているすべての MCU ピンが ISO1228 の出力ピン (ピン 35 ~ 28) にトライステートになっていることを確認します。
2. COMM_SEL = 1 を切り替えて、パラレルモードからシリアルモードに遷移します。また、モードスイッチが完了するまで、ISO1228 は SPI に必要な OUTx ピン (ピン 35 ~ 32) をトライステートにできます。
3. IO バッファが出力モードからシリアルモードにグリッチが発生しないように、最小 30ns 待機します
4. ISO1228 内の SPI ロジックをフルリセットできるように、nRST = 0 (ピン 30) を最小 35ns で駆動します
5. nRST = 1 を解放し、最小 200ns 待機します
6. ISO1228 はこれでシリアルモードになりました。
7. nCS = 0 (ピン 32) を設定して SPI トランザクションを開始します

ISO1228 は、パラレルモードからシリアルモードに 300ns 未満で切り替えることができます。このウィンドウでの OUTx ピンの状態は無視する必要があります。図 3-1 に、前のステップの代表的なタイミング波形を示します。

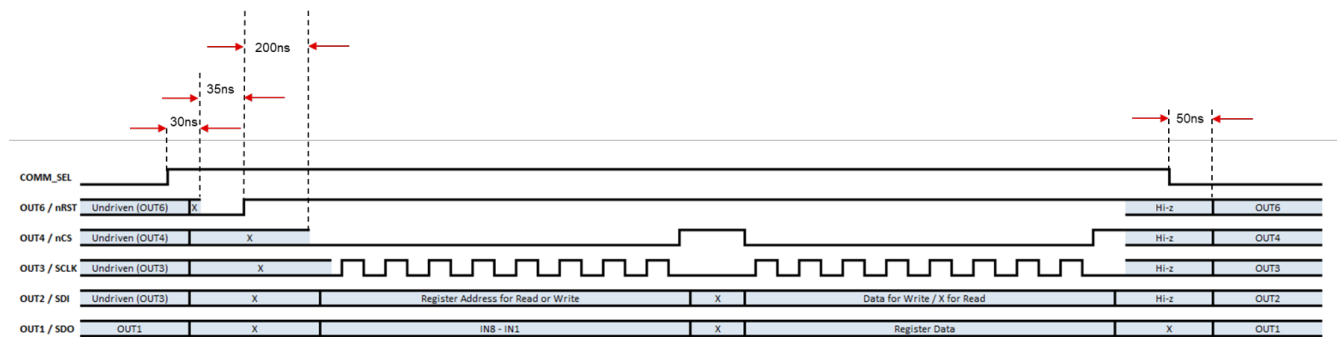


図 3-1. パラレルからシリアルへの遷移タイミング

3.2 シリアルからパラレルへ

シリアルモード (COMM_SEL = 1) で起動するとき、次のように、シリアルからパラレルへの遷移を実行する必要があります：

1. ISO1228 の出力ピン (ピン 35 ~ 28) に接続されているすべての MCU ピンがトライステートになっていることを確認します。
2. COMM_SEL = 0 に設定すると、並列モードに遷移します。
3. I/O バッファが SPI モードからパラレル出力モードにクリーンに変更できるように、最小 50ns だけ待ちます
4. ISO1228 はこれでパラレルモードになりました

OUTx ピンの状態は、50ns の遷移期間中は不定であるため、無視する必要があります。デバイスの電源を再投入するまで、パラレルモードに切り換えると、シリアルモード中に実行されたレジスタ設定は保持されます。

4 SPI 機能モード

ISO1228 は、SPI ピンを BURST_EN (ピン 29) で制御する 2 つのモードで動作できます: 通常モードとスタンバイモード。SYNC (ピン 28) を使用すると、以降のセクションで説明する MCU と簡単に同期できます。

4.1 通常モード

通常 SPI モード (BURST_EN = 0) では、ISO1228 はアドレスフェーズで各クロック (SCLK) とデータ (SDI) の 8 ビットを想定し、データフェーズでさらに 8 ビットの SCLK と SDI が続くことを想定します。図 4-1 に、ISO1228 での SPI トランザクションの代表的なタイミング波形を示します:

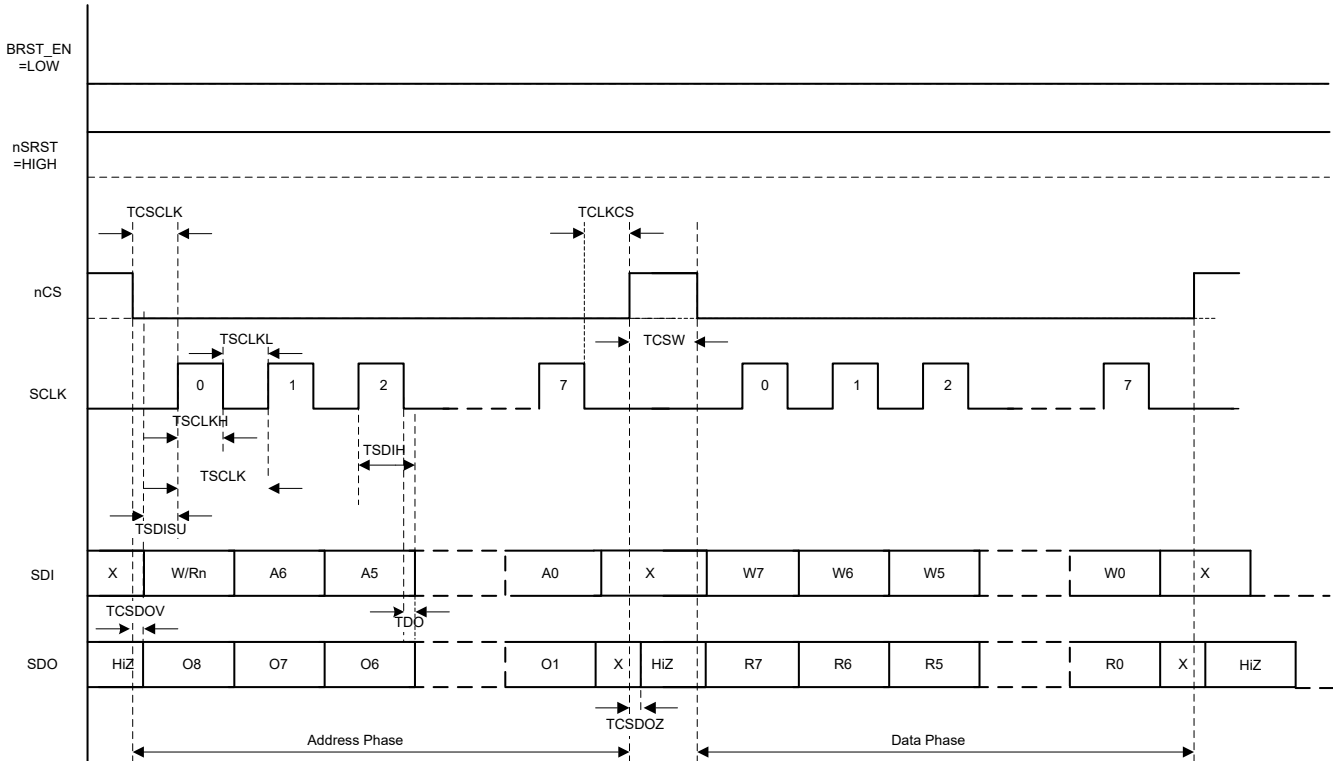


図 4-1. 通常モードでの SPI タイミング

ノイズや他の障害が原因で、ISO1228 がマイコンとの同期を解除することが可能です。たとえば、ISO1228 がアドレスフェーズにあるのに (またはその逆の場合)、MCU がデータフェーズのビットを送信しています。

この問題を解決するために、SYNC ピンを使用して MCU を ISO1228 に同期できます。SYNC ピン (ピン 28) の状態を変更して、ISO1228 の現在のフェーズを示します。

- SYNC = 1 のとき、ISO1228 はアドレスフレームになります
- SYNC = 0 のとき、ISO1228 はデータフレーム内で、データビットの送受信を行います

MCU が ISO1228 と同期していないことを検出すると、MCU は SYNC ピンを読み取り、nRST で Low にアサートして ISO1228 の内部レジスタをクリアし、新しいトランザクションを開始できます。

4.1.1 通常モード IN8-IN1 を連続的に読み出します

トランザクションのアドレス・フェーズ中、O8-O1 は SDO に出力されます。

SDI が継続的に Low (0) に保持されている場合、デバイスはアドレス 0 からの読み出し動作として扱うことができます。アドレス 0 は IN8-IN1 の状態を保持するため、読み取り動作のこの特殊なケースでは、SDO 出力をアドレス・フェーズと読み出しフェーズの両方で IN8-IN1 にすることができます。デジタル入力の状態のみが関係し、他のレジスタへの読み出し書き込みを行わないアプリケーションでは、このオプションを使用すると実装が簡単になります。

トグルは、nCS および SCLK で入力ピンの状態を読み取る時のみ必要です。

4.2 バーストモード

ISO1228 デバイスは、BURST_EN = 1 のときのバーストモードの SPI 動作をサポートしています。このモードでは、CS トグルごとに、3 つの SPI 読み取り専用レジスタ Reg0、Reg1、Reg2 の出力が循環形式で連続的にシフトアウトされます。このモードのタイミングを図 4-2 に示します。

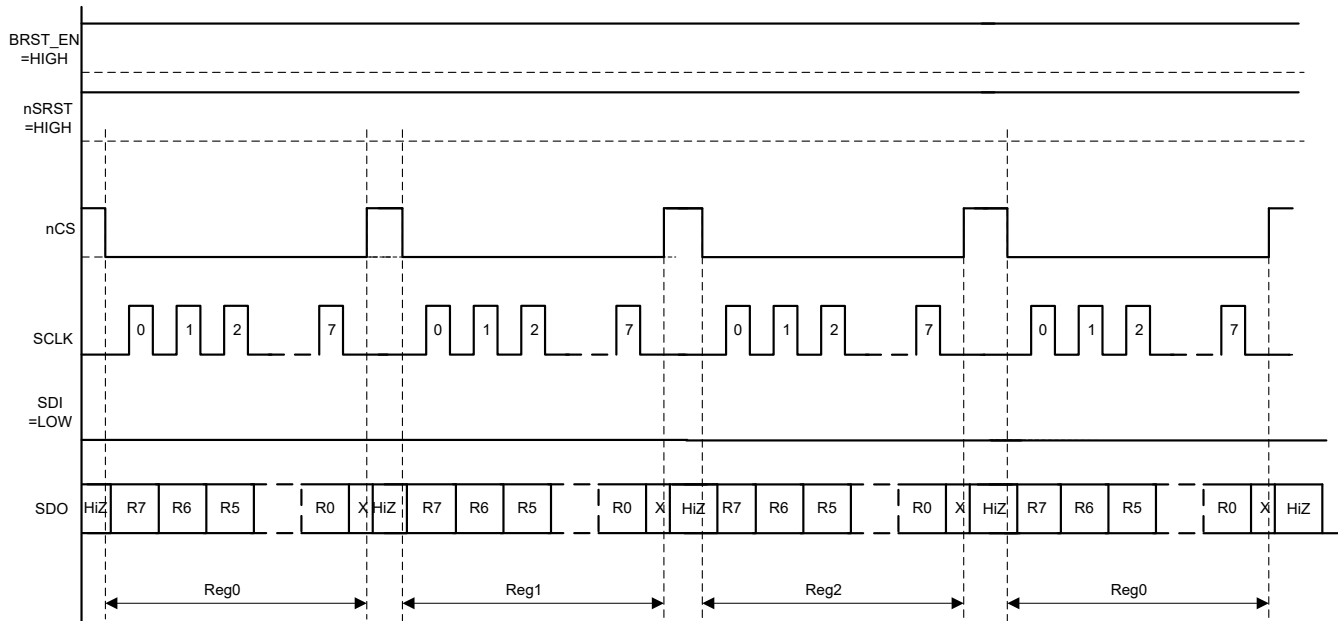


図 4-2. バーストモード

このモードは、SDI を介してアドレス情報を提供したくないが、Reg0、Reg1、Reg2 から情報を読み出したい用途に最適です。Reg0 の内容が SDO で読み出されているとき、SYNC ピンは High になり、Reg1 と Reg2 の内容が Low に読み出されます。

5 シリアルモードでの最大データスループット

前項で説明したように、ISO1228 は単一の SPI トランザクション (1 つはアドレスフェーズの間、もう 1 つはデータフレームの間) で 2 つの異なる入力パケットを読み出すことができます。

ISO1228 がサポートする最大 SCLK 周波数は 25MHz (VCC = 2.5V ~ 5.5V のとき) です。情報を失わずに SPI モードで読み取ることができる IN8-IN1 の最大データレートは、データシートのタイミングパラメータを使用して計算できます。

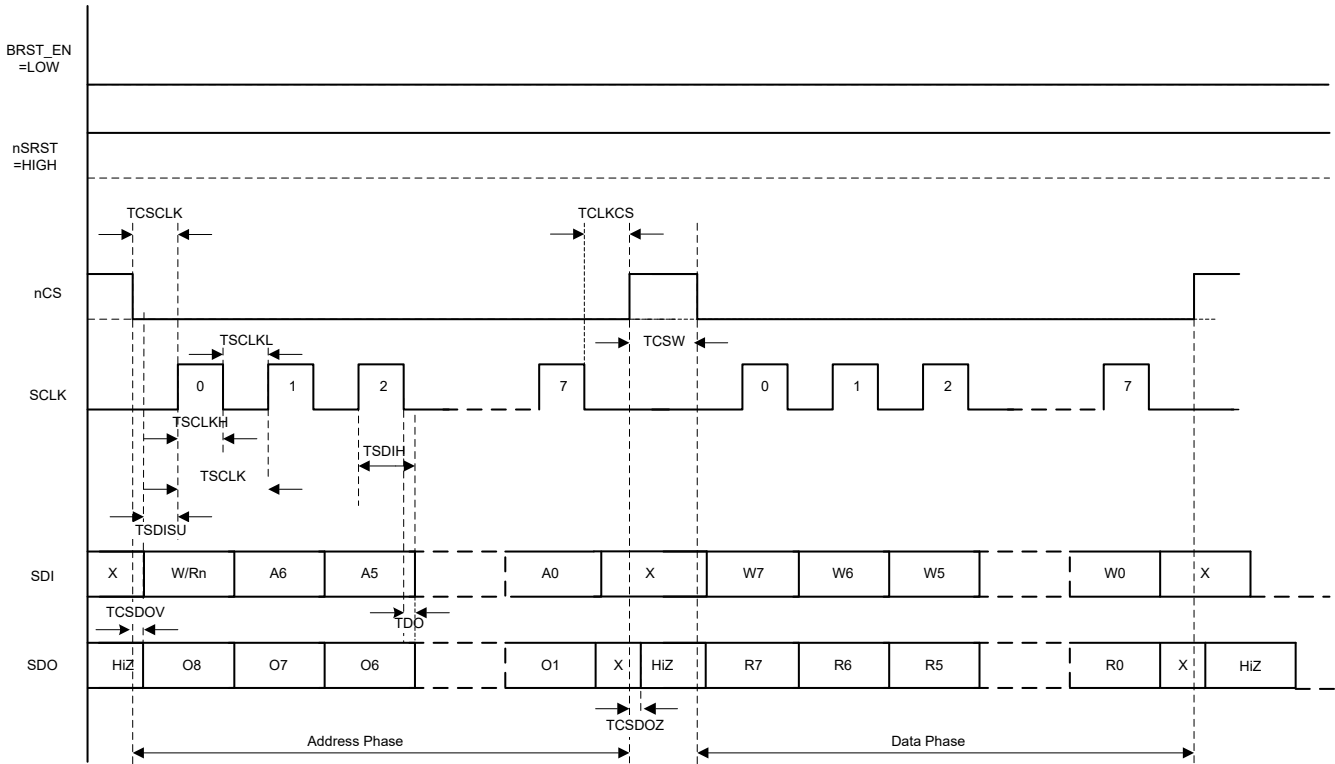


図 5-1. モード タイミング パラメータを更新

データシートの仕様を考えると:

- $T_{CSCLK} = 20ns$ 。nCS の Low から SCLK の最初の立ち上がりエッジまでの時間。
- $T_{CLKCS} = 10ns$ 。SCLK の最後の立ち下がりエッジから nCS が High になるまでの時間。
- $T_{CSW} = 250ns$ 、チップ セレクト High パルス幅

単一のフレーム (アドレスまたはデータ) の時間は、 $T_{frame} = 8 \text{ SCLKbits} \times T_{min \text{ pulse}} = 8 \times 40ns = 320ns$ を使用して計算できます。ここで、 $T_{min \text{ pulse}} = 40ns$ 、25MHz での SCLK の最小パルス幅です。

1 つのフレームの合計時間は、合計 = $T_{CSCLK} + T_{CLKCS} + T_{CSW} + T_{frame} = 600ns$ であり、ISO1228 (T_{ui}) を通過できる INx の最小パルス幅は 660ns です。そのため、SPI を使用して入力データを読み出してもパケット損失は発生しません。

6 出力のデジタル ローパスフィルタリング

ISO1228 は、INx および WBx データパスでの内蔵デジタル ローパスフィルタをサポートしています。各 OUTx チャネルのフィルタ値は、SPI プログラム可能な REGMAP に示されるアドレスに書き込むことで、個別に設定できます。または、F0/F1 デバイスのピン(ピン 23 および 24)を使用して、すべてのチャネルに対応するユニバーサル フィルタを設定することもできます。ただし、レジスタのフィルタ設定の優先度が高くなります。

OUTx データとワイヤ破損データにフィルタリングを適用することはできますが、OUTx のフィルタはプログラム可能で、ワイヤ破損フィルタ値は固定され、常時オンです。

SPI レジスタの 1 つ以上のチャネルでフィルタリングが有効(MSB = 1)になっている場合、レジスタ フィルタ設定が優先されます。レジスタですべてのチャネルが無効なら(MSB = 0)、F0/F1 が優先されます。F0/F1 = 0/0 の場合、フィルタはグローバルに無効になります。

デジタル ローパスフィルタ平均化時間(TFILT)により、入力の平均化ウィンドウが決定されます。ISO1228 のフィルタはローパスフィルタであり、9 つの許容レベルに設定できます。

表 6-1. ローパスフィルタ

F1 状態	F0 状態	フィルタレジスタ設定	TFILT	単位
F1=low	F0=low	0xxx	0	ns
F1=low	F0=float	1000	1	μs
F1=low	F0=high	1001	8	μs
F1=float	F0=low	1010	200	μs
F1=float	F0=float	1011	1	ms
F1=float	F0=high	1100	2.5	ms
F1=high	F0=low	1101	10	ms
F1=high	F0=float	1110	30	ms
F1=high	F0=high	1111	100	ms

各フィルタは飽和 3 ビットカウンタで、内部クロックで動作しているリセット/クリアはありません。任意のフィルタのクロック周期は、フィルタ遅延値を 8 で割った値になります。

カウンタは、パケット全体で OUTx の各ビットのオン持続時間(値 = 1)またはオフ持続時間(値 = 0)をカウントし、持続時間が対応するフィルタ値を超えるかどうかを評価できます。その場合は、新しい値のみを REGMAP に保存して MCU に通知できます。ただし、標準的なグリッチフィルタとは異なり、フィルタ値より短いパルスは完全に除去されません。代わりに、グリッチを減衰させて信号に加算することで、ローパス応答を実現します。

フィルタを実行しているクロック周期は、 $FILTER_TIME / 8$ として導かれます。たとえば、前の図では、 $FILTER_VALUE = 8\mu s$ です。たとえば、OUTx の各パルス幅が最小時間の $8\mu s$ を超えている必要があるため、 $FILTER_CLK = 1MHz$ と通信します。

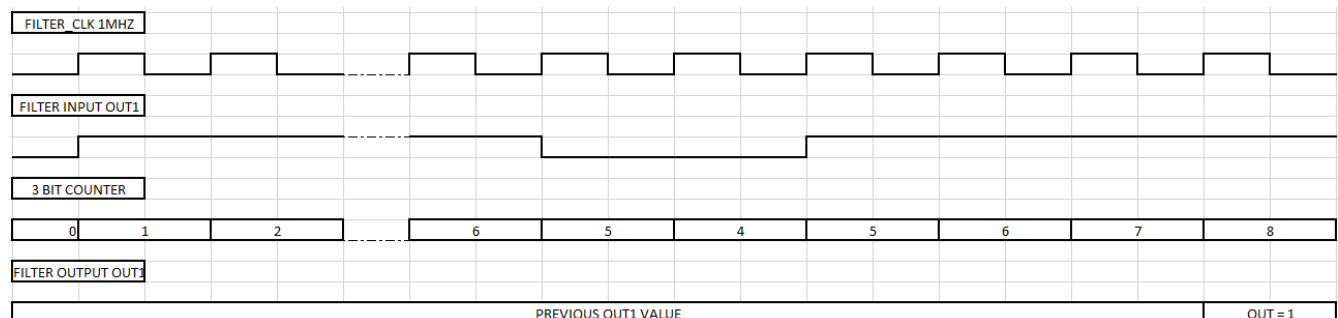


図 6-1. ローパスフィルタの平均化

3 ビットカウンタは、カウンタがフィルタ入力で値= 1 を検出するたびにインクリメントでき、カウンタが値= 0 を検出するとデクリメントできます。この図に示すように、フィルタなしの OUT1 は 6us の間 1 であるため、カウンタは 6 までカウントされています。次に OUT1 の立ち下がりエッジで、入力が 2us の間 Low (低) に維持されるため、カウンタは 4 に減少します。この期間はすべて、フィルタ出力は以前の値を維持します。その後、OUT1 が 1 に上がり、さらに 4 サイクルにわたって High (高) のままになると、カウンタは値= 8 に達し、フィルタ出力は値= 1 に更新されます。

7 まとめ

ISO1228 は強力で機能豊富なツールで、8 チャネル絶縁型デジタル入力アプリケーションの堅牢な設計を作成できます。シリアル SPI モードは、システムのニーズに合わせて使用できる、通常、バースト、連続 SPI モードで動作できます。また、ISO1228 にはグリッチ・フィルタと障害レジスタが内蔵されており、システムをさまざまなエラーを防止および保護します。また、障害がクリアされたときにデータ・スループットを向上させるため、ISO1228 はパラレル出力モードに切り替えることもできます。

8 参考資料

- テキサス インスツルメンツ、『[ISO1228 電流制限および診断機能付き 8 チャンネル絶縁デジタル入力](#)』データシート
- テキサス インスツルメンツ、『[ISO1228DFBEVM ISO1228 評価基板、シンク モードの 8 チャンネル絶縁デジタル入力用](#)』
- テキサス インスツルメンツ、『[マルチチャンネル高電圧デジタル入力モジュールの省スペース設計技法](#)』アプリケーション概要

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated