

Application Note

DP83826 から DP83826A へのハードウェア ロールオーバードキュメント



概要

テキサス インストルメンツはさまざまなイーサネット PHY トランシーバを提供しており、複数の最終製品の使用事例に対応する設計を実現します。このアプリケーション ノートでは、10/100Mbps 製品ラインアップに含まれる 2 つの PHY (DP83826x⁽¹⁾ と DP83826Ax⁽²⁾) の違いと、DP83826Ax の強化された EMC 性能を最大限に活用するために必要な設計変更について紹介しています。

- DP83826x は DP83826I と DP83826E を指します。
- DP83826Ax は DP83826AI と DP83826AE を指します。

目次

1 概要.....	2
2 DP83826Ax ロールオーバーの重要な設計変更.....	3
3 DP83826x と DP83826Ax の違い.....	4
3.1 高速リンクドロップ (FLD) ストラップ構成.....	4
3.2 EMC 性能.....	7
4 まとめ.....	8
5 参考資料.....	8
6 改訂履歴.....	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

DP83826x および DP83826Ax は、IEEE802.3 10BASE-Te および 100BASE-TX 規格に準拠したシングルポートの物理層トランシーバです。DP83826x および DP83826Ax は、厳格な産業用フィールドバスアプリケーションの要件を満たすように設計されており、非常に低いレイテンシ、レイテンシの確定的な変動 (リセット、電源サイクル全体)、XI と TX_CLK 間の固定位相、低消費電力、高速リンクアップを実現するハードウェア ブートストラップを使用した構成を提供します。

DP83826x および DP83826Ax は、標準の MII および RMII インターフェイスをサポートするシングルポートイーサネット PHY トランシーバです。専用の CLKOUT ピンや柔軟な電源オプションなどの機能を備え、堅牢な動作を実現するよう設計されています。これらのデバイスは、LDO を内蔵した 3.3V 電源で動作し、3.3V と 1.8V の I/O をサポートしています。また、CAT5e ケーブルでの信頼性の高いデータ転送を実現するために、ミックスドシグナル処理を利用しています。

テキサス インストルメンツは、DP83826x および DP83826Ax イーサネット PHY トランシーバを提供しています。

DP83826Ax では、特に電磁両立性 (EMC) 性能や高速リンクドロップ (FLD) メカニズムが強化されています。このドキュメントでは、既存の DP83826x の設計を DP83826Ax に移行する際に役立つよう、両デバイスの主な違いを概説しています。両デバイスは概ね共通していますが、DP83826Ax を効果的に実装するには、特定のストラップ構成に注意して性能を最大限に引き出す必要があります。

2 DP83826Ax ロールオーバーの重要な設計変更

DP83826Ax の最適な実装に必要な変更:

- 強化された EMC 性能: ベーシックモードと拡張モードの両方で最適な EMC 性能を得るには、Strap11 を "HIGH" にしてください。または、FLD を使用する場合はレジスタ構成 (0xB = 0x0001) を使用してください。DP83826Ax の EMC 性能向上については、表 3-4 を参照してください。

3 DP83826x と DP83826Ax の違い

3.1 高速リンクドロップ (FLD) ストラップ構成

DP83826x と DP83826Ax は、高速リンクドロップ (FLD) と呼ばれる拡張リンクドロップ メカニズムをサポートしており、リンクを判定するための観測ウィンドウを短縮できます。リンク ステータスを決定する方法は複数あり、ユーザの好みに応じて有効化または無効化することができます。

3.1.1 ベーシックモード

DP83826x BASIC モードでは、高速リンクドロップがデフォルトで有効化されています。RX エラー カウントおよび、信号 / エネルギー損失メカニズムに対して、高速リンクドロップが有効になっています。

DP83826Ax BASIC モードでは、高速リンクドロップがデフォルトで有効化されています。BASIC モードでの追加の FLD メカニズムは、表 2-1 に示すように、Strap11 によって決定できます。

表 3-1. DP83826Ax Basic モード FLD 構成

ストラップ構成	RX エラー カウント	MLT3 エラー カウント	低信号対雑音比スレッショルド	信号 / エネルギー損失	デスクランブラリンク損失
Strap11 = Low (デフォルト)	有効	有効	無効	有効	無効
Strap11 = High	無効	無効			

DP83826x と DP83826Ax のいずれの場合も、追加構成は制御レジスタ #3 (CR3 レジスタ、レジスタ アドレス 0x000B) を使用してプログラムできます。ビット [3:0] およびビット [10] を使用すると、各種 FLD 状態を有効化することができます。

DP83826Ax で最良の EMC 性能を得るには、信号 / エネルギー損失 FLD メカニズムのみを有効にすることを TI は推奨します。これは、レジスタ構成で 0x000B = 0x0001 を書き込むか、strap11 を HIGH に設定することで実現できます。

3.1.2 拡張モード

表 2-2 および図 2-1 に、DP83826x FLD 検出モード構成を示します。FLD ストラップ オプション 2、3、4 では、MLT3 エラー カウントが無効化され、RX エラー カウントが有効になっていることに注意してください。

表 3-2. ブートストラップ構成による DP83826x FLD 検出モード

FLD ストラップ オプション	ストラップ構成	RX エラー カウント	MLT3 エラー カウント	低信号対雑音比スレッショルド	信号 / エネルギー損失	デスクランブラリンク損失
1	(デフォルト) Strap7 = LOW Strap1 = X Strap8 = X	無効	無効	無効	無効	無効
2	Strap7 = HIGH Strap1 = HIGH Strap8 = LOW	有効		有効	有効	有効
3	Strap7 = HIGH Strap1 = LOW Strap8 = LOW	有効		無効	有効	無効
4	Strap7 = HIGH Strap1 = LOW Strap8 = HIGH	有効		無効	無効	無効

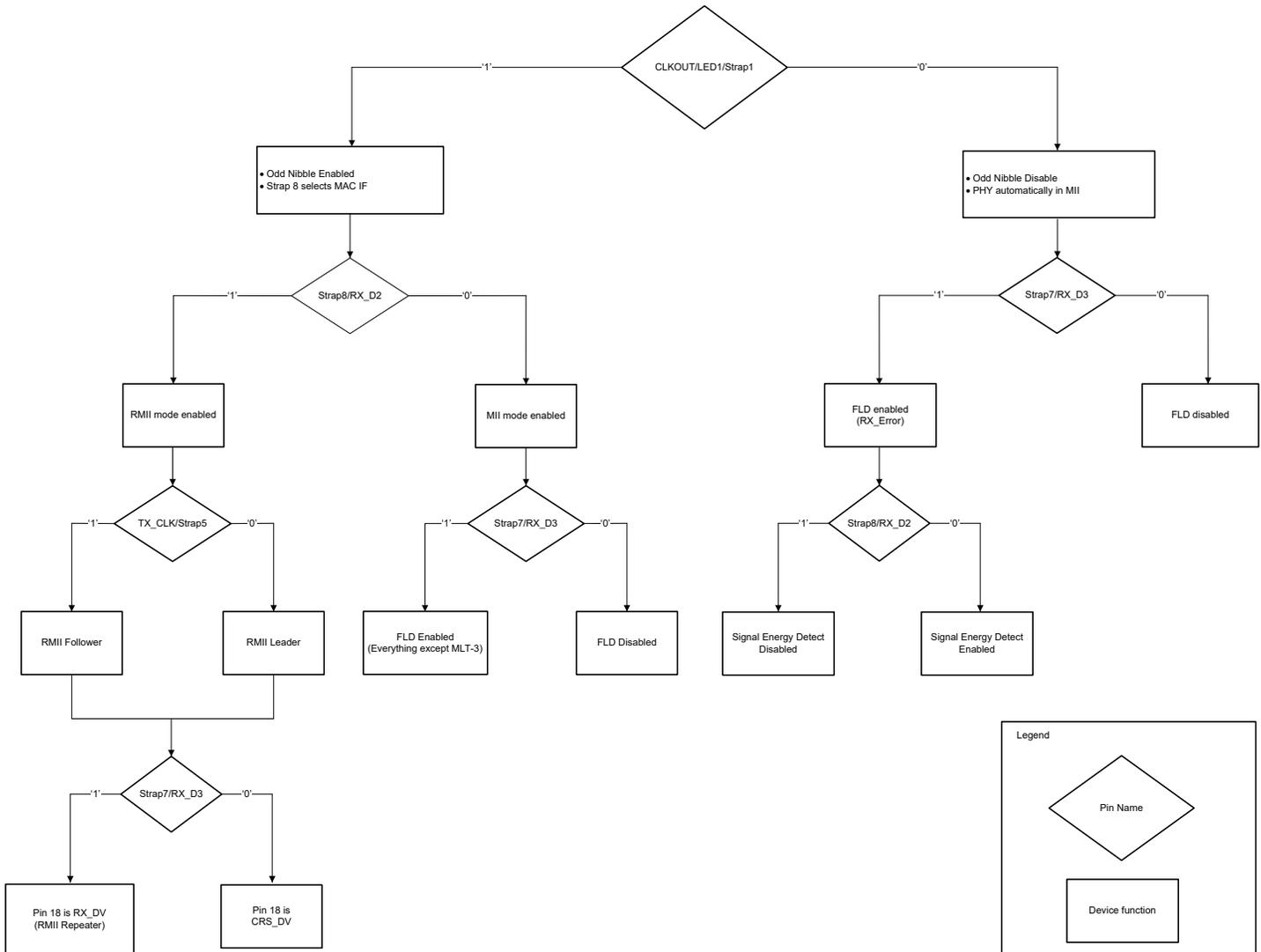


図 3-1. DP83826x のブートストラップ構成フローチャート

DP83826Ax FLD 検出モード構成を、表 3-3 および図 3-2 に示します。同じストラップ構成では、MLT3 エラー カウントと RX エラー カウントの両方が有効であることに注意してください。RX エラー カウントは MLT-3 エラー カウントのスーパーセットであるため、RX エラー カウント FLD は MLT-3 エラー より先にトリガします。したがって、構成が異なる場合でも、DP83826x と DP83826Ax の間で動作の違いはありません。

表 3-3. ブートストラップ構成による DP83826Ax FLD 検出モード

FLD ストラップ オプション	ストラップ構成	RX エラー カウント ⁽¹⁾	MLT3 エラー カウント	低信号対雑音比スレッシヨルド	信号 / エネルギー損失 (1) (2)	デスクランプ ランク損失
1	Strap1 = X Strap8 = X Strap11 = X	無効	無効	無効	無効	無効
2	Strap7 = HIGH Strap1 = HIGH Strap8 = LOW Strap11 = LOW	有効	有効	有効	有効	有効
3	Strap7 = HIGH Strap1 = LOW Strap8 = LOW Strap11 = LOW	有効	有効	無効	有効	無効
4	Strap7 = HIGH Strap1 = LOW Strap8 = HIGH Strap11 = LOW	有効	有効	無効	無効	無効
5 ⁽¹⁾	Strap7 = HIGH Strap1 = LOW Strap8 = HIGH Strap11 = HIGH	無効	無効	無効	有効	無効
6	Strap7 = HIGH Strap1 = HIGH Strap8 = LOW Strap11 = HIGH	無効	無効	有効	有効	有効

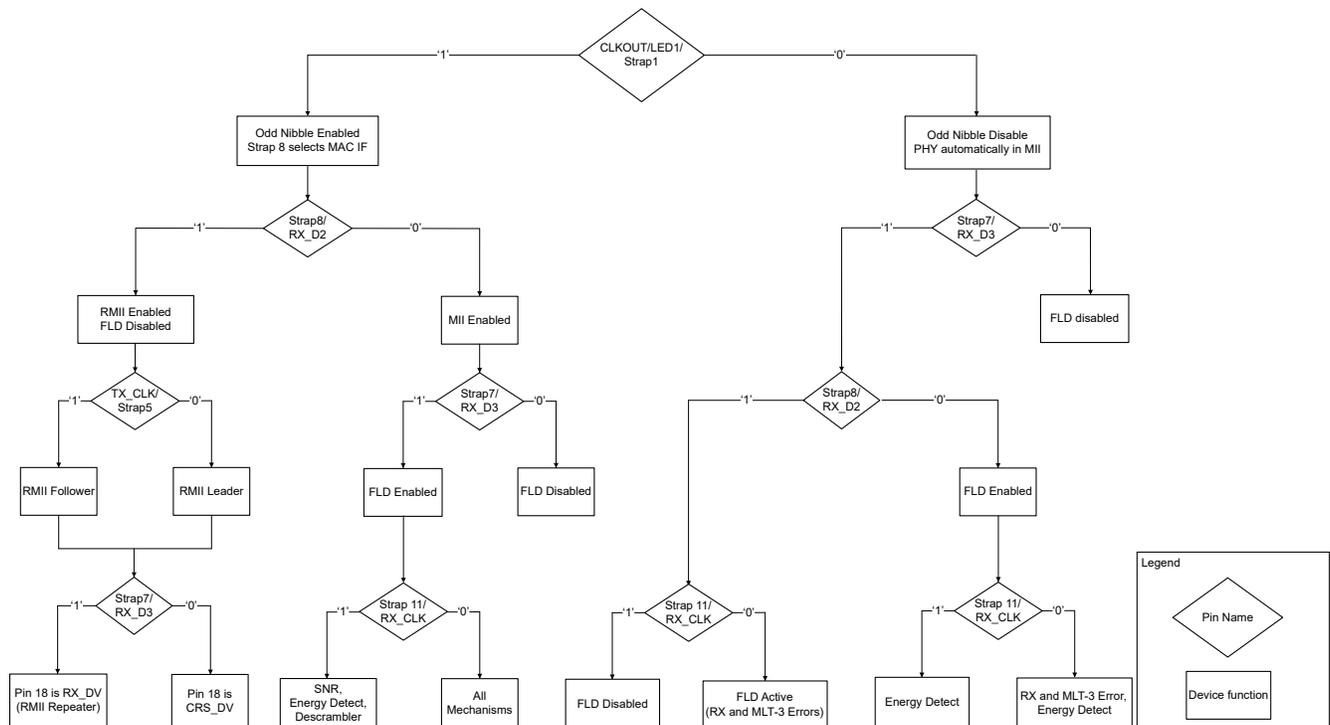


図 3-2. DP83826Ax のブートストラップ構成フローチャート

DP83826x と DP83826Ax のいずれの場合も、追加構成は制御レジスタ #3 (CR3 レジスタ、レジスタ アドレス 0x000B) を使用してプログラムできます。ビット [3:0] およびビット [10] を使用すると、各種 FLD 状態を有効化することができます。

DP83826Ax で最良の EMC 性能を得るには、信号 / エネルギー損失 FLD メカニズムのみを有効にするか、FLD を無効化することを TI は推奨します。これは、レジスタ構成で 0x000B = 0x0001 を書き込むか、FLD が有効の場合は FLD モード 5 に設定することで実現できます。

3.2 EMC 性能

DP83826Ax は、基本モードと拡張モードの両方で DP83826x よりも優れた EMC 性能を提供します。表 3-4 に、DP83826x と DP83826Ax の性能の違いを示します。EMC 性能を向上させるには、DP83826Ax のモードに関係なく、Strap11 を必ず "HIGH" にしなければなりません。

EMI/EMC 準拠テストは、DP83826AEVM で実施しています。テスト結果の詳細については、『DP83826AEVM ユーザーガイド』のセクション 4 を参照してください。

表 3-4. DP83826x と DP83826Ax の EMC 性能比較

テスト	標準	テストレベル	DP83826x	DP83826Ax
ESD	IEC 61000 4-2	+/-4kV 接触 (RJ-45) +/-15kV 空中 (ケーブル上)	+/-4kV 基準 A +/-8kV 基準 B	+/-8kV の基準 A
サージ	IEC 61000-4-5	+/-2kV: ライン間 +/-4kV: ラインから GND へ	+/-2kV 基準 B	+/-2kV 基準 A
放射耐性	IEC 61000-4-6	10V/m (150kHz~80MHz)	3Vrms 時の基準 A 10Vrms 時の基準 B	基準 A、10Vrms 時

基準 A: EMC テスト中にパケット エラーと損失のリンクドロップはありません。

基準 B: リンクドロップは許可されますが、PHY はリセットせずにリンクを回復する必要があります。

4 まとめ

DP83826x と DP83826Ax は類似の 10/100 Mbps PHY であり、同様のアプリケーションで使用できます。このドキュメントでは、実装の観点から、デバイス間の類似点や相違点について説明します。

5 参考資料

1. Texas Instruments、『[DP83826 Deterministic, Low-Latency, Low-Power, 10/100Mbps, Industrial Ethernet PHY](#)』、データシート
2. Texas Instruments、『[DP83826Ax Deterministic, Low-Latency, Low-Power, 10/100Mbps, Industrial Ethernet PHY](#)』、データシート

6 改訂履歴

Changes from Revision * (August 2025) to Revision A (March 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	2
• セクション 2 を追加.....	3

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月