

*Application Note***AM625x/AM623x および AM62Lx ハードウェア移行ガイド**

Karam Haddad

概要

本アプリケーションノートは、TI Sitara™ プロセッサ ファミリの AM62x (AM625x, AM623x) から TI Sitara™ プロセッサ ファミリの AM62Lx ファミリへの設計移行、または AM62Lx から AM62x ファミリへの設計移行を行う際のハードウェア移行ガイド概要を提供します。本ドキュメントでは、電源レール、IO 電圧、周辺インターフェイス、ブート構成、およびパッケージオプションに関するボードレベルの設計上の違いを明確に示します。

AM62x プロセッサ ファミリは、AM62Lx ファミリと比較して高いパフォーマンス能力を備えており、また、単一の 0.85V コア電源ドメインまたは分離された 0.75V および 0.85V コア電源ドメインのいずれかでデバイスを駆動できる柔軟性を提供します。単一の 0.85V コア電源ドメイン オプションは最大のパフォーマンスを実現しますが、分離型コア電源ドメイン オプションはパフォーマンスをわずかに低下させる代わりに、消費電力を抑え、もう一つのコア電源ドメインを実装するための追加コストが発生します。これらのコア電源オプションにより、システム設計者はデバイスの性能と消費電力のバランスを柔軟に取ることができます。

AM62Lx プロセッサ ファミリは、単一の 0.75V コア電源ドメインのみを必要とする構成を採用しており、RTC Only および RTC + IO + DDR の低電力状態をサポートしています。さらに、統合型 LDO (SDIO_LDO) により SD カード電源経路を簡略化しており、システム設計を容易にするとともに、部品表 (BOM) コストを低減します。

目次

1 はじめに	2
2 AM62x と AM62Lx の概要	3
3 電源アーキテクチャおよび PMIC に関する考慮事項	5
4 IO 電圧ドメインおよび信号レベル	7
4.1 デュアル電圧対 1.8V 固定 IO バンク	7
4.2 バッファタイプおよびフェールセーフ IO	8
5 周辺インターフェイスの変更	9
5.1 メモリインターフェイス	9
5.2 接続方法	9
5.3 メディアおよびディスプレイインターフェイス	10
5.4 アナログおよびその他のインターフェイス	10
6 ブート構成およびリセットの変更	12
7 パッケージおよびレイアウトに関する考慮事項	13
7.1 BGA パッケージ オプション	13
7.2 熱および電力損失	13
8 まとめ	14
9 用語および略語	15
10 参考資料	17

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

本アプリケーションノートは、AM62x および AM62Lx プロセッサ間のハードウェア互換性に関するガイドとして提供されています。本ドキュメントは、電源レール、IO 電圧、インターフェイス、ポートピン、およびパッケージオプションなど、ボードレベルでの設計変更に焦点を当てています。また、両プロセッサ ファミリ間の主な違いを明確にし、ハードウェア ボード設計者がシステム設計を移行する際に必要となる回路図およびレイアウトの変更点を理解できるよう支援します。

なお、本ドキュメントは各デバイスのデータシートに記載されている情報の代替ではありません。設計者は、各デバイスの要件を正確に理解する責任を負っており、それらは [AM62x Sitara™ プロセッサ データシート](#) および [AM62Lx Sitara™ プロセッサ データシート](#) に定義されています。

2 AM62x と AM62Lx の概要

AM62Lx は、AM62x の低消費電力・機能簡略版です。AM62Lx はプロセッサ コア数が少なく、GPU および PRU を搭載しておらず、より小型の BGA パッケージを採用しています。また、電源および IO ドメインも簡略化されています。

AM62x はメディアおよび産業向け機能を強化した高性能デバイスを対象としています。このデバイスは、より多くのプロセッサ コア、オプションの GPU および PRU、デュアルディスプレイ、さらに柔軟な電源および IO ドメイン設定を備えています。

表 2-1 に、プロセッサ コアおよび主要な周辺機能の高レベルな違いを示します。

表 2-1. 機能比較 – AM62x と AM62Lx

機能または周辺機能	AM62x	AM62Lx
メイン CPU コア	<ul style="list-style-type: none"> 4× Arm Cortex-A53 (最大 1.4GHz) 各コアあたり 32KB L1 D キャッシュ 各コアあたり 32KB L1 I キャッシュ 512KB 共有 L2 キャッシュ 	<ul style="list-style-type: none"> 2× Arm Cortex-A53 (最大 1.25GHz) 各コアあたり 32KB L1 D キャッシュ 各コアあたり 32KB L1 I キャッシュ 256KB 共有 L2 キャッシュ
マイクロコントローラ コア	<ul style="list-style-type: none"> 1× Cortex-M4F (最大 400MHz) 	<ul style="list-style-type: none"> マイクロコントローラ コアなし
オンチップ メモリ	<ul style="list-style-type: none"> 最大 816KB のオンチップ RAM <ul style="list-style-type: none"> 64KB MAIN ドメイン OCSRAM 256KB M4F ドメイン SRAM 256KB SMS SRAM 176KB SMS セキュリティ SRAM 64KB デバイス/パワー マネージャ サブシステム内 	<ul style="list-style-type: none"> 最大 160KB の共有オンチップ RAM <ul style="list-style-type: none"> 96KB MAIN ドメイン 64KB WKUP ドメイン
グラフィックスおよびディスプレイ	<ul style="list-style-type: none"> 3D GPU (OpenGL ES 3.1/Vulkan)⁽¹⁾ 24 ビット DPI⁽¹⁾ によるデュアルディスプレイ出力 (各最大 1080p60) デュアルリンク OLDI (LVDS)⁽¹⁾ 	<ul style="list-style-type: none"> GPU なし 最大 1080p60 のシングルディスプレイ出力 (24 ビット DPI または 4 レーン MIPI DSI のいずれか) LVDS 出力なし
カメラインターフェイス	<ul style="list-style-type: none"> 1× MIPI CSI-2 受信機 (4 レーン) によるカメラ入力対応 	<ul style="list-style-type: none"> CSI 非対応
PRUSS (産業用 IO)	<ul style="list-style-type: none"> 1× PRUSS (デュアル PRU コア) によりサイクル精度プロトコルをサポート 	<ul style="list-style-type: none"> PRUSS 非搭載
ギガビットイーサネット	<ul style="list-style-type: none"> 2 ポート Gb イーサネットスイッチ (IEEE 1588 対応)、RGMII/RMII、MDIO インターフェイス (3.3V 対応) イーサネット経由のネットワークブート対応 	<ul style="list-style-type: none"> 2 ポート Gb イーサネットスイッチ (IEEE 1588 対応、機能同等) ただし IO は 1.8V のみ対応。 イーサネット経由のネットワークブート非対応
USB	<ul style="list-style-type: none"> 2× USB 2.0 ポート ホスト、ペリフェラル、または DRD として構成可能 VBUS 検出 	
I ² C	<ul style="list-style-type: none"> 5× I²C + 1× MCU I²C 	<ul style="list-style-type: none"> 5 つの I²C
UART/CAN-FD	<ul style="list-style-type: none"> 8× UART + 1× MCU UART 3× CAN-FD 	<ul style="list-style-type: none"> 8 つの UART 3× CAN-FD

表 2-1. 機能比較 – AM62x と AM62Lx (続き)

機能または周辺機能	AM62x	AM62Lx
SPI/McASP/ePWM	<ul style="list-style-type: none"> 4× SPI + 2x MCU SPI 3× McASP 3× ePWM 	<ul style="list-style-type: none"> 4つの SPI 3× McASP 3× ePWM
ADC (アナログ入力)	<ul style="list-style-type: none"> オンチップ ADC なし 	<ul style="list-style-type: none"> 4× アナログ入力を備えた統合 ADC
メモリ インターフェイス	<ul style="list-style-type: none"> DDR4/LPDDR4 はシングルまたはデュアル ランク対応 GPMC は最大 4 チップ セレクト対応、一部 モードで追加アドレスビットをサポート OSPI/QSPI は最大 1 デバイス対応 <ul style="list-style-type: none"> – 1.8V/3.3V 3× MMC/SD/SDIO <ul style="list-style-type: none"> – 1× eMMC – 2× SD/SDIO – 内蔵 LDO なし (外部 LDO が必要) 	<ul style="list-style-type: none"> DDR4/LPDDR4 はシングル ランク構成のみ 対応 GPMC は最大 4 チップ セレクト対応、一部 モードでアドレスビット数が削減 OSPI/QSPI は最大 2 デバイス対応 <ul style="list-style-type: none"> – 1.8V のみ対応 3× MMC/SD/SDIO <ul style="list-style-type: none"> – 1× eMMC – 2× SD/SDIO – 1.8V/3.3V 用 LDO 内蔵
ブートオプション	<ul style="list-style-type: none"> UART I²C EEPROM OSPI/QSPI フラッシュ GPMC NOR/NAND フラッシュ シリアル NAND フラッシュ SD カード eMMC USB (ホスト) USB (デバイス) イーサネット 	<ul style="list-style-type: none"> 同様のブートオプションをサポート。ただし 次の変更あり: <ul style="list-style-type: none"> – I²C EEPROM ブート削除 – GPMC NOR フラッシュ ブート削除 – イーサネット ブート削除 AM62Lx はブートピン構成が簡略化されて います。詳細はセクション 6: ブート構成およ びリセット変更を参照してください。
コア電源ドメイン/動作電圧	<ul style="list-style-type: none"> VDD_CORE デュアル電圧オプション 0.75V/0.85V VDDR_CORE シングル電圧 0.85V 	<ul style="list-style-type: none"> シングル 0.75V
IO 電源ドメイン/動作電圧	<ul style="list-style-type: none"> 9× IO バンクが 1.8V または 3.3V 動作に対 応 <ul style="list-style-type: none"> – 6× LVCMOS 固定 – 3× SDIO 動的切り替え対応 その他の IO バンクは固定 1.8V 動作のみ 対応 	<ul style="list-style-type: none"> 5× IO バンクが 1.8V または 3.3V 動作に対 応 <ul style="list-style-type: none"> – 2× LVCMOS 固定 – 3× SDIO 動的切り替え対応 その他の IO バンクは固定 1.8V 動作のみ 対応
セキュリティ機能	<ul style="list-style-type: none"> Cortex R5F ブートコア ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点) 信頼できる実行環境 (Trusted Execution Environment, TEE) に対応 HSM コアおよびセキュリティ DMA/IPC SAx_UL ハードウェア クリプト 	<ul style="list-style-type: none"> Cortex A53 ブートコア ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点) 信頼できる実行環境 (Trusted Execution Environment, TEE) に対応 HSM コアおよびセキュリティ DMA/IPC DTHEv2 ハードウェア クリプト <ul style="list-style-type: none"> – 機能は同等で、強化版エンジンを搭載
パッケージ	パッケージバリエント 比較表を参考してください	

- 一部の AM62x デバイスでサポート。異なるデバイス機能の詳細については、[AM62x Sitara™ プロセッサ データシート](#)内のデバイス比較表を参照してください。

3 電源アーキテクチャおよびPMICに関する考慮事項

電源アーキテクチャにおける主な違いの一つは、AM62Lx が単一の VDD_CORE 0.75V 電圧ドメインを採用し、RTC 専用の低消費電力モードを有効にするための常時動作 RTC ドメインを追加している点です。AM62Lx は VMON 電源モニタピンを削除し、SD カード IO を UHS-I 用に 0V、1.8V、および 3.3V 間で切り替えるための SDIO_LDO を内蔵しています。

AM62x は VDD_CORE を 0.75V または 0.85V で動作させることができます。AM62x には電源監視用の VMON ピンが含まれていますが、SDIO_LDO は内蔵されていないため、UHS-I SD カード IO 電圧の切り替えは外部回路で行う必要があります。

AM62Lx の完全な回路図、推奨電源シーケンス、および低消費電力モードの詳細については、[AM62L 電源回路の実装アプリケーションノート](#)および[AM62Lx プロセッサ ファミリ 回路設計ガイドライン](#)およびチェックリストの電源アーキテクチャセクションを参照してください。これらのドキュメントでは、AM62Lx 設計向けに PMIC プログラミングの推奨事項およびシーケンス図を提供しています。

AM62x ファミリの場合は、回路設計およびレビューのために [AM62x プロセッサ ファミリ回路設計ガイドライン](#)およびレビューチェックリストの電源アーキテクチャセクションを参照してください。また、[TPS65219 PMIC](#)による AM62x の電源供給を参照し、PDN レール、シーケンス例、および PMIC 設定を確認してください。

表 3-1. 電源供給の違い

電源項目	AM62x	AM62Lx	設計上の注意
コア電圧レール	<ul style="list-style-type: none"> VDD_CORE デュアル電圧オプション 0.75V または 0.85V VDDR_CORE は常に 0.85V 	<ul style="list-style-type: none"> すべてのコア電源レールは 0.75V で動作 VDDR_CORE は内部的に VDD_CORE と統合 	AM62Lx PMIC を 0.75V に設定します。AM62Lx では VDDR_CORE 専用の電源は不要です。
IO 電源レール	<ul style="list-style-type: none"> 6× LVC MOS IO バンクが固定 1.8V/3.3V 動作に対応 3× SDIO IO バンクが 0V、1.8V、3.3V 間で動作電圧を動的に切り替え可能 その他の IO バンクは固定 1.8V 動作のみ対応 	<ul style="list-style-type: none"> 2× LVC MOS IO バンクが固定 1.8V または 3.3V 動作に対応 3× SDIO IO バンクが 0V、1.8V、3.3V 間で動作電圧を動的に切り替え可能 その他の IO バンクは固定 1.8V 動作のみ対応 	AM62Lx の SDIO IO に関する電源レールは、1.8V/3.3V 間の動的な電圧切り替えをサポートしますが、AM62x では同等の機能を実現するために外部回路が必要です。 詳細については、デュアル電圧対 1.8V 固定 IO バンクセクションを参照してください。
VMON ピン	<ul style="list-style-type: none"> VMON_3P3_SOC VMON_1P8_SOC VMON_VSYS 	<ul style="list-style-type: none"> VMON ピンはサポートされていません 	AM62Lx へ移行する場合は、回路図上の VMON 関連ピンに接続された配線や外部回路を削除します。代わりに、 AM62L 電源回路の実装アプリケーションノート で推奨されているように、PMIC の Power-Good 出力または内部スーパーバイザを使用して電源を監視します。
PMIC 低消費電力イネーブル (PMIC_LPM_EN)	<ul style="list-style-type: none"> PMIC をオンにするために外部プルアップ抵抗が必要です 	<ul style="list-style-type: none"> 内部プルアップが内蔵されているため、外部プルアップは不要です 	AM62Lx へ移行する場合は、外部プルアップ抵抗を削除し、PMIC_LPM_EN0 ネットが PMIC のイネーブル ピンに正しく接続されていることを確認します。 詳細については、 AM62L 電源回路の実装アプリケーションノート を参照してください。

表 3-1. 電源供給の違い (続き)

電源項目	AM62x	AM62Lx	設計上の注意
PMIC に関する推奨事項	<ul style="list-style-type: none"> TPS65219 (4× LDO) 	<ul style="list-style-type: none"> TPS65214 (2× LDO) 	AM62Lx の場合、電源シーケンスおよび電圧が AM62Lx 回路チェックリスト および AM62L 電源回路の実装アプリケーション ノート に準拠していることを確認してください。 AM62x の場合、 AM62x 回路チェックリスト および TPS65219 PMIC による AM62x の電源供給アプリケーション ノート を参照してください。
低消費電力モード	<ul style="list-style-type: none"> CAN/GPIO/UART ウェイクアップに対する部分的 IO サポート ディープスリープ MCU のみ スタンバイ Cortex-A53 用のダイナミック周波数スケーリング Partial IO ウェイク 	<ul style="list-style-type: none"> CAN/GPIO/UART 用の Partial IO ウェイクは非対応 ディープスリープ スタンバイ 動的周波数スケーリング RTC のみ RTC のみ + IO + DDR セルフリフレッシュ 	EXT_WAKEUP0/1 などの専用ウェイクアップ ピンのみが最も低い消費電力状態から復帰可能です。詳細については、 ブート構成およびリセット変更セクション を参照してください。

4 IO 電圧ドメインおよび信号レベル

AM62Lx へ移行する際は、IO バンクの電圧構成を再確認する必要があります。AM62x は、デュアル電圧 (1.8V/3.3V) IO バンクにより高い柔軟性を提供しますが、AM62Lx では一部のバンクのみがデュアル電圧対応となり、残りは 1.8V 固定に指定されています。さらに、AM62Lx では新しいバッファタイプ (1.8V 専用) が導入されており、フェールセーフに対応する信号の種類にも変更があります。本セクションでは、これらの違いについて概要レベルで説明します。

4.1 デュアル電圧対 1.8V 固定 IO バンク

AM62x では、ほとんどの IO (VDDSHVx レール) が 1.8V または 3.3V のいずれかで動作可能です。AM62Lx では IO レールが分割されており、5 本のレールは 1.8V または 3.3V の選択式 (動的切り替えには一部制約あり) で、残りのレールは 1.8V 固定となっています。IO 電源電圧ドメイン表では、各 IO バンクの電圧ドメインの違いを示しています。

IO バンクの詳細なマッピングおよび電圧ドメイン計画については、該当する [AM62x Sitara™ プロセッサ データシート](#) または [AM62Lx Sitara™ プロセッサ データシート](#) の推奨動作条件セクション、ならびに [SysConfig](#) ツールを参照してください。

表 4-1. IO 電源電圧ドメイン

IO バンク (レール)	AM62x 電圧オプション	AM62Lx 電圧オプション	設計上の注意
VDDSHV_CANUART	• 1.8V または 3.3V (デュアル)	• 非搭載	すべての CAN-FD および UART ピンはメインドメインの IO レールに含まれます。
VDDSHV MCU	• 1.8V または 3.3V (デュアル) • ウエイクアップ、JTAG、I ² C、クロック出力を含む MCU ドメインを供給	• 非搭載	AM62Lx には MCU ドメインがありません。
VDDSHVx	• VDDSHV0–3 IO 電源レールは LVCMOS バッファタイプに関連し、固定 1.8V または 3.3V 動作に対応 • VDDSHV4–6 IO 電源レールは SDIO バッファタイプに関連し、0V、1.8V、3.3V 間の動的電圧切り替えに対応	• VDDSHV0–1 IO 電源レールは LVCMOS バッファタイプに関連し、固定 1.8V または 3.3V 動作に対応 • VDDSHV2–4 IO 電源レールは SDIO バッファタイプに関連し、0V、1.8V、3.3V 間の動的電圧切り替えに対応	SDIO バッファタイプは 0V、1.8V、3.3V 間の動的電圧切り替えをサポートし、UHS-I SD カードをサポートするために必要です。
MMC IO 電圧	• MMC0 (VDDSHV4) – アプリケーションごとに動的だが、通常は固定の 1.8V/3.3V • MMC1 (VDDSHV5) および MMC2 (VDDSHV6) – UHS-I SD カード動作時は 3.3V および 1.8V 間で動的切り替え – 個別 LDO または PMIC が必要	• MMC0 (VDDSHV2) – アプリケーションごとに動的だが、通常は固定の 1.8V/3.3V • MMC1 (VDDSHV3) – UHS-I SD カード動作時は 3.3V および 1.8V 間で動的切り替え – 内蔵 SDIO_LDO • MMC2 (VDDSHV4) – UHS-I SD カード動作時は 3.3V および 1.8V 間で動的切り替え – 個別 LDO または PMIC が必要	SD カード (UHS-I) の使用時のみ動的切り替えが必要です。eMMC/組込み SDIO は通常固定電圧です。詳細については、 AM62Lx プロセッサ ファミリ 回路設計ガイド および チェックリストの IO 電源セクション を参照してください。 AM62x の場合は、 AM62x プロセッサ ファミリ 回路設計ガイド および レビュー チェックリストの IO 電源セクション を参照ください。
VDDS_WKUP	• 非搭載	• 1.8V のみ	AM62Lx の VDDS_WKUP は、常時動作する RTC ドメイン信号 (例: EXT_WAKEUP ピン、RTC IO) 用の専用電源です。

表 4-1. IO 電源電圧ドメイン (続き)

IO パンク (レール)	AM62x 電圧オプション	AM62Lx 電圧オプション	設計上の注意
VDDS0/1	• 非搭載	• 1.8V のみ	AM62Lx では、アナログ ブロック (ADC、RTC) 用に VDDS レールが追加されています。
VDDA_ADC	• 非搭載	• 1.8V のみ	この電源は AM62Lx 内蔵 ADC に給電します。ADC を使用しない場合でも、データ シートの推奨に従って電源およびデカップリングを実装します。
VDDS_DDR	• 1.1V のみ動作	• 1.1V または 1.2V 動作	1.2V は DDR4 用、1.1V は LPDDR4 用です。
VDDS_DDR_C	• 1.1V または 1.2V 動作のみ	• 非搭載	AM62Lx では DDR クロック電圧が VDDS_DDR に統合されています。

4.2 バッファ タイプおよびフェールセーフ IO

AM62Lx では、1.8V 固定レールおよび常時動作ドメインに対応するため、新しい IO バッファ タイプが導入されています。また、フェールセーフ動作にも若干の変更があります。フェールセーフ動作の比較表では、いくつかの主要信号を比較しています。また、IO バッファ タイプの比較表では、AM62x と AM62Lx 間でのバッファ タイプの違いを示しています。

バッファ タイプの定義および推奨動作条件については、[AM62x Sitara™ プロセッサ データシート](#)または[AM62Lx Sitara™ プロセッサ データシート](#)の電気的特性セクションを参照してください。

表 4-2. フェールセーフ動作の比較

ピン/バッファ タイプ	AM62x フェールセーフ対応？	AM62Lx フェールセーフ対応？	設計上の注意
PORz、EXTINTn	あり	あり	該当なし
MCU I2C0、WKUP I2C0	あり	なし	該当なし
I2C2 SDA、I2C2 SCL	なし	あり	該当なし
VMON (1P8/3P3/VSYS)	あり	非搭載	VMON ピンの代わりに PMIC の Power-Good 信号を使用するには、電源アーキテクチャおよび PMIC に関する考慮事項セクションを参照してください。

表 4-3. IO バッファ タイプの比較

ピン/バッファ タイプ	AM62x 搭載？	AM62Lx 搭載？	設計上の注意
LVC MOS	あり	あり	該当なし
1P8-LVC MOS	なし	あり	標準 1.8V CMOS バッファ、フェールセーフ対応なし。
RTC - LVC MOS	なし	あり	RTC ドメイン IO、フェールセーフ対応なし。

5 周辺インターフェイスの変更

5.1 メモリ インターフェイス

AM62x と比較して、AM62Lx では一部のメモリ サブシステム機能が削除または変更されています。メモリ インターフェイスの違い表では、メモリ インターフェイスにおける主な変更点を示しています。

信号整合性ルールの詳細については、[AM62x, AM62Lx DDR ボード設計およびレイアウトガイドライン](#)を参照してください。また、該当する [AM62Lx 回路設計ガイドラインおよびレビュー チェックリスト](#)または [AM62x 回路設計ガイドラインおよびレビュー チェックリスト](#)のメモリ インターフェースセクションも参照してください。

表 5-1. メモリ インターフェイスの違い

メモリ インターフェイス	AM62x	AM62Lx	設計上の注意
DDR4/LPDDR4 (16 ビット)	<ul style="list-style-type: none"> デュアル ランク (8GB DDR4) インライン ECC オプションあり 	<ul style="list-style-type: none"> シングル ランクのみ (4GB DDR4) ECC 非対応 	AM62Lx ではシングル ランク構成のみを設計し、ECC ラインおよびセカンダリ チップ セレクトを削除します。
GPMC	<ul style="list-style-type: none"> 8/16 ビット同期/非同期メモリ 4 つの CS アドレスビット数が多い <ul style="list-style-type: none"> 非多重モードで 23 ビット (A[22:0]) AD 多重モードで 27 ビット (A[26:0]) AAD 多重モードで 28 ビット (A[27:0]) 	<ul style="list-style-type: none"> 8/16 ビット同期/非同期メモリ 4 つの CS アドレスビット数が少ない <ul style="list-style-type: none"> 非多重モードで 7 ビット (A[6:0]) AD 多重モードで 23 ビット (A[22:0]) AAD 多重モードで 28 ビット (A[27:0]) 	詳細なレジスタ値については、該当プロセッサの TRM およびデータ シートを参照してください。
OSPI/QSPI	<ul style="list-style-type: none"> 単一の OSPI/QSPI デバイス接続のみ対応 	<ul style="list-style-type: none"> 最大 2 つの OSPI/QSPI デバイス接続に対応、特定の接続トポロジおよび PCB レイアウト要件あり 	AM62x EVM は 1× CS、AM62Lx EVM は デュアル CS を搭載しています。AM62Lx では 1.8V を使用します。
eMMC または組込み SDIO (MMC0)	<ul style="list-style-type: none"> 1/4/8 ビット対応 eMMC 速度は最大 HS200 <ul style="list-style-type: none"> High-Speed DDR 非対応 組込み SDIO は High Speed または UHS-I SDR25 までの速度に対応 	<ul style="list-style-type: none"> 1/4/8 ビット対応 eMMC 速度は最大 HS200 <ul style="list-style-type: none"> High-Speed DDR 対応 組込み SDIO は High Speed または UHS-I SDR25 までの速度に対応 	該当なし
SD カードまたは組込み SDIO (MMC1/2)	<ul style="list-style-type: none"> 1/4 ビット対応 SD カードは最大 UHS-I SDR104 に対応 (外部電源が必要) 組込み SDIO は High Speed または UHS-I SDR25 までの速度に対応 1.8V/3.3V IO 電源を外部から供給 	<ul style="list-style-type: none"> 1/4 ビット対応 SD カードは最大 UHS-I SDR104 に対応 組込み SDIO は High Speed または UHS-I SDR25 までの速度に対応 MMC1 用の内部 1.8V/3.3V IO 電源を内蔵 	AM62x に移行する場合は、適切な外部レベルシフタ/レギュレータ回路を追加します。 AM62Lx に移行する場合は、これらの外部回路を削除します。

5.2 接続方法

高速通信インターフェイスの大部分は共通ですが、電圧の違いや一部機能の削除により設計変更が必要です。接続インターフェイスの違い表は、ネットワークおよびシリアル接続における主な違いを示しています。

詳細については、該当する [AM62x Sitara™ プロセッサ データシート](#)または [AM62Lx Sitara™ プロセッサ データシート](#)の周辺機器セクションを参照してください。

表 5-2. 接続インターフェイスの違い

インターフェイス	AM62x	AM62Lx	設計上の注意
イーサネット (RGMII)	<ul style="list-style-type: none"> 1.8V または 3.3V IO 対応 ネットワーク ブート対応 	<ul style="list-style-type: none"> 1.8V IO のみ対応 ネットワーク ブート非対応 	AM62Lx では 1.8V 対応 PHY を使用し、イーサネット ブート回路を削除します。
CAN-FD/UART	<ul style="list-style-type: none"> ウェイクアップ対応 VDDSHV_CANUART (1.8V/3.3V) に接続 	<ul style="list-style-type: none"> ウェイクアップ非対応 VDDSHV_CANUART なし 	電圧ドメインの整合性を確認します。AM62Lx では EXT_WAKEUP / EXTINTn ピンをウェイクアップ用として使用します。
USB 2.0	<ul style="list-style-type: none"> 2x ポート モード構成可能 PHY 内蔵 VBUS (単一イベントによる機能中断) の監視 		該当なし
SPI/McASP	<ul style="list-style-type: none"> 4 つの SPI 3x McASP 	<ul style="list-style-type: none"> 4 つの SPI 3x McASP 	電圧ドメインの整合性を確認します。

5.3 メディアおよびディスプレイインターフェイス

AM62Lx のマルチメディア機能は、AM62x と比較して簡略化されています。ディスプレイおよびカメラインターフェイスにいくつかの変更がありますが、オーディオ機能は同じです。表 5-3 は、マルチメディア周辺機能に関して変更が必要な点の概要を示しています。

詳細については、該当する [AM62x Sitara™ プロセッサ データシート](#) または [AM62Lx Sitara™ プロセッサ データシート](#) の周辺機器セクションを参照してください。

表 5-3. メディアおよびディスプレイインターフェイスの違い

インターフェイス	AM62x	AM62Lx	設計上の注意
グラフィックスおよびディスプレイ	<ul style="list-style-type: none"> 3D GPU (OpenGL ES 3.1/Vulkan 1.2) デュアル ディスプレイ出力 (各最大 1080p60) 24 ビット DPI デュアル OLDI (LVDS) 出力対応 	<ul style="list-style-type: none"> GPU なし 最大 1080p60 のシングル ディスプレイ出力 24 ビット DPI または 4 レーン MIPI DSI のいずれかを使用 OLDI/LVDS 出力なし 	クロック制約により、DSI または DPI のいずれか一方のインターフェイスのみ同時に使用可能です。
カメラ (CSI-2)	<ul style="list-style-type: none"> 4 レーン MIPI CSI-2 受信機対応 	<ul style="list-style-type: none"> CSI 非対応 	該当なし
オーディオ (McASP)	<ul style="list-style-type: none"> 3x McASP ポート 	<ul style="list-style-type: none"> 3x McASP ポート 	電圧ドメインの整合性を確認します。

5.4 アナログおよびその他のインターフェイス

AM62Lx はオンチップ ADC を追加し、AM62x と比較して一部の機能を簡略化しています。アナログおよびその他のインターフェイスの比較表では、ADC、温度センサ、および PRU サポートの違いを示しています。

詳細については、該当する [AM62x Sitara™ プロセッサ データシート](#) または [AM62Lx Sitara™ プロセッサ データシート](#) のペリフェラルセクション、ならびに関連する E2E フォーラム。() の [\[FAQ\] AM62x/AM62Lx 電圧および熱マネージャ](#) を参照してください。

表 5-4. アナログおよびその他のインターフェイスの比較

機能	AM62x	AM62Lx	設計上の注意
ADC	<ul style="list-style-type: none"> 外部接続のみ (オンチップなし) 	<ul style="list-style-type: none"> 4x アナログ入力 (タイム マルチ プレクス) 12 ビット (実効分解能 約 10 ENOB) 最大 4MSPS 	VDDA_ADC に 1.8V を供給し、AM62Lx データシートの指示に従ってデカッピング コンデンサを実装します。
温度センサ	<ul style="list-style-type: none"> 温度センサ 0:DDR コントローラ 温度センサ 1:A53 	温度センサ 0:DDR/A53	内蔵温度センサの精度は $\pm 5^{\circ}\text{C}$ です。詳細は AM62Lx Sitara™ プロセッサ データシートの温度センサ特性セクション を参照してください。
PRU-ICSS	現在	非搭載	該当なし

6 ブート構成およびリセットの変更

AM62Lx では、AM62x と比較してブートストラップおよびリセット構造が簡略化されています。表 6-1 表では、新しいブートストラップピン要件、サポートされるブートメディア、およびその他のブート/リセット関連の変更点を示しています。

AM62Lx のブート構成に関する関する FAQ や概要については、該当する [AM62Lx 回路設計ガイドラインおよびレビュー チェックリスト](#) または [AM62x 回路設計ガイドラインおよびレビュー チェックリスト](#) のプロセッサのブートモード構成セクションを参照してください。

より詳細なブートモード情報やピンマルチプレクス設定については、該当する [AM62Lx Sitara™ プロセッサデータシート](#) または [AM62x Sitara™ プロセッサデータシート](#) のピン属性セクション、ならびに [AM62L テクニカルリファレンスマニュアル](#) または [AM62x テクニカルリファレンスマニュアル](#) のブートモードピンセクションを参照してください。

表 6-1. ブートおよびリセット信号の変更

要素	AM62x	AM62Lx	設計上の注意
ブートストラップピンオプション	<ul style="list-style-type: none"> 16 本のブートモードピン (BOOTMODE[15:0]) を使用 	<ul style="list-style-type: none"> ピン数削減構成: 4 本のブートストラップピン (BOOTMODE[15:12]) フルピン構成: 16 本のブートストラップピン (BOOTMODE[15:0]) 	ブートピンはプルアップまたはプルダウンで固定し、フローティング状態にしないでください。詳細については、 AM62L テクニカルリファレンスマニュアル のブートモードピンマッピングオプションセクションを参照してください。
ブートモード	<ul style="list-style-type: none"> UART I2C EEPROM OSPI/QSPI フラッシュ GPMC NOR/NAND フラッシュ シリアル NAND フラッシュ SD カード eMMC USB イーサネット 	<ul style="list-style-type: none"> UART I2C EEPROM 非対応 OSPI/QSPI フラッシュ GPMC NAND (NOR なし) フラッシュ対応 シリアル NAND フラッシュ非対応 SD カード eMMC USB イーサネットブート非対応 	AM62Lx では、旧ブート回路を削除することで BOM を削減し、設計を簡素化します。サポートされているオプションについては、 AM62x Sitara™ プロセッサデータシート および AM62Lx Sitara™ プロセッサデータシート を参照してください。
リセット入力	<ul style="list-style-type: none"> MCU_PORz MCU_RESETz RESET_REQz 	<ul style="list-style-type: none"> PORz RESETz RTC_PORz MCU_PORz なし 	該当なし
リセット出力	<ul style="list-style-type: none"> PORz_OUT RESETSTATz MCU_RESETSTATz 	<ul style="list-style-type: none"> RESETSTATz MCU_RESETSTATz なし 	該当なし
ウェイクピン	<ul style="list-style-type: none"> EXTINTn MCU ドメイン上の一 CAN/UART ピンでウェイク対応 	<ul style="list-style-type: none"> EXTINTn EXT_WAKEUP0/1 CAN/UART ウェイク非対応 (MCU 非搭載) 	AM62Lx では、ウェイクソースに接続されていない場合、EXT_WAKEUP0/1 を外部プルアップ抵抗を介して対応する電源に接続します。

7 パッケージおよびレイアウトに関する考慮事項

7.1 BGA パッケージ オプション

パッケージバリエント比較表では、各パッケージオプションの全体的なパッケージサイズ、ボール数、およびボールピッチの違いをまとめています。AM62x プロセッサファミリは 2 種類のパッケージオプションを提供しています。そのうち小型のパッケージオプションは 0.5mm のボールピッチを採用しており、Q1 認証なしデバイスでのみ提供されています。大型のパッケージオプションは 0.8mm のボールピッチを採用しており、Q1 認証済みデバイスでのみ提供されています。AM62x の 2 種類のパッケージオプションはいずれも、AM62Lx のパッケージオプションよりサイズが大きく、ボール数も多くなっています。AM62Lx のパッケージは 0.5mm のボールピッチを採用しています。なお、AM62Lx プロセッサは現時点では Q1 認証済みバリエントを提供していません。

完全な機械図面および有効なデバイスの注文可能パート番号については、該当する [AM62x Sitara™ プロセッサ](#) および [AM62Lx Sitara™ プロセッサ](#) の機械的仕様、パッケージ、および注文情報セクションを参照してください。設計上の推奨事項については、[AM62Lx 回路設計ガイドライン](#) および [レビュー チェックリスト](#) を参照してください。

表 7-1. パッケージバリエント比較

パラメータ	AM62x ALW パッケージ • AM625x • AM623x	AM62x AMC パッケージ • AM625-Q1 • AM620-Q1	AM62Lx ANB パッケージ • AM62Lx
パッケージサイズ	13mm × 13mm	17.2mm × 17.2mm	11.9mm × 11.9mm
ボールピッチ	0.5mm	0.8mm	0.5mm
ボール数	425 ボール、FCCSP BGA	441 ボール、FCBGA	373 ボール、FCCSP BGA

7.2 熱および電力損失

熱および電力の挙動は、デバイス構成とパッケージ選択に依存します。一般的に、AM62x はクアッドコアおよびオプションの GPU を搭載しているため、ピーク性能時により多くのパワーを消費します。一方、AM62Lx はコア数が少なく GPU を搭載していないため、通常は消費電力が低くなります。パッケージの選択も熱抵抗に影響します。詳細は [表 7-2](#) を参照してください。常にワーカロードベースのパワー推定およびシステムレベルの熱試験によって検証します。

接合部から周囲までの熱データおよびビアインパッドに関するガイダンスについては、各 [AM62x Sitara™ プロセッサ](#) および [AM62Lx Sitara™ プロセッサ](#) のデータシート内熱抵抗特性セクション、ならびに関連する E2E フォーラム ([\(\)](#) の [\[FAQ\] AM62x/AM62Lx 電圧および熱マネージャ](#) を参照してください。

表 7-2. 热および電力損失の比較

メトリック	AM62x	AM62Lx	設計上の注意
動作コア	• 最大 4× Cortex-A53、M4、パッケージによっては GPU を搭載	• 最大 2× Cortex-A53 (MCU/GPU 非搭載)	デバイスの消費電力に関する詳細は、 AM62x パワー推定ツール アプリケーションノートを参照してください。
コア電圧	• VDD_CORE デュアル電圧 (0.75V/0.85V) • VDDR_CORE 固定 0.85V	• シングル 0.75V レール	
接合部からケースまでの熱抵抗 (°C/W)	• ALW パッケージ: 3.7 • AMC パッケージ: 1.2	• ANB パッケージ: 5.2	熱シミュレーションまたは実測によって冷却を検証してください。詳細については、該当プロセッサのデータシート内熱抵抗特性セクションを参照してください。
接合部から空気までの熱抵抗 (°C/W、静止空気)	• ALW パッケージ: 22.3 • AMC パッケージ: 13.3	• ANB パッケージ: 22.2	

8 まとめ

本ドキュメントは、AM62x と AM62Lx 間の移行についてまとめたものです。パフォーマンスや機能と、パワー または BOM 目標を比較してデバイスを選定し、本ドキュメントおよび参考資料の内容を使用して、パッケージ、ピン配置、電力、および熱的影響を確認します。

AM62x から AM62Lx に移行する場合は、BOM および消費電力の低減が見込まれます。A53 コア数の減少、GPU 非搭載、ディスプレイおよびグラフィックス オプションの変更、周辺機能数やブート モードの違いを考慮します。シングル 0.75V コア レール、IO バンク電圧、およびピン配置やパッケージの差異を必ず検証します。設計者は、ピン配置、パッケージ サイズ、および熱特性の違いを考慮し、[AM62Lx 回路設計ガイドラインおよび回路レビュー チェックリスト](#)を使用して、更新後の設計で正しい実装を確認する必要があります。

AM62Lx から AM62x に移行する場合は、最大 4× A53 コアおよびオプションの GPU によるより高い演算能力、より幅広いディスプレイおよび周辺機能オプションが利用可能になることが予想されます。より高いパワーおよび熱設計マージン、分割可能なコア ドメイン (選択可能な 0.75V/0.85V の VDD_CORE および固定 0.85V の VDDR_CORE) を考慮して計画します。また、DDR、ディスプレイ、および高速 IO 用のパッケージ ピンが利用可能であることを確認します。設計者は、ピン配置、パッケージ サイズ、および熱特性の違いを考慮し、[AM62x 回路設計ガイドラインおよび回路レビュー チェックリスト](#)を使用して、更新後の設計で正しい実装を確認する必要があります。

9 用語および略語

- AAD-mux: アドレス—アドレス/データ多重モード
- ADC:A/D コンバータ
- ALW: 13 × 13mm AM62x 用 パッケージコード
- AMC: 17.2 × 17.2mm AM62x 用 パッケージコード
- ANB: 11.9 × 11.9mm AM62Lx 用 パッケージコード
- BOM: 部品表
- BGA: ポールグリッドアレイ
- BSP: ボードサポートパッケージ
- CAN-FD: フレキシブル データレート対応 コントローラ エリア ネットワーク
- °C/W: 摂氏温度/ワット
- CPU: セントラル プロセッシング ユニット
- CS: チップ セレクト
- DDR: ダブル データ レート
- DDR4: 第4世代 ダブル データ レート
- DPI: ディスプレイ パラレル インターフェイス
- DRD: デュアル ロール デバイス
- E2E: エンジニア間 (テキサス インスツルメンツ サポート フォーラム)
- EEPROM: 電気的消去可能プログラマブル読み出し専用メモリ
- ENOB: 有効ビット数
- eFuse: 電子ヒューズ
- eMMC: エンベデッド マルチメディア カード
- EVM: 評価基板
- EXTINTn: 外部割り込みピン
- EXT_WAKEUP: 外部ウェイクアップ ピン
- FAQ: よくある質問
- FCBGA: フリップ チップ ポールグリッドアレイ
- GPMC: 汎用メモリコントローラ
- GPU: グラフィックス処理ユニット
- GPIO: 汎用入出力
- HS200: 高速 200 MB/s (eMMC 用)
- I2C: IC の相互接続 (Inter-Integrated Circuit)
- ICSS: 産業用通信サブシステム
- IEEE: 電気電子技術者協会
- IO: 入力 / 出力
- JTAG: ジョイント テスト アクション グループ
- L1: レベル 1 (キャッシュ)
- L2: レベル 2 (キャッシュ)
- LDO: 低ドロップアウト レギュレータ
- LPDDR4: 低消費電力 ダブル データ レート 第4世代
- LVDS: 低電圧差動信号伝送
- MCU: マイクロコントローラ ユニット
- McASP: マルチ チャネル オーディオシリアル ポート
- MDIO: 管理データ入出力 (Management Data Input/Output)
- プロセッサ インターフェイス
- MSPS: 每秒メガサンプル
- OLDI: オープン LVDS ディスプレイインターフェイス
- OTP: ワンタイム プログラマブル
- OSPI: オクタル シリアル ペリフェラル インターフェイス
- PMIC: パワー マネジメント集積回路
- PORZ: パワーオンリセット

- PRU: プログラマブル リアルタイム ユニット
- PRUSS: プログラマブル リアルタイム ユニット サブシステム
- PWM: パルス幅変調
- QSPI: クワッドシリアル ペリフェラル インターフェイス
- RGMII: Reduced Gigabit Media Independent Interface)
- RMII: 簡易メディア独立インターフェイス
- RTC: リアルタイム クロック
- SD: セキュア デジタル
- SDIO: セキュア デジタル入力/出力
- SMS: セキュリティマネージメントシステム
- SoC: システム オン チップ
- SPL: セカンダリ プログラム ローダ
- TRM: テクニカルリファレンス マニュアル
- Tx: 送信
- UHS-I: ウルトラ ハイスピード フェーズ I (SD バス モード)
- UART: 汎用非同期レシーバ / トランスマッタ
- U-Boot: ユニバーサル ブート
- USB: ユニバーサル シリアル バス
- VBUS: 電圧バス
- VTM: 電圧および熱マネージャ
- WKUP: ウエイクアップ

10 参考資料

1. テキサス インスツルメンツ、[AM62x Sitara™ プロセッサデータシート](#)。
2. テキサス インスツルメンツ、[AM62Lx Sitara™ プロセッサデータシート](#)。
3. 『[AM62x Sitara プロセッサシリコンリビジョン1.0 テキサスインスツルメンツファミリ製品](#)』、テクニカルリファレンスマニュアル。
4. テキサス インスツルメンツ、『[AM62L Sitara™ プロセッサ テクニカルリファレンスマニュアル](#)』、テクニカルリファレンスマニュアル。
5. テキサス インスツルメンツ、『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリ回路設計ガイドラインおよび回路レビュー チェックリスト](#)』、ユーザーズガイド。
6. テキサス インスツルメンツ、『[AM62x, AM62Ax, AM62D-Q1, AM62Px プロセッサ ファミリ回路設計ガイドラインおよびレビュー チェックリスト](#)』、ユーザーズガイド。
7. テキサス インスツルメンツ、『[AM625, AM623, AM620-Q1, AM625-Q1, AM625SIP プロセッサ ファミリ回路設計ガイドラインおよびレビュー チェックリスト](#)』、ユーザーズガイド。
8. テキサス インスツルメンツ、『[AM62x, AM62Lx DDR ボード設計およびレイアウトガイドライン](#)』、アプリケーションノート。
9. テキサス インスツルメンツ、『[TPS65219 PMIC によるAM62x の電源供給](#)』、アプリケーションノート。
10. テキサス インスツルメンツ、『[AM62L 電源回路の実装](#)』、アプリケーションノート。
11. テキサス インスツルメンツ、『[AM62x EVM 回路図および設計ファイル](#)』、設計ファイル。
12. テキサス インスツルメンツ、『[AM62L EVM 回路図および設計ファイル](#)』、設計ファイル。
13. テキサス インスツルメンツ、『[AM625 / AM623 / AM620-Q1 / AM62Ax / AM62D-Q1 / AM62Px / AM62L / AM64x / AM243x \(ALV, ALX\) カスタムボードハードウェア設計 - 電圧および熱マネージャ \(VTM\) - プロセッサフォーラム - プロセッサ - TI E2E サポートフォーラム](#)』、FAQ
14. テキサス インスツルメンツ、『[AM62x パワー推定ツール](#)』、アプリケーションノート。
15. テキサス インスツルメンツ、『[FAQJ AM6x:『AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62L, AM64x, AM24x, AM3x, AM4x Sitara デバイスに関する最新の FAQ - プロセッサフォーラム - プロセッサ - TI E2E サポートフォーラム』、FAQ](#)』、FAQ

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月