

Application Note

TDP20MB421 回路図チェックリスト

David Liu

概要

この回路図チェックリストは、各 TDP20MB421 デバイスピンの概要説明と、標準動作時に推奨される TDP20MB421 デバイスピンの設定を示しています。TDP20MB421 は、2:1 マルチプレクサを内蔵した DisplayPort™ (DP) リニアリドライバです。このデバイスは VESA DisplayPort 標準バージョン 1.4、2.0、および 2.1 に準拠し、1~4 レーンのメインリンクインターフェイス信号処理で UHBR20 (レーンごとに 20Gbps)までをサポートします。さらに、このデバイスは位置に依存せず動作します。TDP20MB421 はソース、ケーブル、シンクの中に配置でき、リンクバジェット全体に対して実質的に負の損失コンポーネントとして機能します。TDP20MB421 は、GPIO または SMBus/I2C バス経由で構成可能です。本書は、一般的なアプリケーションにおけるシステムレベル設計を支援することを目的としていますが、設計時の唯一の参考資料として使用することは推奨されません。このリストに加えて、「[TDP20MB421 DisplayPort 2.1 24Gbps 4 チャネルリニアリドライバ \(2:1 マルチプレクサ搭載\)](#)」および関連資料の情報も参照し、デバイスの機能を包括的にご理解ください。

目次

| | |
|------------------------------|---|
| 1はじめに..... | 2 |
| 2 TDP20MB421 回路図チェックリスト..... | 2 |
| 3まとめ..... | 4 |
| 4参考資料..... | 4 |

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

本書では、TDP20MB421 の各ピンに関する機能、推奨設定、および追加の考慮事項を示しています。これらのデータは表 2-1 にまとめられています。

2 TDP20MB421 回路図チェックリスト

| ピン名 | ピン番号 | ピン構成 | 推奨事項 | 追加のピンに関する考慮事項 |
|--------------------|--|---|--|--|
| メイン リンク入力ピン | | | | |
| RX[0:3] P/N | 37, 38, 33, 34, 28, 29, 24, 25, 35, 36, 31, 32, 26, 27, 22, 23 | DisplayPort メイン リンク差動入力 | GPU から TDP20MB421 への接続は、AC カップリング接続とします | TDP20MB421 の入力側に DP レセプタクルが接続される場合、GPU 側にすでに AC カップリング用のコンデンサが実装されている可能性があります。その場合、TDP20MB421 の入力は DC カップリング接続とすることができます。TDP20MB421 の入力で AC カップリングが依然として必要な場合は、0.22uF の 201 サイズのコンデンサを使用してください |
| メイン リンク出力ピン | | | | |
| TX[0:3] P/N | 4, 3, 8, 7, 11, 10, 15, 14 | DisplayPort メイン リンク差動出力 | TDP2004 からシンクまたは DP レセプタクルへの接続は、0.22uF の 201 サイズのコンデンサによるカップリング接続とします | |
| コントロールピン | | | | |
| PD | 18 | TDP20MB421 の動作状態を制御する 2 レベルのロジック。すべてのデバイス制御モードでアクティブです。ピンには $1\text{M}\Omega$ の内部弱プルダウン抵抗があります。 | フローティングのままにするか、 $1\text{k}\Omega$ の抵抗を介して GND に接続してください | |
| モード | 41 | これにより、構成モードの選択が行われます。 L0:ピン ストラップ モード L1 または L2:SMBus / I2C セカンダリ モード | ピン ストラップ モードの場合は、 $1\text{k}\Omega$ の抵抗をグランドに接続してください 外部 I2C 制御を行う場合は、 $8.25\text{k}\Omega$ または $24.9\text{k}\Omega$ の抵抗をグランドに接続します | |
| SEL | 17 | このピンはマルチブレクサ経路の選択を行います。ピン モードおよび SMBus/I2C モードの両方で有効です。このピンには弱い内部プルダウン抵抗が備わっています。システム実装時には、SEL ピンを制御してポート A とポート B の間でマルチブレクサを選択してください。 L:ポート A が選択されます。 H:ポート B が選択されます。 | | |

| ピン名 | ピン番号 | ピン構成 | 推奨事項 | 追加のピンに関する考慮事項 |
|----------|---------------------------------|--|--|---|
| EQ0/ADDR | 40 | ピン モード内:EQ0 および EQ1 ピンは、全チャネルの受信リニアイコライゼーション CTLE (AC ゲイン) を設定します。 SMBus/I2C モードの場合: ADDR ピンは MODE ピンと組み合わせて、SMBus/I2C のセカンダリアドレスを設定します。このピンは、デバイスの電源投入時にのみサンプリングされます | EQ 制御設定の 5 段階レベルについては、 TDP20MB421 データシート の表 6-1 を参照してください。 EQ ブースト値については、 TDP20MB421 データシート の表 6-2 を参照してください | SMBus/I2C セカンダリモードのアドレス設定については、 TDP20MB421 データシート の表 6-4 を参照してください |
| EQ1 | 20 | ピン モード内:EQ0 および EQ1 ピンは、表 6-2 に基づき、全チャネルの受信リニアイコライゼーション CTLE (AC ゲイン) を設定します。これらのピンは、デバイスの電源投入時にのみサンプリングされます。 | EQ 制御設定の 5 段階レベルについては、 TDP20MB421 データシート の表 6-1 を参照してください。 EQ ブースト値については、 TDP20MB421 データシート の表 6-2 を参照してください | SMBus/I2C セカンダリモードでは、このピンはフローティングのままにしてください |
| テスト/SCL | 26 | ピンストラップ モードでは、これはテキサス・インスツルメンツ社の内部テスト用ピンです SMBus/I2C モードでは、このピンは I2C バスのシリアルクロックとして機能します | ピンストラップ モードでは、 10kΩ の抵抗を介してプルダウン接続する必要があります | SMBus/I2C モードでは、外部に 4.7kΩ のプルアップ抵抗が必要です |
| ゲイン/SDA | 1 | ピンストラップ モードでは、このピンは入力から出力へのフラットゲイン (AC および DC) を選択します。このピンは、電源投入時にのみサンプリングされます。 SMBus/I2C モードでは、このピンは I2C バスのシリアルデータとして機能し、外部プルアップ抵抗が必要です | GAIN 制御設定の 5 段階レベルについては、 TDP20MB421 データシート の表 6-1 を参照してください。デフォルト設定として、フローティングのままにしておくことを推奨します。 フラットゲイン値については、表 6-3 を参照してください | SMBus/I2C モードでは、外部に 4.7kΩ のプルアップ抵抗が必要です |
| RSVD3 | 19 | TI 内部テストピン | フローティングのままにしてください | |
| VCC | 5.13 | 電源ピン。VCC = 3.3V ±10% | このデバイスの VCC ピンは、基板の VCC プレーンへの低抵抗のパスを経由して接続する必要があります | 各 VCC ピンの近くで、GND との間にデカッピングコンデンサを取り付けます |
| GND | 2, 6, 9, 12, 16, 21, 30, 39, EP | デバイス用のグランドリファレンス | 露出パッドは、1 つ以上のグランドプレーンに接続する必要があります | |

3 まとめ

TDP20MB421 を設計する際は、本回路図チェックリストに記載されたガイドラインに従うとともに、周辺システムの要件も考慮してください。さらに、TDP20MB421 をシステムに組み込む際には、機能的な柔軟性を重視することが非常に重要です。デバイスを実装する際に、ピンストラップ方式と SMBus/I2C モードの両方を選択可能にしておくことで、デバッグが容易になり、TDP20MB421 の構成およびステータスをより的確に制御することができます。

4 参考資料

1. テキサス・インスツルメンツ、「[TDP20MB421 DisplayPort 2.1 24Gbps 4 チャネルリニアリドライバ \(2:1 マルチプレクサ搭載\)](#)」データシート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月