



# 温度センサ向け24ビット A/Dコンバータ

## 特長

- 24ビットのノー・ミッシング・コード性能
- データ出力レート：最大2kSPS
- すべてのデータ・レートに対して1サイクルで安定
- 20SPSで50/60Hzの同時除去
- 差動入力 × 4/シングルエンド入力 × 7(ADS1248)
- 差動入力 × 2/シングルエンド入力 × 3(ADS1247)
- 低ノイズPGA：48nV(PGA = 128)
- マッチングされた電流源DAC
- 超低ドリフトの内部電圧リファレンス：  
10ppm/°C(最大)
- センサ損傷検出
- 4/8個の汎用I/O(ADS1247/8)
- 内部温度センサ
- 電源およびV<sub>REF</sub>監視(ADS1247/8)
- 自己校正およびシステム校正
- SPI™互換シリアル・インターフェイス
- アナログ電源のユニポーラ(+2.7V~+5.25V) /  
バイポーラ(±2.5V)動作
- デジタル電源：+2.7V ~ +5.25V
- 動作温度：-40°C ~ +125°C

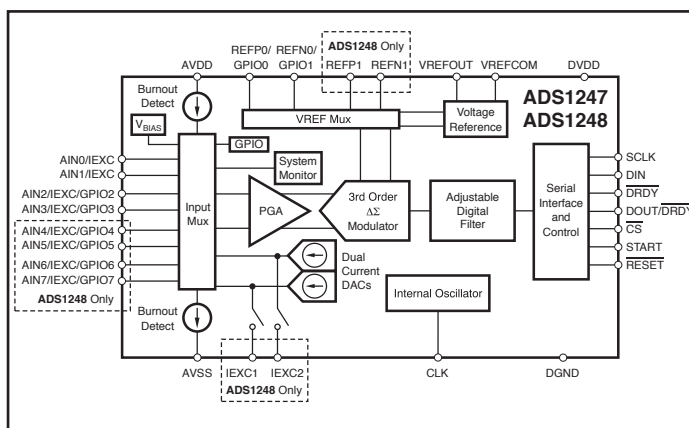
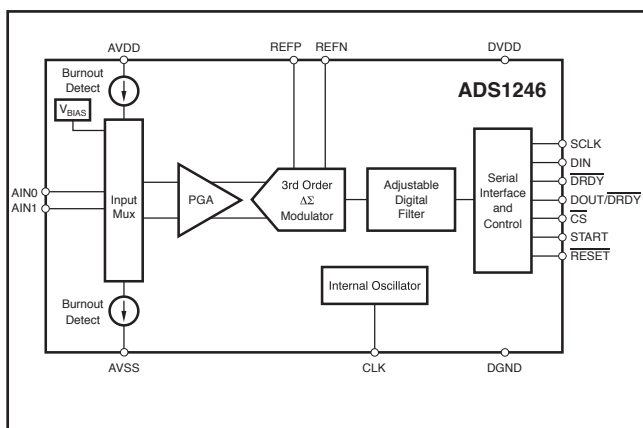
## アプリケーション

- 温度測定
  - RTD、熱電対、サーミスタ
- 圧力測定
- 産業プロセス制御

## 概要

ADS1246、ADS1247、およびADS1248は、高集積、高精度の24ビットA/Dコンバータ(ADC)です。ADS1246/7/8は、オンボードの低ノイズPGA(プログラマブル・ゲイン・アンプ)、1サイクルで安定するデジタル・フィルタを備えた高精度デルタ・シグマ(ΔΣ)ADC、および内部発振回路を搭載しています。また、ADS1247およびADS1248は、10mAの出力能力を持つ超低ドリフト電圧リファレンス、および2つのマッチングされたプログラマブル電流D/Aコンバータ(DAC)を内蔵しています。ADS1246/7/8は、熱電対、サーミスタ、RTDなどの温度センサ・アプリケーションに対して、完全なフロントエンド・ソリューションを提供します。

入力マルチプレクサにより、ADS1248では4つ、ADS1247では2つ、ADS1246では1つの差動入力をサポートします。さらに、マルチプレクサには、センサ損傷検出、熱電対用の電圧バイアス、システム監視、および汎用デジタルI/O(ADS1247および



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



びADS1248)が備えられています。オンボードの低ノイズPGAは、1~128のゲインを選択可能です。ΔΣ変調回路および調整可能なデジタル・フィルタは、わずか1サイクルで安定するため、入力マルチプレクサ使用時の高速チャネル・サイクリングが可能になり、最大2kSPSのデータ・レートがサポートされます。20SPS以下のデータ・レートに対しては、フィルタによって50Hzと60Hzの両方の干渉が除去されます。

ADS1246は、小さなTSSOP-16パッケージで供給されます。ADS1247はTSSOP-20パッケージ、ADS1248はTSSOP-28パッケージで供給されます。すべてのデバイスは、-40°C~+105°Cの拡張温度範囲で仕様が規定されています。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 絶対最大定格<sup>(1)</sup>

製品名	入力数	電圧リファレンス	2つのセンサ励起電流源	パッケージ・リード
ADS1246	差動×1 または シングルエンド×1	外部	なし	TSSOP-16
ADS1247	差動×2 または シングルエンド×3	内部または外部	あり	TSSOP-20
ADS1248	差動×4 または シングルエンド×7	内部または外部	あり	TSSOP-28

(1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.com)をご覧ください。

### 絶対最大定格<sup>(1)</sup>

動作温度範囲内(特に記述のない限り)

パラメータ	ADS1246, ADS1247, ADS1248		単位
	MIN	MAX	
AVDD~AVSS	-0.3	+5.5	V
AVSS~DGND	-2.8	+0.3	V
DVDD~DGND	-0.3	+5.5	V
入力電流	100、瞬時		mA
	10、連続		mA
アナログ入力電圧 (対AVSS)	AVSS - 0.3	AVDD + 0.3	V
デジタル入力電圧 (対DGND)	-0.3	DVDD + 0.3	V
最大接合部温度		+150	°C
動作温度範囲	-40	+125	°C
保存温度範囲	-60	+150	°C

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示しており、このデータシートに示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

## 熱特性について

THERMAL METRIC <sup>(1)</sup>		ADS1246, ADS1247, ADS1248	単位
		TSSOP (IPW)	
		28	
$\theta_{JA}$	接合部-周囲間熱抵抗 <sup>(2)</sup>	54.6	°C/W
$\theta_{JC(top)}$	接合部-ケース(上面)間熱抵抗 <sup>(3)</sup>	11.3	
$\theta_{JB}$	接合部-基板間熱抵抗 <sup>(4)</sup>	13.0	
$\psi_{JT}$	接合部-上面間特性パラメータ <sup>(5)</sup>	0.5	
$\psi_{JB}$	接合部-底面間特性パラメータ <sup>(6)</sup>	12.7	
$\theta_{JC(bottom)}$	接合部-ケース(底面)間熱抵抗 <sup>(7)</sup>	n/a	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ $\psi_{JT}$ は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて $\theta_{JA}$ を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ $\psi_{JB}$ は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて $\theta_{JA}$ を求めるシミュレーション・データから抽出されます。
- (7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

## 電気的特性

最小/最大仕様は、-40°C~+105°Cの範囲で適用されます。標準仕様は+25°Cでの値です。すべての仕様の条件は、AVDD = +5V、DVDD = +3.3V、AVSS = 0V、V<sub>REF</sub> = +2.048V、発振周波数 = 4.096MHzです (特に記述のない限り)。

パラメータ	測定条件	ADS1246, ADS1247, ADS1248			単位
		MIN	TYP	MAX	
<b>アナログ入力</b>					
フルスケール入力電圧 (V <sub>IN</sub> = ADCINP - ADCINN)		±V <sub>REF</sub> /PGA		2.7/PGA	V
同相モード入力範囲		AVSS + 0.1V + $\frac{(V_{IN})(Gain)}{2}$	AVDD - 0.1V - $\frac{(V_{IN})(Gain)}{2}$		V
差動入力電流		100			pA
絶対入力電流		表11を参照			
PGAゲイン設定		1, 2, 4, 8, 16, 32, 64, 128			
バーンアウト電流源		0.5、2、または10			μA
バイアス電圧		(AVDD + AVSS)/2			V
バイアス電圧出力インピーダンス		400			Ω
<b>システム性能</b>					
分解能	ノー・ミッシング・コード	24			ビット
データ・レート		5, 10, 20, 40, 80, 160, 320, 640, 1000, 2000			SPS
積分非直線性(INL)	差動入力、端点フィット、PGA = 1	6		15	ppm
オフセット誤差	校正後 <sup>(1)</sup>	-15		15	μV
オフセットドリフト		図11~図14を参照			nV/°C
ゲイン誤差	T = +25°C、すべてのPGA、 データ・レート = 40、80、または160SPS	-0.02	±0.005	0.02	%
ゲイン・ドリフト		図19~図22を参照			ppm/°C
ADC変換時間		1サイクルでの安定			
ノイズ		表5~表8を参照			
ノーマル・モード除去		表13を参照			
同相モード除去	DC時、PGA = 1	80	90		dB
	DC時、PGA = 32	90	125		dB
電源除去	AVDD/DVDDがDC時、 PGA = 32、データ・レート = 80SP	100	135		dB
<b>電圧リファレンス入力</b>					
電圧リファレンス入力 (V <sub>REF</sub> = V <sub>REFP</sub> - V <sub>REFN</sub> )		0.5	(AVDD - AVSS) - 1		V
負のリファレンス入力(REFN)		AVSS - 0.1	REFP - 0.5		V
正のリファレンス入力(REFP)		REFN + 0.5	AVDD + 0.1		V
リファレンス入力電流		30			nA
<b>内蔵電圧リファレンス</b>					
出力電圧		2.038	2.048	2.058	V
出力電流 <sup>(2)</sup>		±10			mA
ロードレギュレーション		50			μV/mA
ドリフト <sup>(3)</sup>	T <sub>A</sub> = +25°C ~ +105°C	2		10	ppm/°C
	T <sub>A</sub> = -40°C ~ +105°C	6		15	ppm/°C
起動時間		表14を参照			μs

(1) ノイズのオーダーでオフセットを計算。

(2) 内部電圧リファレンスの負荷がこの値を超えないようにしてください。

(3) 設計と最終製品試験によって仕様が規定されています。

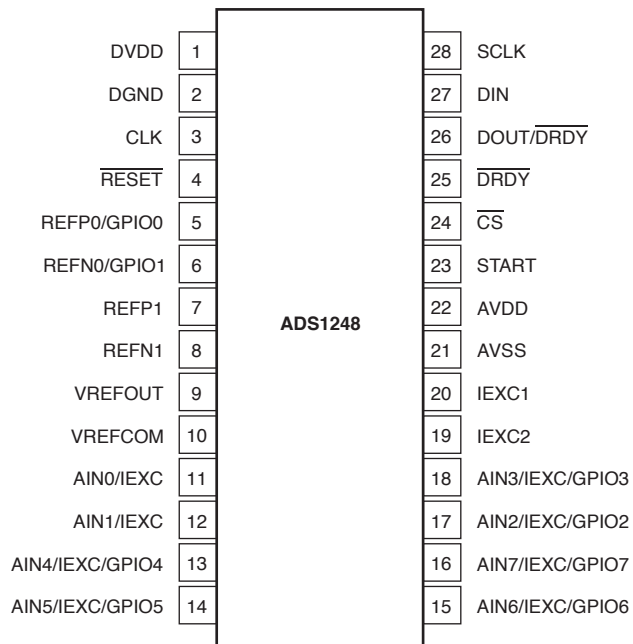
## 電気的特性

最小/最大仕様は、 $-40^{\circ}\text{C}$ ~ $+105^{\circ}\text{C}$ の範囲で適用されます。標準仕様は $+25^{\circ}\text{C}$ での値です。すべての仕様の条件は、 $\text{AVDD} = +5\text{V}$ 、 $\text{DVDD} = +3.3\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{V}_{\text{REF}} = +2.048\text{V}$ 、発振周波数 =  $4.096\text{MHz}$ です (特に記述のない限り)。

パラメータ	測定条件	ADS1246, ADS1247, ADS1248			単位
		MIN	TYP	MAX	
<b>電流源 (IDACS)</b>					
出力電流		50, 100, 250, 500, 750, 1000, 1500			$\mu\text{A}$
コンプライアンス電圧	すべての電流	$\text{AVDD} - 0.7$			V
初期誤差	すべての電流、各IDAC	-6	$\pm 1$	6	%/FS
初期ミスマッチ	すべての電流、IDAC間	$\pm 0.15$			%/FS
温度ドリフト	各IDAC	100			ppm/ $^{\circ}\text{C}$
温度ドリフト・マッチング	IDAC間	10			ppm/ $^{\circ}\text{C}$
<b>システム監視</b>					
温度センサの読み取り	電圧	$T_A = +25^{\circ}\text{C}$	118		mV
	ドリフト		405		$\mu\text{V}/^{\circ}\text{C}$
<b>汎用入出力 (GPIO)</b>					
ロジック・レベル	$V_{\text{IH}}$		$0.7\text{AVDD}$	$\text{AVDD}$	V
	$V_{\text{IL}}$		$\text{AVSS}$	$0.3\text{AVDD}$	V
	$V_{\text{OH}}$	$I_{\text{OH}} = 1\text{mA}$	$0.8\text{AVDD}$		V
	$V_{\text{OL}}$	$I_{\text{OL}} = 1\text{mA}$		$0.2 \text{AVDD}$	V
<b>デジタル入出力 (GPIO以外)</b>					
ロジック・レベル	$V_{\text{IH}}$		$0.7\text{DVDD}$	$\text{DVDD}$	V
	$V_{\text{IL}}$		DGND	$0.3\text{DVDD}$	V
	$V_{\text{OH}}$	$I_{\text{OH}} = 1\text{mA}$	$0.8\text{DVDD}$		V
	$V_{\text{OL}}$	$I_{\text{OL}} = 1\text{mA}$	DGND	$0.2 \text{DVDD}$	V
入力リーク		$\text{DGND} < V_{\text{IN}} < \text{DVDD}$		$\pm 10$	$\mu\text{A}$
クロック入力 (CLK)	周波数		1	4.5	MHz
	デューティ・サイクル		25	75	%
内部発振周波数		3.89	4.096	4.3	MHz
<b>電源</b>					
DVDD		2.7		5.25	V
AVSS		-2.5		0	V
AVDD		$\text{AVSS} + 2.7$		$\text{AVSS} + 5.25$	V
DVDD電流	通常モード、 $\text{DVDD} = 5\text{V}$ 、 データ・レート = 20SPS、内部発振回路		230		$\mu\text{A}$
	通常モード、 $\text{DVDD} = 3.3\text{V}$ 、 データ・レート = 20SPS、内部発振回路		210		$\mu\text{A}$
	スリープ・モード		0.2		$\mu\text{A}$
AVDD電流	変換中、 $\text{AVDD} = 5\text{V}$ 、 データ・レート = 20SPS、外部リファレンス		225		$\mu\text{A}$
	変換中、 $\text{AVDD} = 3.3\text{V}$ 、 データ・レート = 20SPS、外部リファレンス		200		$\mu\text{A}$
	スリープ・モード		0.1		$\mu\text{A}$
	内部リファレンスがイネーブル時の追加電流		180		$\mu\text{A}$
消費電力	$\text{AVDD} = \text{DVDD} = 5\text{V}$ 、 データ・レート = 20SPS、内部発振回路、 外部リファレンス		2.3		mW
	$\text{AVDD} = \text{DVDD} = 3.3\text{V}$ 、 データ・レート = 20SPS、 内部発振回路、外部リファレンス		1.4		mW
<b>温度範囲</b>					
仕様		-40		+105	$^{\circ}\text{C}$
動作時		-40		+125	$^{\circ}\text{C}$
保存時		-60		+150	$^{\circ}\text{C}$

製品情報  
ピン配置

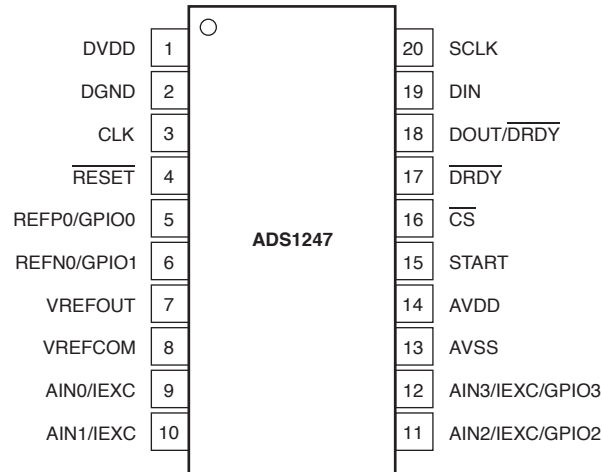
PW PACKAGE  
TSSOP-28  
(TOP VIEW)



## ADS1248(TSSOP-28)のピン説明

名前	ピン番号	機能	説明
DVDD	1	デジタル	デジタル電源
DGND	2	デジタル	デジタル・グラウンド
CLK	3	デジタル入力	外部クロック入力。内部発振回路を動作させる場合は、このピンをDGNDに接続します。
RESET	4	デジタル入力	チップ・リセット(アクティブ・ロー)。すべてのレジスタ値をリセット値に戻します。
REFP0/GPIO0	5	アナログ入力 デジタル入出力	正の外部リファレンス入力0、または汎用デジタル入出力ピン0
REFN0/GPIO1	6	アナログ入力 デジタル入出力	負の外部リファレンス入力0、または汎用デジタル入出力ピン1
REFP1	7	アナログ入力	正の外部リファレンス入力1
REFN1	8	アナログ入力	負の外部リファレンス入力1
VREFOUT	9	アナログ出力	正の内部リファレンス電圧出力
VREFCOM	10	アナログ出力	負の内部リファレンス電圧出力。このピンは、ユニポーラ電源を使用する場合はAVSSに接続し、バイポーラ電源を使用する場合は電源の中間電圧に接続します。
AIN0/IEXC	11	アナログ入力	アナログ入力0、オプションの励起電流出力
AIN1/IEXC	12	アナログ入力	アナログ入力1、オプションの励起電流出力
AIN4/IEXC/GPIO4	13	アナログ入力 デジタル入出力	アナログ入力4、オプションの励起電流出力、または汎用デジタル入出力ピン4
AIN5/IEXC/GPIO5	14	アナログ入力 デジタル入出力	アナログ入力5、オプションの励起電流出力、または汎用デジタル入出力ピン5
AIN6/IEXC/GPIO6	15	アナログ入力 デジタル入出力	アナログ入力6、オプションの励起電流出力、または汎用デジタル入出力ピン6
AIN7/IEXC/GPIO7	16	アナログ入力 デジタル入出力	アナログ入力7、オプションの励起電流出力、または汎用デジタル入出力ピン7
AIN2/IEXC/GPIO2	17	アナログ入力 デジタル入出力	アナログ入力2、オプションの励起電流出力、または汎用デジタル入出力ピン2
AIN3/IEXC/GPIO3	18	アナログ入力 デジタル入出力	アナログ入力3、オプションの励起電流出力、または汎用デジタル入出力ピン3
IOUT2	19	アナログ出力	励起電流出力2
IOUT1	20	アナログ出力	励起電流出力1
AVSS	21	アナログ	負のアナログ電源
AVDD	22	アナログ	正のアナログ電源
START	23	デジタル入力	変換開始。詳細は本文を参照してください。
CS	24	デジタル入力	チップ選択(アクティブ・ロー)
DRDY	25	デジタル出力	データ準備完了(アクティブ・ロー)
DOUT/DRDY	26	デジタル出力	シリアル・データ出力、またはデータ出力とデータ準備完了の組み合わせ(DRDY機能がイネーブルのときはアクティブ・ロー)
DIN	27	デジタル入力	シリアル・データ入力
SCLK	28	デジタル入力	シリアル・クロック入力

**PW PACKAGE  
TSSOP-20  
(TOP VIEW)**

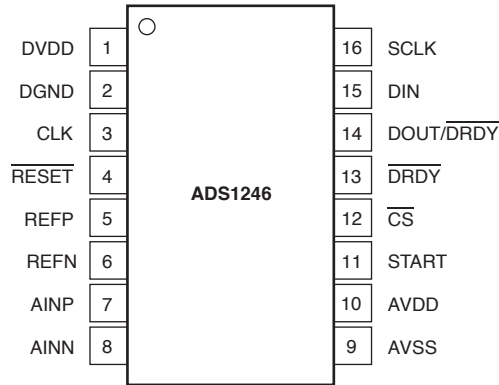


**ADS1247(TSSOP-20)のピン説明**

名前	ピン番号	機能	説明
DVDD	1	デジタル	デジタル電源
DGND	2	デジタル	デジタル・グランド
CLK	3	デジタル入力	外部クロック入力。内部発振回路を動作させる場合は、このピンをDGNDに接続します。
RESET	4	デジタル入力	チップ・リセット(アクティブ・ロー)。すべてのレジスタ値をリセット値に戻します。
REFP0/GPIO0	5	アナログ入力 デジタル入出力	正の外部リファレンス入力、または汎用デジタル入出力ピン0
REFN0/GPIO1	6	アナログ入力 デジタル入出力	負の外部リファレンス入力、または汎用デジタル入出力ピン1
VREFOUT	7	アナログ出力	正の内部リファレンス電圧出力
VREFCOM	8	アナログ出力	負の内部リファレンス電圧出力。このピンは、ユニポーラ電源を使用する場合はAVSSに接続し、バイポーラ電源を使用する場合は電源の midpoint 電圧に接続します。
AIN0/IEXC	9	アナログ入力	アナログ入力0、オプションの励起電流出力
AIN1/IEXC	10	アナログ入力	アナログ入力1、オプションの励起電流出力
AIN2/IEXC/GPIO2	11	アナログ入力 デジタル入出力	アナログ入力2、オプションの励起電流出力、または汎用デジタル入出力ピン2
AIN3/IEXC/GPIO3	12	アナログ入力 デジタル入出力	アナログ入力3、オプションの励起電流出力、または汎用デジタル入出力ピン3
AVSS	13	アナログ	負のアナログ電源
AVDD	14	アナログ	正のアナログ電源
START	15	デジタル入力	変換開始。詳細は本文を参照してください。
CS	16	デジタル入力	チップ選択(アクティブ・ロー)
DRDY	17	デジタル出力	データ準備完了(アクティブ・ロー)
DOUT/DRDY	18	デジタル出力	シリアル・データ出力、またはデータ出力とデータ準備完了の組み合わせ(DRDY機能がイネーブルのときはアクティブ・ロー)
DIN	19	デジタル入力	シリアル・データ入力
SCLK	20	デジタル入力	シリアル・クロック入力



**PW PACKAGE  
TSSOP-16  
(TOP VIEW)**



**ADS1246(TSSOP-16)のピン説明**

名前	ピン番号	機能	説明
DVDD	1	デジタル	デジタル電源
DGND	2	デジタル	デジタル・グランド
CLK	3	デジタル入力	外部クロック入力。内部発振回路を動作させる場合は、このピンをDGNDに接続します。
$\overline{\text{RESET}}$	4	デジタル入力	チップ・リセット(アクティブ・ロー)。すべてのレジスタ値をリセット値に戻します。
REFP	5	アナログ入力	正の外部リファレンス入力
REFN	6	アナログ入力	負の外部リファレンス入力
AINP	7	アナログ入力	正のアナログ入力
AINN	8	アナログ入力	負のアナログ入力
AVSS	9	アナログ	負のアナログ電源
AVDD	10	アナログ	正のアナログ電源
START	11	デジタル入力	変換開始。詳細は本文を参照してください。
$\overline{\text{CS}}$	12	デジタル入力	チップ選択(アクティブ・ロー)
$\overline{\text{DRDY}}$	13	デジタル出力	データ準備完了(アクティブ・ロー)
DOUT/ $\overline{\text{DRDY}}$	14	デジタル出力	シリアル・データ出力、またはデータ出力とデータ準備完了の完了の組み合わせ(DRDY機能がイネーブルのときはアクティブ・ロー)
DIN	15	デジタル入力	シリアル・データ入力
SCLK	16	デジタル入力	シリアル・クロック入力

## タイミング図

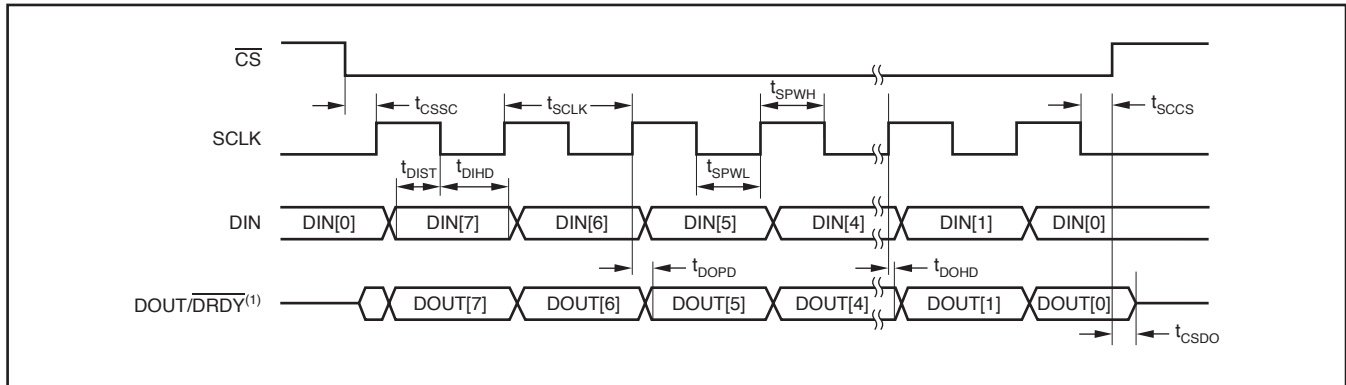


図 1. シリアル・インターフェイス・タイミング

記号	説明	MIN	MAX	単位
$t_{CSSC}$	$\overline{CS}$ “Low” から最初のSCLK “High” まで(セットアップ時間)	10		ns
$t_{SCCS}$	SCLK “Low” からCS “High” まで(ホールド時間)	7		$t_{OSC}^{(2)}$
$t_{DIST}$	DINセットアップ時間	5		ns
$t_{DIHD}$	DINホールド時間	5		ns
$t_{DOPD}$	SCLK立ち上がりエッジから新規データ有効まで		30	ns
$t_{DOHD}$	DOUTホールド時間	0		ns
$t_{SCLK}$	SCLK周期	488		ns
			64	変換回数
$t_{SPWH}$	SCLKパルス幅 “High”	0.25	0.75	$t_{SCLK}$
$t_{SPWL}$	SCLKパルス幅 “Low”	0.25	0.75	$t_{SCLK}$
$t_{CSDO}$	$\overline{CS}$ “High” からDOUTハイ・インピーダンスまで		10	ns

表 1. 図1のタイミング特性<sup>(1)</sup>

(1) DRDY MODEビット = 0

(2)  $t_{OSC} = 1/f_{CLK}$  デフォルトのクロック周波数  $f_{CLK} = 4.096\text{MHz}$ .

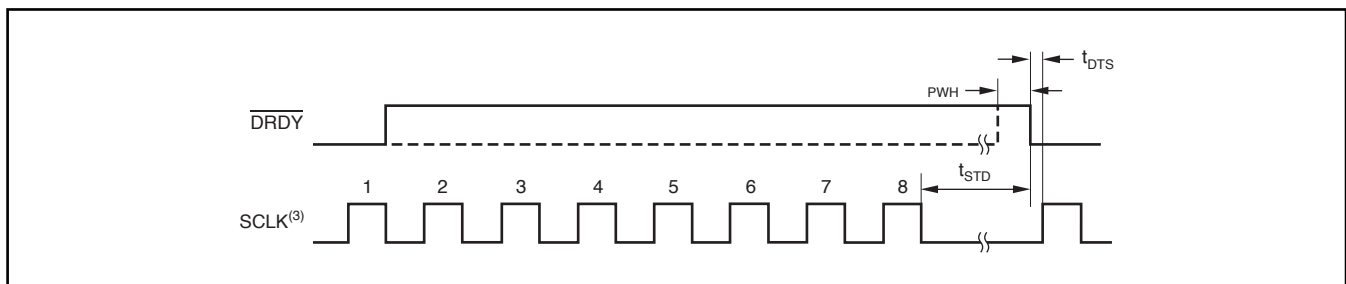


図 2. 変換結果をロードするためのSPIインターフェイス・タイミング

(1) このタイミング図は、 $\overline{CS}$ ピンが “Low” のときにのみ適用されます。 $\overline{CS}$ が “High” の場合、SCLKは $t_{STD}$ の間 “Low” になる必要はありません。

(2) 出力データの部分取得中は、SCLKを8サイクル単位でのみ送信できます。

記号	説明	MIN	MAX	単位
$t_{PWH}$	$\overline{DRDY}$ パルス幅 “High”	3		$t_{OSC}$
$t_{STD}$	SCLK “Low” から $\overline{DRDY}$ “Low” まで	5		$t_{OSC}$
$t_{DTS}$	$\overline{DRDY}$ 立ち下がりエッジからSCLK立ち上がりエッジ	$1/f_{CLK}$		ns

表 2. 図2のタイミング特性

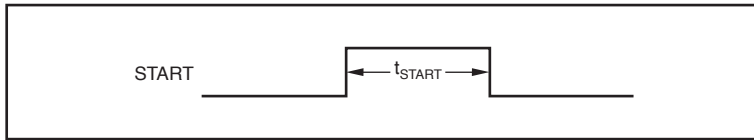


図 3. 最小STARTパルス幅

記号	説明	MIN	MAX	単位
$t_{START}$	STARTパルス幅 “High”	3		$t_{osc}$

表 3. 図3のタイミング特性

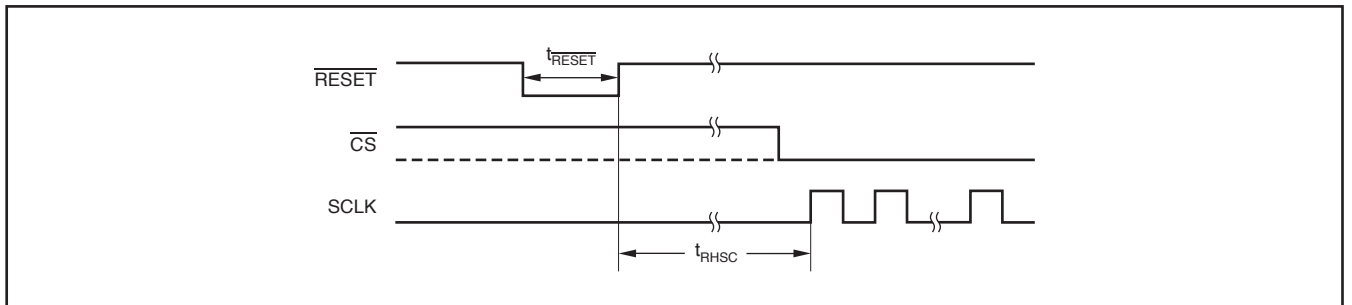


図 4. リセット・パルス幅、およびリセット後のSPI通信

記号	説明	MIN	MAX	単位
$\overline{RESET}$	$\overline{RESET}$ パルス幅 “Low”	4		$t_{osc}$
$t_{RHSC}$	$\overline{RESET}$ “High” からSPI通信開始まで	0.6 <sup>(1)</sup>		ms

表 4. 図4のタイミング特性

(1)  $f_{OSC} = 4.096\text{MHz}$  の場合のみ適用され、 $f_{OSC}$  の周波数に比例して変化します。

## ノイズ特性

ADS1246/7/8のノイズ性能は、データ・レートおよびPGA設定の調整によって最適化できます。平均化はデータ・レートを落とすことで強化されるので、それに応じてノイズが低下します。PGA値を大きくすると、入力基準ノイズが減少し、低レベル信号の測定時には特に便利です。表5～表10に、ADS1246/7/8のノイズ性能をまとめています。これらのデータは、 $T = +25^\circ\text{C}$ での標準ノイズ性能を表したものです。示されているデータは、複数のデバイスからの値を平均化した結果であり、入力を互いに短絡した状態で測定されています。各測定値についてRMSノイズおよびピーク・ツー・ピークノイズを計算するために、128個以上の連続した測定値を使用しています。

表5、表7、および表9には、各条件での入力基準ノイズを  $\mu\text{V}_{RMS}$  および  $\mu\text{V}_{PP}$  単位で示しています。表6、表8、および表10には、対応するデータをENOB (実効ビット数) 単位で示しています。ここで、ENOBは次の式で表されます。

$$\text{ENOB} = \ln(\text{フルスケール範囲}/\text{ノイズ})/\ln(2) \quad (1)$$

表7～表10では、ADS1247およびADS1248に搭載の内蔵リファレンスを使用しています。ただし、これらのデータは、REF5020などの低ノイズ外部リファレンスを使用した場合のADS1246のノイズ性能も表します。

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	1.1 (4.99)	0.68 (3.8)	0.37 (1.9)	0.19 (0.98)	0.1 (0.44)	0.07 (0.31)	0.05 (0.27)	0.05 (0.21)
10	1.53 (8.82)	0.82 (3.71)	0.5 (2.69)	0.27 (1.33)	0.15 (0.67)	0.08 (0.5)	0.06 (0.36)	0.07 (0.34)
20	2.32 (13.37)	1.23 (6.69)	0.71 (3.83)	0.34 (1.9)	0.18 (1.01)	0.12 (0.71)	0.10 (0.51)	0.09 (0.54)
40	2.72 (17.35)	1.33 (7.65)	0.68 (3.83)	0.38 (2.21)	0.22 (1.13)	0.14 (0.77)	0.15 (0.78)	0.14 (0.76)
80	3.56 (22.67)	1.87 (12.3)	0.81 (5.27)	0.5 (3.49)	0.3 (1.99)	0.19 (1.24)	0.19 (1.16)	0.18 (1.04)
160	5.26 (42.03)	2.52 (17.57)	1.32 (9.22)	0.67 (5.25)	0.41 (2.89)	0.26 (1.91)	0.27 (1.74)	0.26 (1.74)
320	9.39 (74.91)	4.68 (39.48)	2.69 (18.95)	1.24 (9.94)	0.68 (5.25)	0.45 (3.08)	0.38 (2.71)	0.36 (2.46)
640	13.21 (119.66)	6.93 (59.31)	3.59 (28.55)	1.53 (10.68)	0.95 (8.7)	0.63 (4.94)	0.53 (3.74)	0.5 (3.55)
1000	32.34 (443.91)	16.11 (185.67)	11.54 (92.23)	4.65 (37.55)	2.02 (23.14)	1.15 (12.29)	0.77 (7.42)	0.64 (4.98)
2000	32.29 (372.54)	15.99 (182.27)	8.02 (91.73)	4.08 (45.89)	2.19 (24.14)	1.36 (12.32)	1.08 (8.03)	1 (6.93)

表 5. AVDD = 5V、AVSS = 0V、外部リファレンス = 2.5V時のノイズ： $\mu V_{RMS}$  ( $\mu V_{PP}$ ) 単位

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	21.8 (19.6)	21.5 (19)	21.4 (19)	21.4 (19)	21.3 (19.2)	20.9 (18.7)	20.2 (17.8)	19.4 (17.2)
10	21.4 (18.8)	21.3 (19.1)	21 (18.5)	20.8 (18.6)	20.7 (18.6)	20.6 (18)	19.9 (17.5)	18.9 (16.5)
20	20.8 (18.2)	20.7 (18.2)	20.5 (18)	20.5 (18)	20.4 (18)	20 (17.5)	19.3 (16.9)	18.4 (15.9)
40	20.5 (17.8)	20.6 (18)	20.5 (18)	20.4 (17.8)	20.2 (17.8)	19.8 (17.4)	18.7 (16.3)	17.8 (15.4)
80	20.1 (17.5)	20.1 (17.3)	20.3 (17.6)	20 (17.2)	19.7 (17)	19.4 (16.7)	18.4 (15.7)	17.5 (14.9)
160	19.6 (16.6)	19.6 (16.8)	19.6 (16.8)	19.5 (16.6)	19.3 (16.4)	18.9 (16)	17.9 (15.2)	16.9 (14.2)
320	18.7 (15.7)	18.7 (15.7)	18.5 (15.7)	18.7 (15.7)	18.5 (15.6)	18.1 (15.3)	17.4 (14.5)	16.5 (13.7)
640	18.2 (15.1)	18.2 (15.1)	18.1 (15.1)	18.4 (15.5)	18 (14.8)	17.6 (14.7)	16.9 (14.1)	16 (13.1)
1000	17 (13.2)	17 (13.4)	16.4 (13.4)	16.7 (13.7)	17 (13.4)	16.8 (13.3)	16.4 (13.1)	15.6 (12.6)
2000	17 (13.4)	17 (13.5)	17 (13.4)	16.9 (13.4)	16.8 (13.4)	16.5 (13.3)	15.9 (13)	15 (12.2)

表 6. AVDD = 5V、AVSS = 0V、外部リファレンス = 2.5V時のRMSノイズ(ピーク・ツー・ピーク・ノイズ)による実効ビット数

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	1.35 (7.78)	0.7 (4.17)	0.35 (2.03)	0.17 (0.95)	0.1 (0.53)	0.06 (0.32)	0.05 (0.31)	0.05 (0.29)
10	1.8 (10.82)	0.88 (5.26)	0.5 (2.75)	0.24 (1.47)	0.13 (0.8)	0.09 (0.49)	0.07 (0.39)	0.07 (0.4)
20	2.62 (14.32)	1.22 (7.05)	0.66 (3.88)	0.35 (2.05)	0.19 (1.09)	0.12 (0.66)	0.1 (0.61)	0.1 (0.55)
40	2.64 (16.29)	1.34 (7.75)	0.69 (4.06)	0.35 (2.07)	0.21 (1.15)	0.15 (0.85)	0.14 (0.81)	0.13 (0.75)
80	3.69 (23.62)	1.82 (10.81)	0.89 (5.48)	0.51 (2.68)	0.3 (1.69)	0.21 (1.32)	0.2 (1.09)	0.18 (0.98)
160	5.7 (35.74)	2.63 (16.9)	1.34 (8.82)	0.68 (4.24)	0.4 (2.65)	0.3 (1.92)	0.28 (1.88)	0.26 (1.57)
320	9.67 (67.44)	4.95 (35.3)	2.59 (17.52)	1.29 (8.86)	0.72 (4.35)	0.49 (3.03)	0.4 (2.44)	0.37 (2.34)
640	13.66 (93.06)	7.04 (45.2)	3.63 (18.73)	1.84 (12.97)	1.02 (6.51)	0.68 (4.2)	0.58 (3.69)	0.53 (3.5)
1000	31.18 (284.59)	16 (129.77)	7.58 (61.3)	3.98 (33.04)	2.08 (16.82)	1.16 (9.08)	0.83 (5.42)	0.68 (4.65)
2000	31.42 (273.39)	15.45 (130.68)	8.07 (67.13)	4.06 (36.16)	2.29 (19.22)	1.38 (9.87)	1.06 (6.93)	1 (6.48)

表 7. AVDD = 5V、AVSS = 0V、内部リファレンス = 2.048V時のノイズ :  $\mu V_{RMS}$  ( $\mu V_{PP}$ ) 単位

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	21.5 (19)	21.5 (18.9)	21.5 (18.9)	21.5 (19)	21.3 (18.9)	21 (18.6)	20.2 (17.7)	19.2 (16.8)
10	21.1 (18.5)	21.1 (18.6)	21 (18.5)	21 (18.4)	20.9 (18.3)	20.5 (18)	19.8 (17.3)	18.7 (16.3)
20	20.6 (18.1)	20.7 (18.1)	20.6 (18)	20.5 (17.9)	20.4 (17.8)	20.1 (17.6)	19.2 (16.7)	18.3 (15.8)
40	20.6 (17.9)	20.5 (18)	20.5 (17.9)	20.5 (17.9)	20.2 (17.8)	19.7 (17.2)	18.8 (16.3)	17.9 (15.4)
80	20.1 (17.4)	20.1 (17.5)	20.1 (17.5)	20 (17.5)	19.7 (17.2)	19.2 (16.6)	18.3 (15.8)	17.5 (15)
160	19.5 (16.8)	19.6 (16.9)	19.5 (16.8)	19.5 (16.9)	19.3 (16.6)	18.7 (16)	17.8 (15.1)	16.9 (14.3)
320	18.7 (15.9)	18.7 (15.8)	18.6 (15.8)	18.6 (15.8)	18.4 (15.8)	18 (15.4)	17.3 (14.7)	16.4 (13.7)
640	18.2 (15.4)	18.1 (15.5)	18.1 (15.7)	18.1 (15.3)	17.9 (15.3)	17.5 (14.9)	16.8 (14.1)	15.9 (13.2)
1000	17 (13.8)	17 (13.9)	17 (14)	17 (13.9)	16.9 (13.9)	16.8 (13.8)	16.2 (13.5)	15.5 (12.7)
2000	17 (13.9)	17 (13.9)	17 (13.9)	16.9 (13.8)	16.8 (13.7)	16.5 (13.7)	15.9 (13.2)	15 (12.3)

表 8. AVDD = 5V、AVSS = 0V、内部リファレンス = 2.048V時のRMSノイズ(ピーク・ツー・ピーク・ノイズ)による実効ビット数

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	2.5 (14.24)	1.32 (6.92)	0.67 (3.48)	0.32 (1.68)	0.17 (0.9)	0.09 (0.51)	0.08 (0.42)	0.07 (0.39)
10	3.09 (16.85)	1.69 (9.32)	0.82 (4.68)	0.42 (2.41)	0.23 (1.18)	0.11 (0.63)	0.11 (0.66)	0.1 (0.55)
20	4.55 (24.74)	2.19 (12.82)	1.07 (5.94)	0.55 (3.38)	0.28 (1.66)	0.16 (1)	0.15 (0.92)	0.14 (0.87)
40	5.06 (34.59)	2.39 (14.49)	1.27 (7.75)	0.66 (4.01)	0.36 (2.18)	0.21 (1.16)	0.21 (1.27)	0.15 (0.84)
80	6.63 (43.46)	3.28 (20.22)	1.79 (10.64)	0.89 (5.48)	0.47 (2.95)	0.29 (1.63)	0.28 (1.64)	0.21 (1.24)
160	9.75 (68.28)	4.89 (32.19)	2.36 (17.74)	1.26 (9.87)	0.65 (4.77)	0.4 (2.6)	0.4 (2.7)	0.3 (2.12)
320	19.22 (140.06)	9.8 (82.24)	4.81 (32.74)	2.47 (18.59)	1.27 (9.45)	0.71 (5.83)	0.5 (3.36)	0.43 (2.86)
640	27.07 (192.96)	13.54 (100.26)	6.88 (49.07)	3.4 (25.93)	1.76 (12.49)	1.02 (7.49)	0.71 (4.81)	0.6 (4.06)
1000	40.83 (388.28)	20.39 (185.96)	10.39 (89.38)	5.09 (43.28)	2.66 (22.78)	1.45 (11.01)	0.93 (6.74)	0.74 (4.86)
2000	42.06 (322.85)	21.15 (166.75)	10.66 (92.68)	5.61 (44.08)	2.92 (23.06)	1.68 (11.71)	1.19 (8.23)	1.05 (6.97)

表 9. AVDD = 3V、AVSS = 0V、内部リファレンス = 2.048V時のノイズ :  $\mu\text{V}_{\text{RMS}}$  ( $\mu\text{V}_{\text{PP}}$ ) 単位

データ・レート (SPS)	PGA設定							
	1	2	4	8	16	32	64	128
5	20.6 (18.1)	20.6 (18.2)	20.5 (18.2)	20.6 (18.2)	20.5 (18.1)	20.4 (17.9)	19.6 (17.2)	18.8 (16.3)
10	20.3 (17.9)	20.2 (17.7)	20.3 (17.7)	20.2 (17.7)	20.1 (17.7)	20.1 (17.6)	19.1 (16.6)	18.3 (15.8)
20	19.8 (17.3)	19.8 (17.3)	19.9 (17.4)	19.8 (17.2)	19.8 (17.2)	19.6 (17)	18.7 (16.1)	17.8 (15.2)
40	19.6 (16.9)	19.7 (17.1)	19.6 (17.0)	19.6 (17)	19.5 (16.8)	19.2 (16.8)	18.2 (15.6)	17.7 (15.2)
80	19.2 (16.5)	19.3 (16.6)	19.1 (16.6)	19.1 (16.5)	19 (16.4)	18.7 (16.3)	17.8 (15.3)	17.2 (14.7)
160	18.7 (15.9)	18.7 (16)	18.7 (15.8)	18.6 (15.7)	18.6 (15.7)	18.3 (15.6)	17.3 (14.5)	16.7 (13.9)
320	17.7 (14.8)	17.7 (14.6)	17.7 (14.9)	17.7 (14.7)	17.6 (14.7)	17.5 (14.4)	17 (14.2)	16.2 (13.4)
640	17.2 (14.4)	17.2 (14.3)	17.2 (14.3)	17.2 (14.3)	17.1 (14.3)	16.9 (14.1)	16.5 (13.7)	15.7 (12.9)
1000	16.6 (13.4)	16.6 (13.4)	16.6 (13.5)	16.6 (13.5)	16.6 (13.5)	16.4 (13.5)	16.1 (13.2)	15.4 (12.7)
2000	16.6 (13.6)	16.6 (13.6)	16.6 (13.4)	16.5 (13.5)	16.4 (13.4)	16.2 (13.4)	15.7 (12.9)	14.9 (12.2)

表 10. AVDD = 3V、AVSS = 0V、内部リファレンス = 2.048V時のRMSノイズ(ピーク・ツー・ピーク・ノイズ)による実効ビット数

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

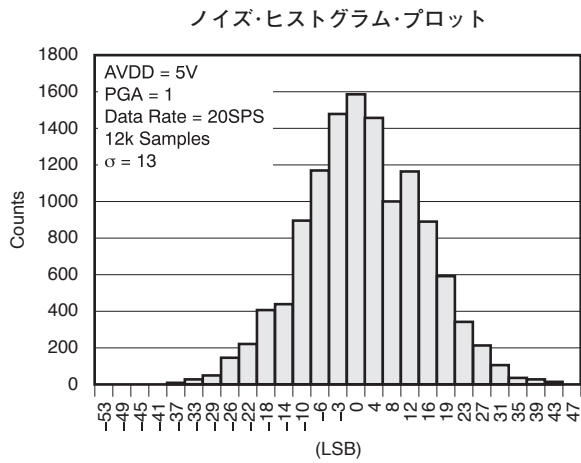


図 5

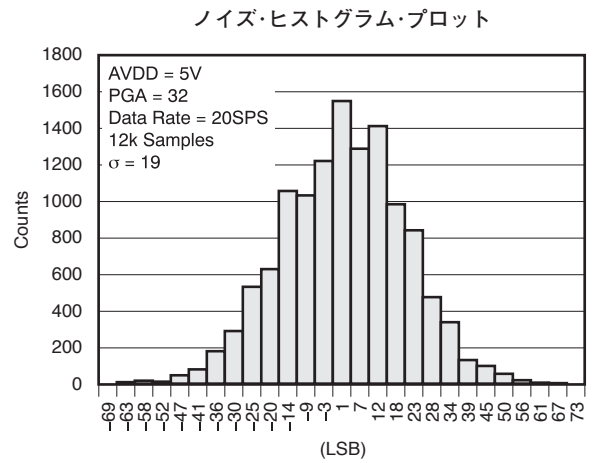


図 6

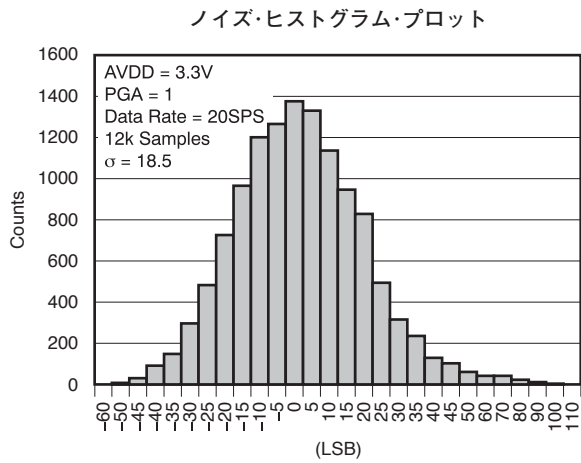


図 7

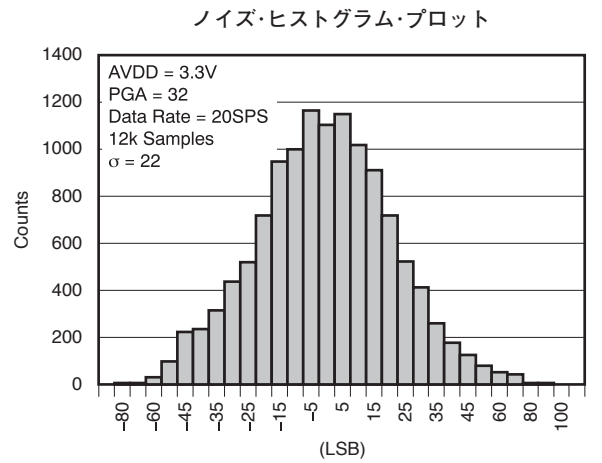


図 8

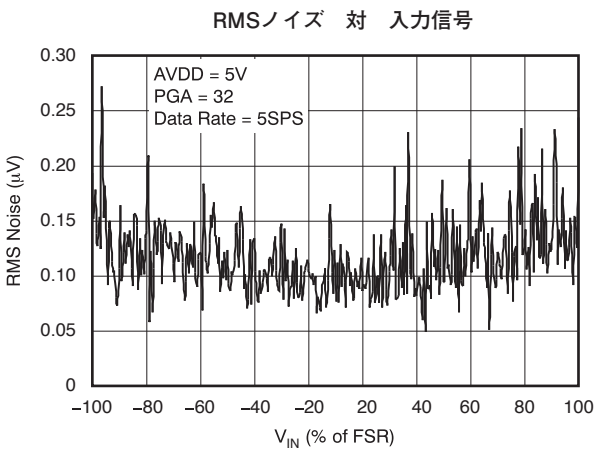


図 9

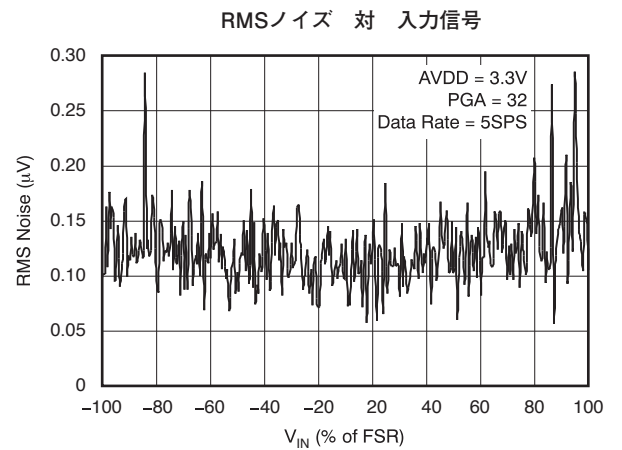


図 10

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

オフセット 対 温度

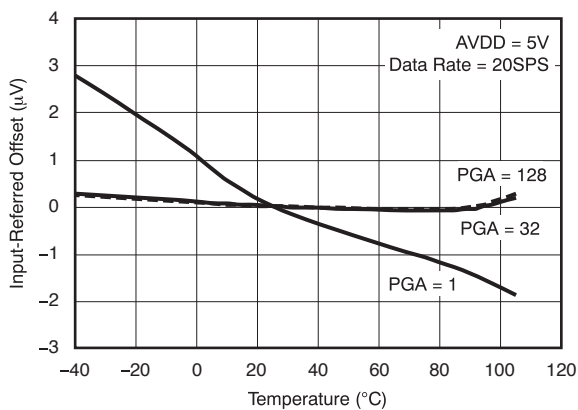


図 11

オフセット 対 温度

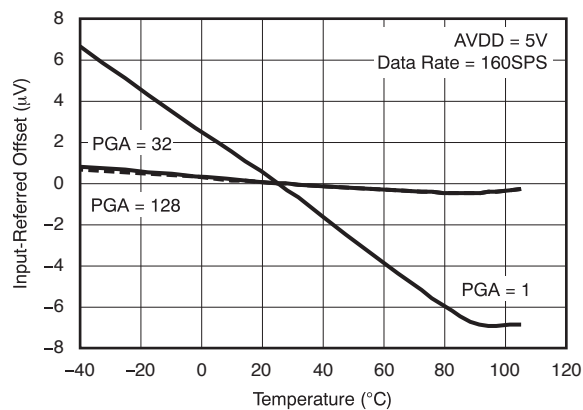


図 12

オフセット 対 温度

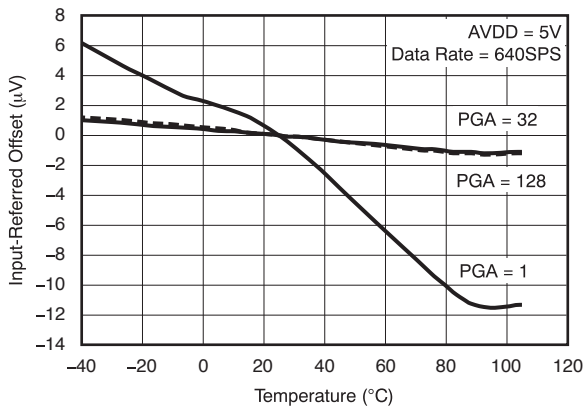


図 13

オフセット 対 温度

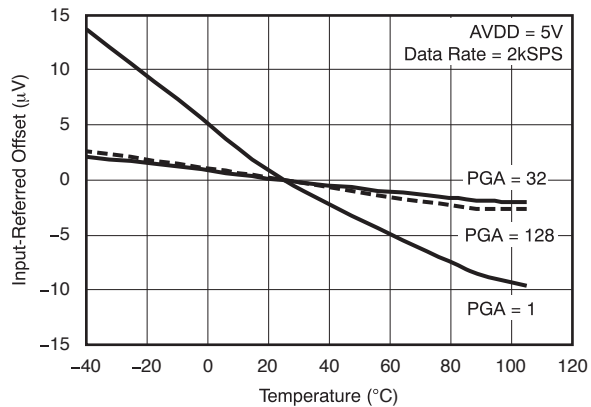


図 14

オフセット 対 温度

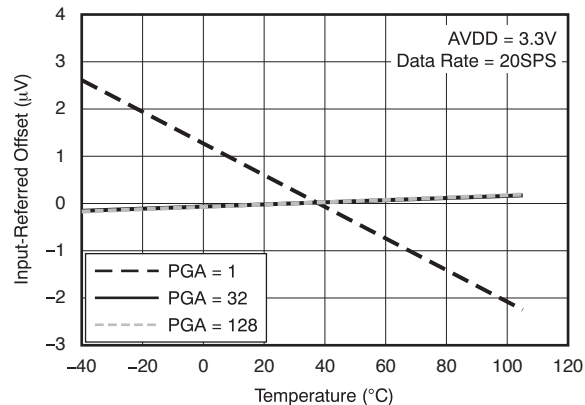


図 15

オフセット 対 温度

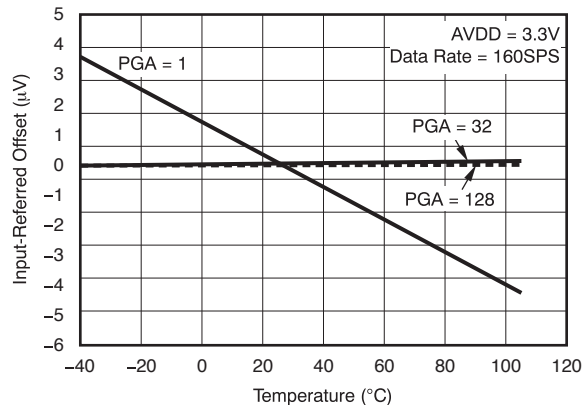


図 16



# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AV_{SS} = 0\text{V}$ です(特に記述のない限り)。

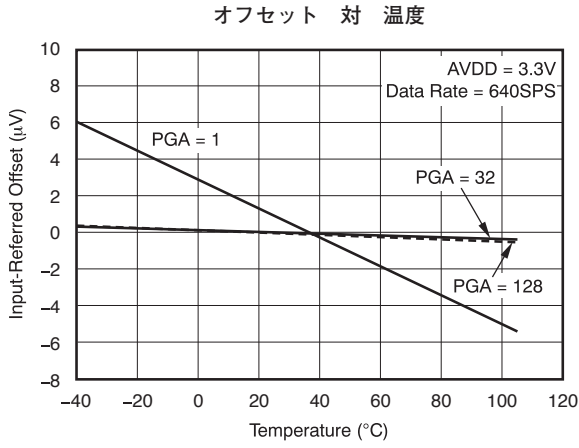


図 17

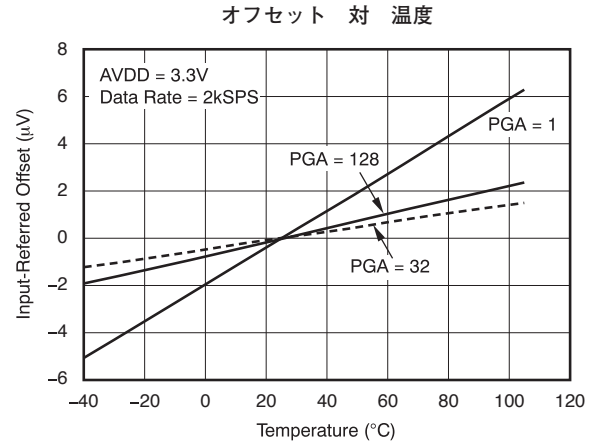


図 18

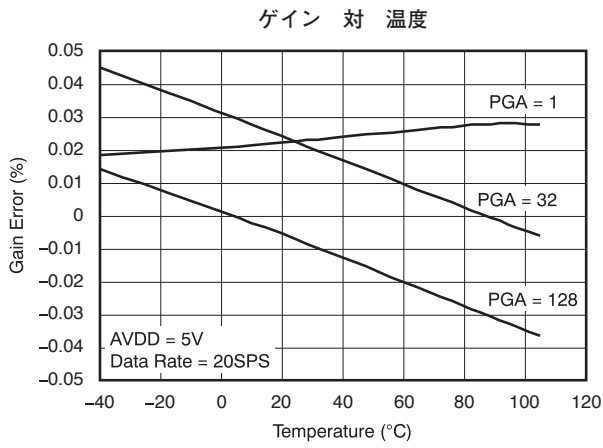


図 19

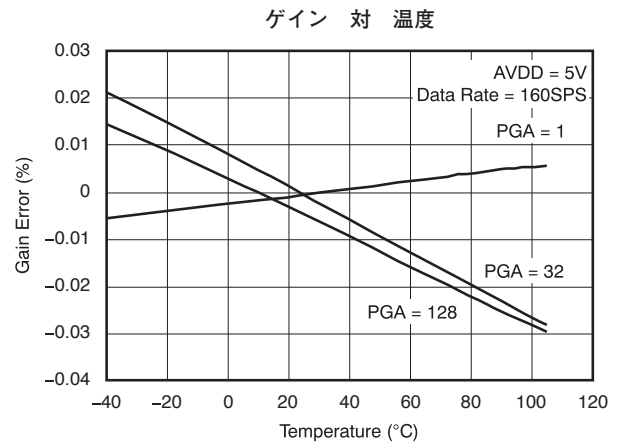


図 20

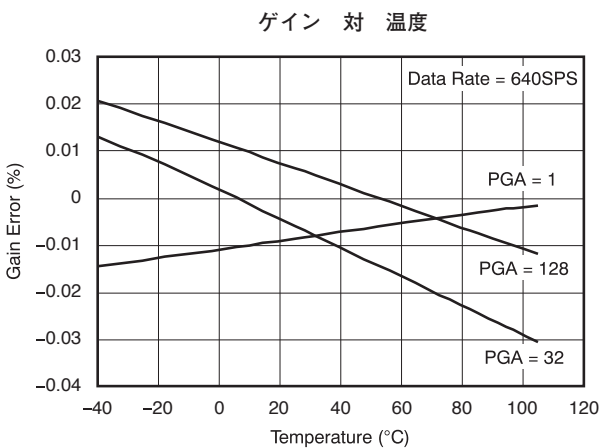


図 21

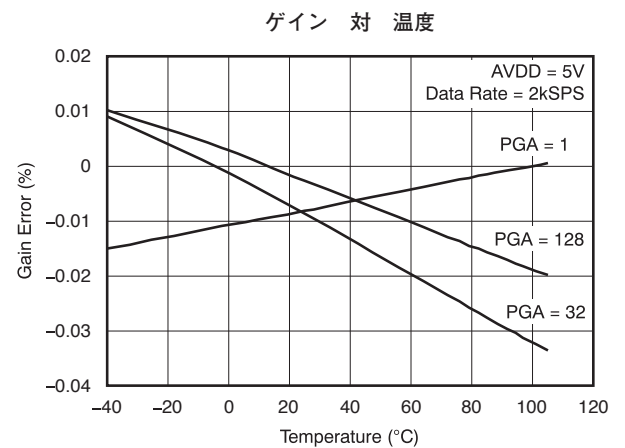


図 22

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

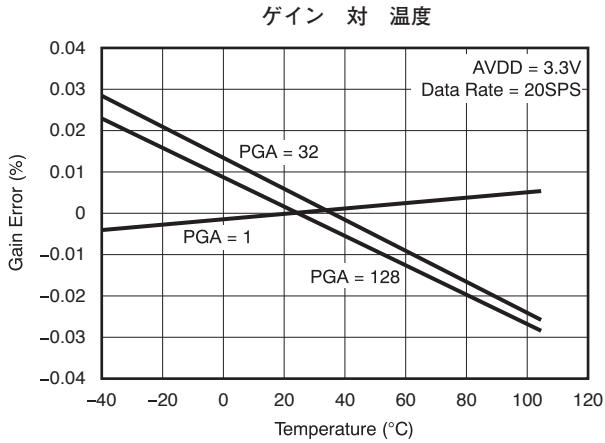


図 23

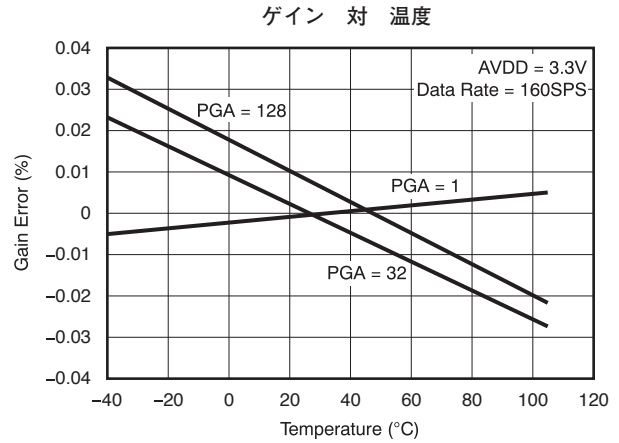


図 24

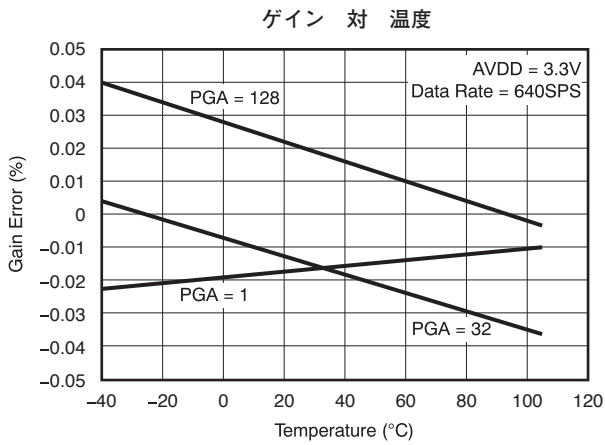


図 25

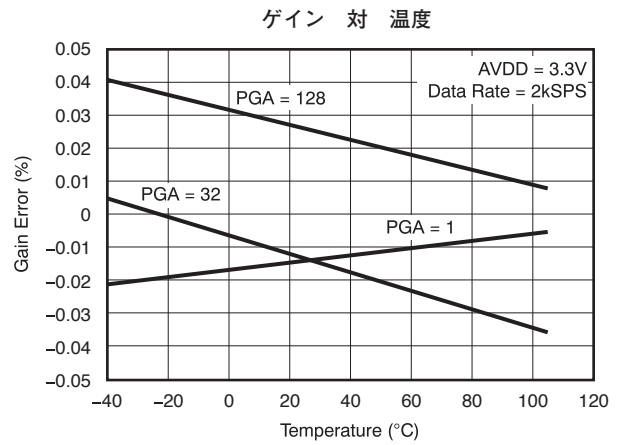


図 26

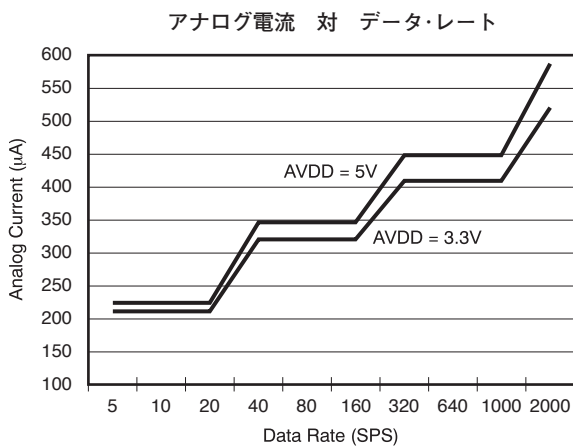


図 27

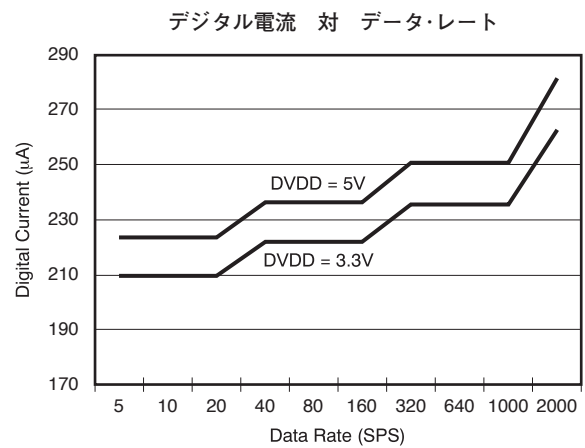


図 28

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

アナログ電流 対 温度

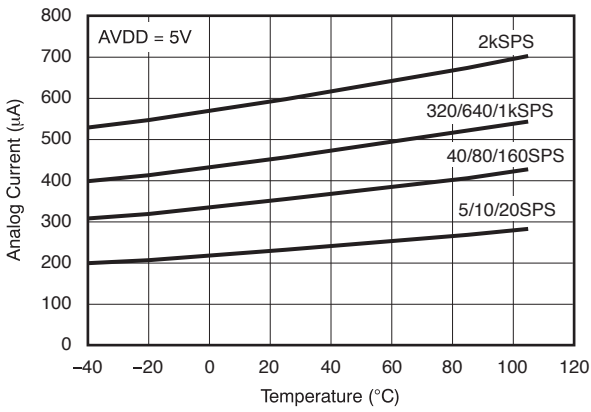


図 29

デジタル電流 対 温度

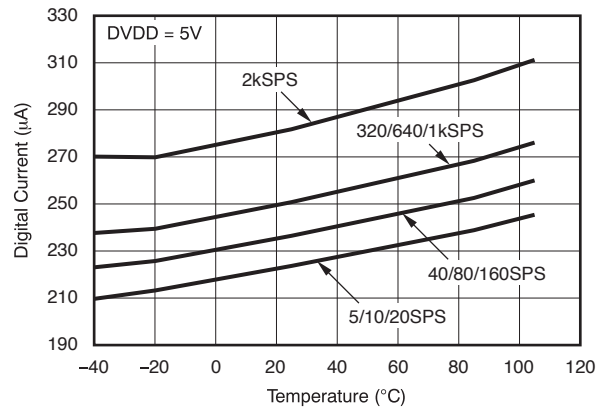


図 30

アナログ電流 対 温度

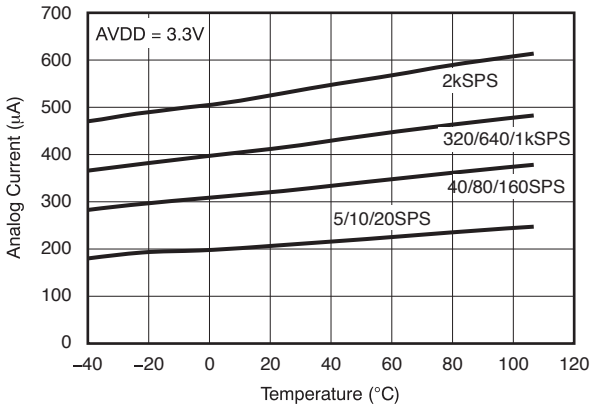


図 31

デジタル電流 対 温度

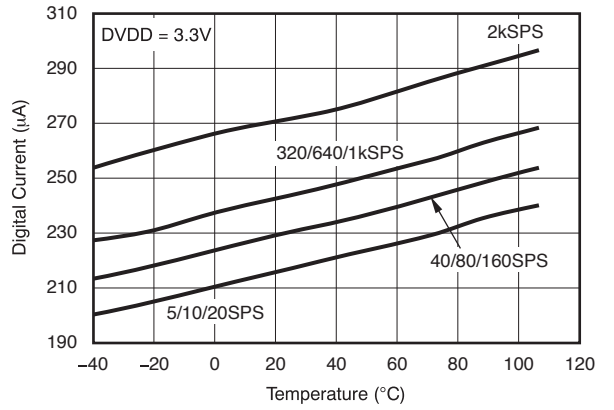


図 32

積分非直線性 対 入力信号

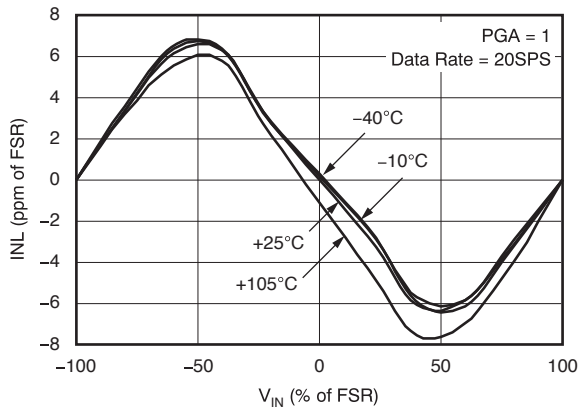


図 33

積分非直線性 対 入力信号

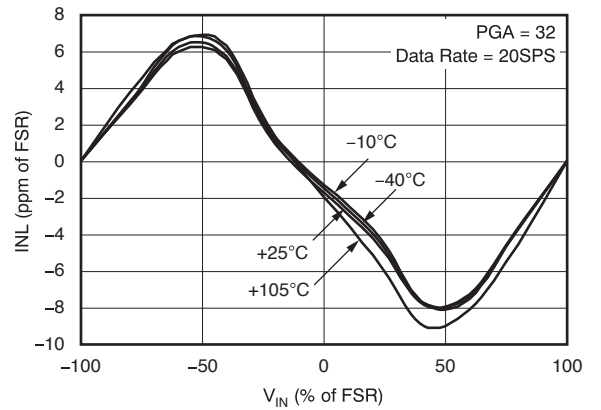


図 34

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

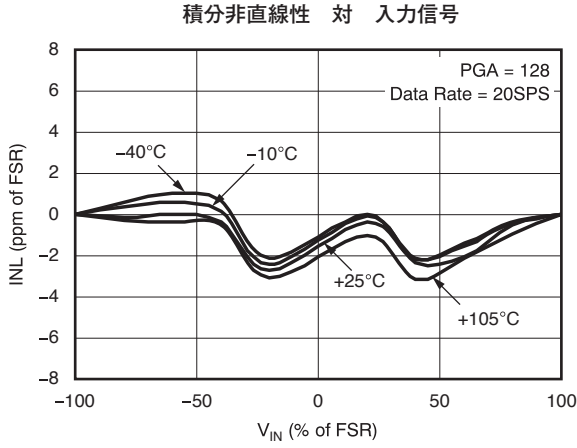


図 35

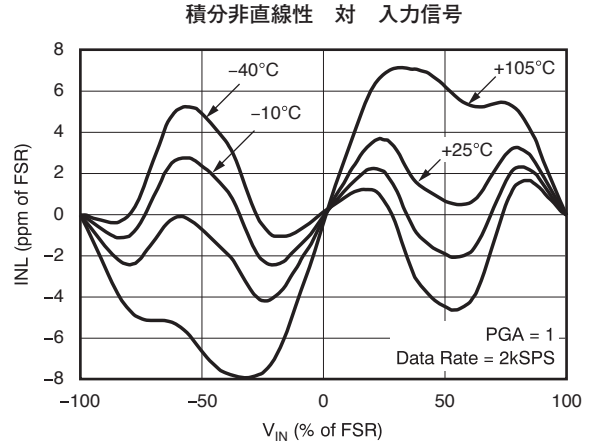


図 36

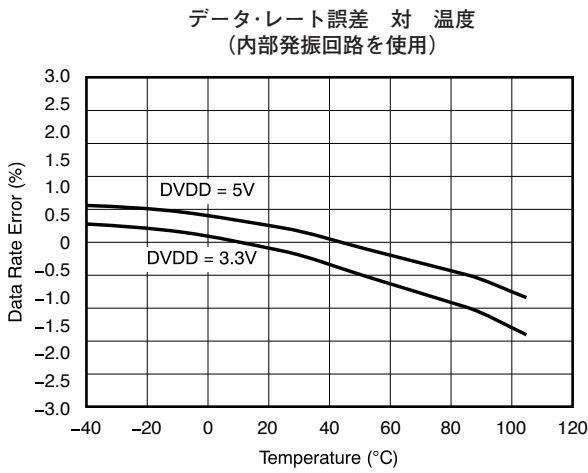


図 37

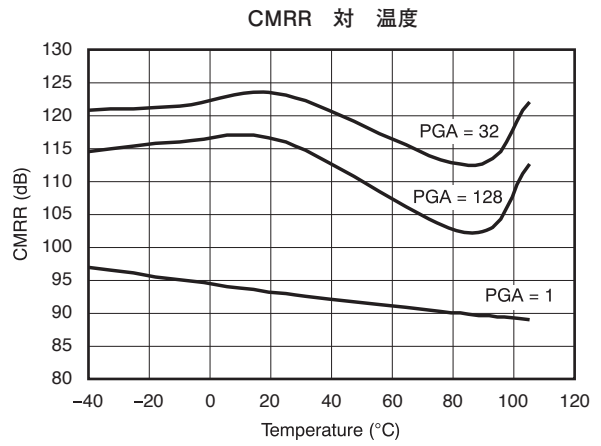


図 38

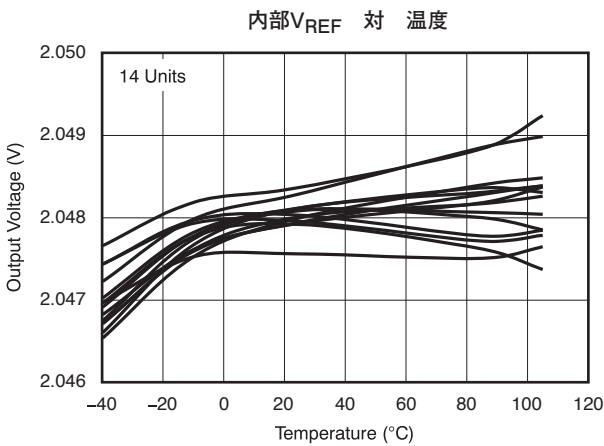


図 39

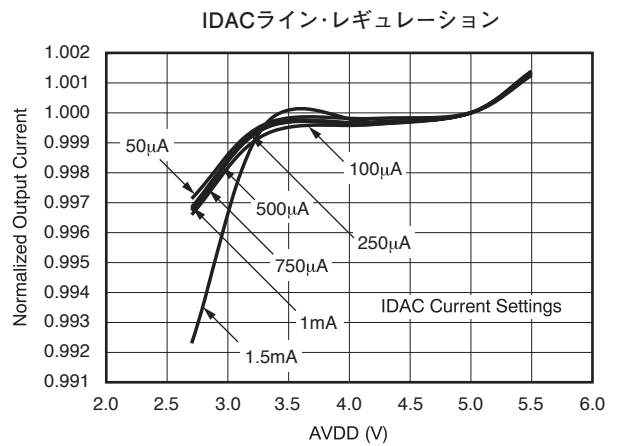


図 40

# 標準的特性

$T_A = +25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $V_{REF} = 2.5\text{V}$ 、 $AVSS = 0\text{V}$ です(特に記述のない限り)。

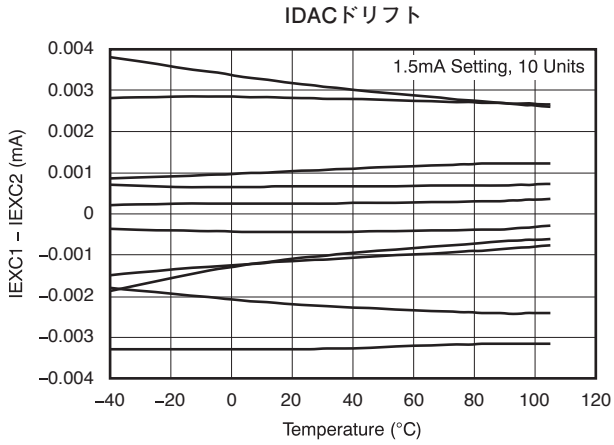


図 41

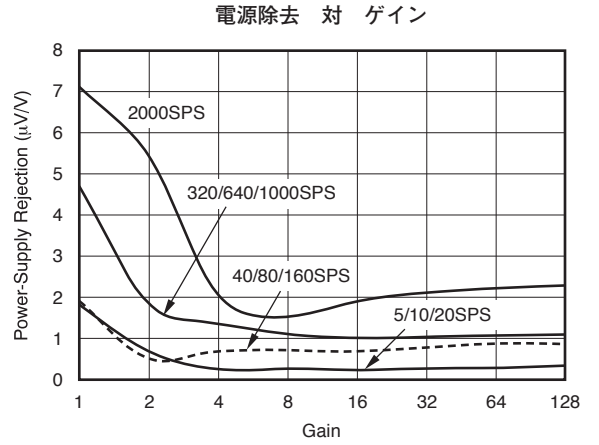


図 42

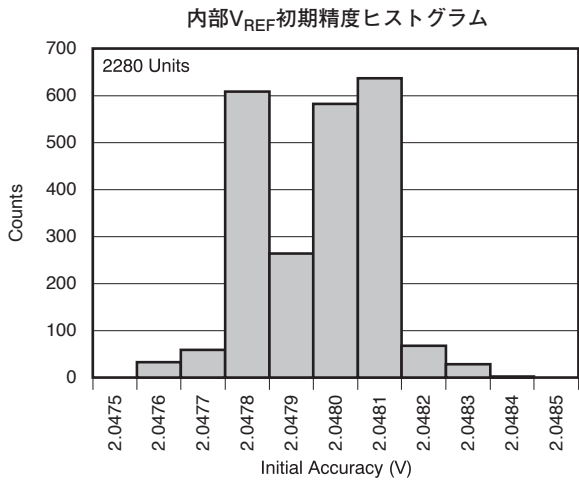


図 43

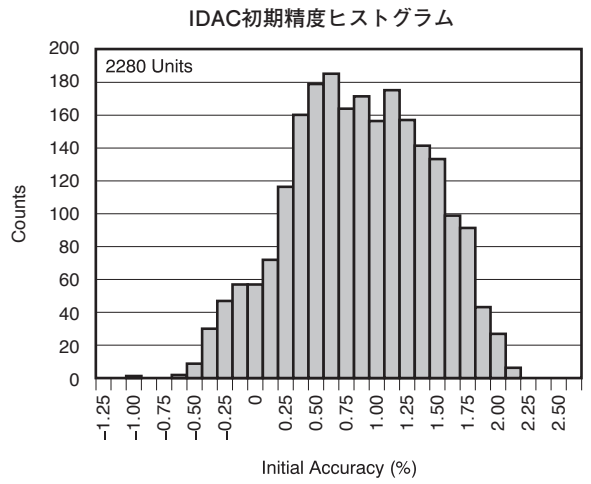


図 44

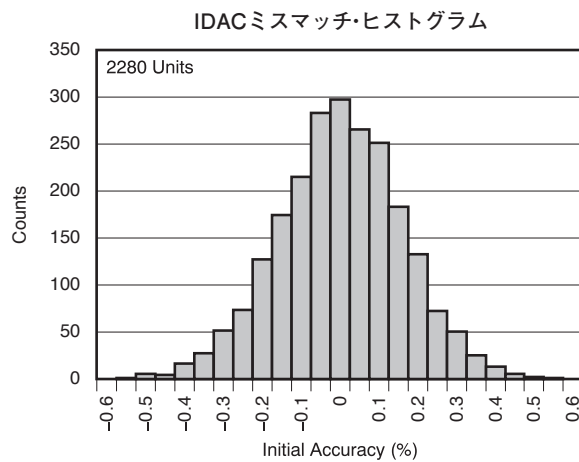


図 45

# 全般説明

## 動作

ADS1246、ADS1247、およびADS1248は、高集積の24ビット・データ・コンバータです。低ノイズ、高インピーダンスのPGA (プログラマブル・ゲイン・アンプ)、1サイクルで安定する調整可能なデジタル・フィルタを備えたデルタ・シグマ ( $\Delta\Sigma$ ) ADC、内部発振回路、および単純で柔軟性の高いSPI互換シリアル・インターフェイスを搭載しています。

ADS1247およびADS1248は、システム監視機能と汎用I/O設定を持つ柔軟な入力マルチプレクサ、超低ドリフトの電圧リファレンス、および2つのマッチングされたセンサ励起用電流源も備えています。各デバイスに含まれるさまざまな機能を図46および図47に示します。

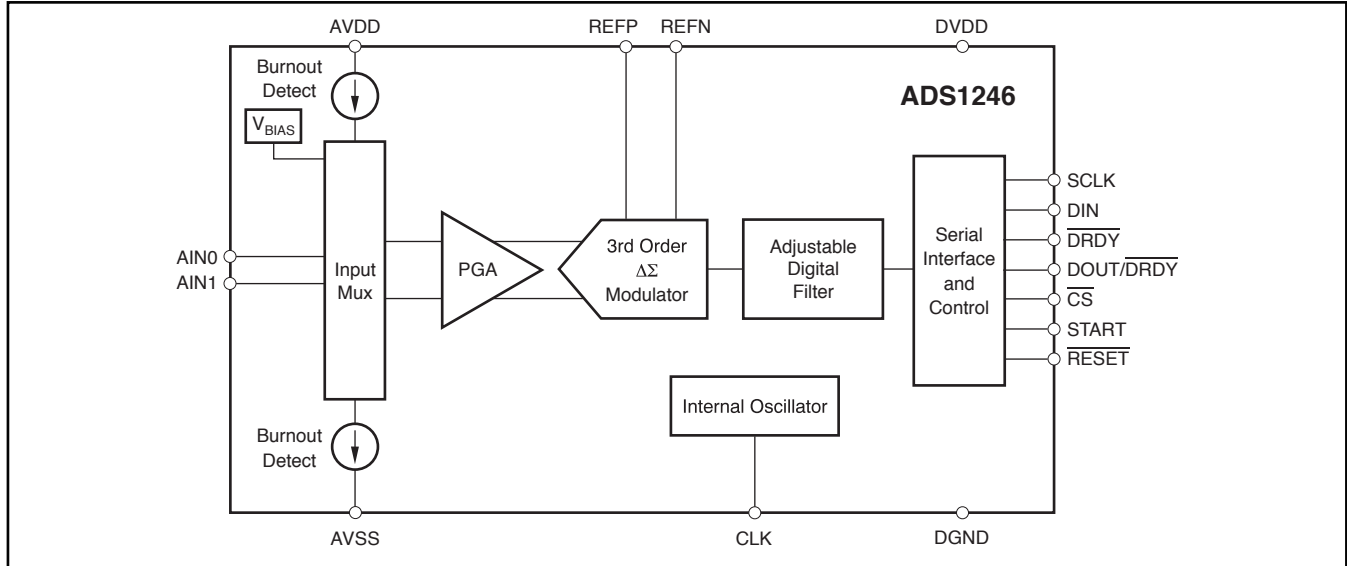


図 46. ADS1246の機能図

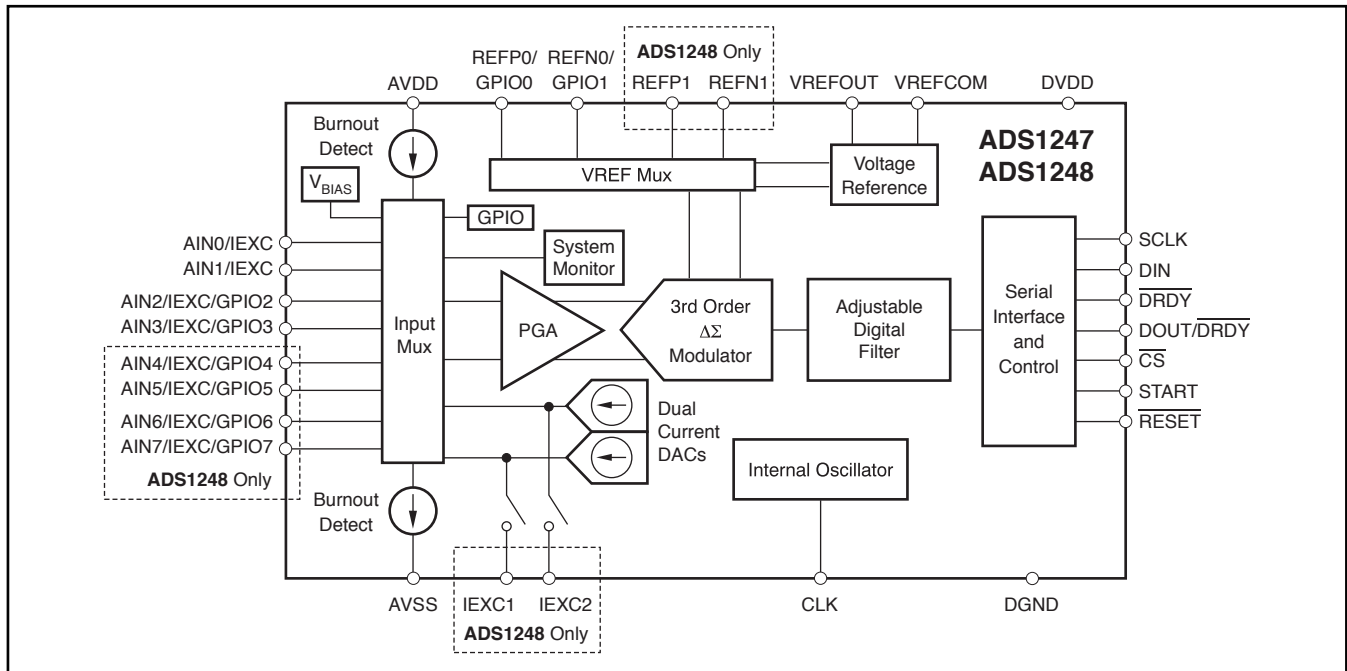


図 47. ADS1247およびADS1248の機能図

## ADC入力およびマルチプレクサ

ADS1246/7/8 ADCは、オンボードPGAを通して入力信号を測定します。すべてのアナログ入力が、アナログ・マルチプレクサ経由で内部のAIN<sub>P</sub>またはAIN<sub>N</sub>アナログ入力に接続されています。図48に、アナログ入力マルチプレクサのブロック図を示します。

入力マルチプレクサは、8つ (ADS1248)、4つ (ADS1247)、または2つ (ADS1246) のアナログ入力に接続されます。これらの入力は、シングルエンド入力、差動入力、またはシングルエンドと差動の組み合わせとして構成できます。また、マルチプレクサにより、特定のチャンネルに対して内蔵励起電流やバイアス電圧を選択できます。

MUX0レジスタを使用して、任意のアナログ入力ピンを正入力または負入力として選択できます。ADS1246/7/8は、完全な差動モードを備えており、入力信号の範囲を-2.5V~+2.5Vに設定できます (AVDD = 2.5V、AVSS = -2.5Vの場合)。

入力マルチプレクサを通して、周囲温度 (内部温度センサ)、AVDD、DVDD、および外部リファレンスのすべてを測定用に選択できます。詳細については、「システム監視」を参照してください。

ADS1247およびADS1248では、アナログ入力を汎用入出力 (GPIO) として構成することもできます。詳細については、「汎用デジタルI/O」を参照してください。

ADC入力は、ESDダイオードによって保護されています。これらのダイオードがオンになるのを防ぐため、式 (2) に示すように、入力ピンの電圧がAVSSを100mV以上下回らず、AVDDを100mV以上上回らないようにしてください。入力をGPIOとして設定した場合にも、同じ注意事項が適用されます。

$$AVSS - 100mV < (AINX) < AVDD + 100mV \quad (2)$$

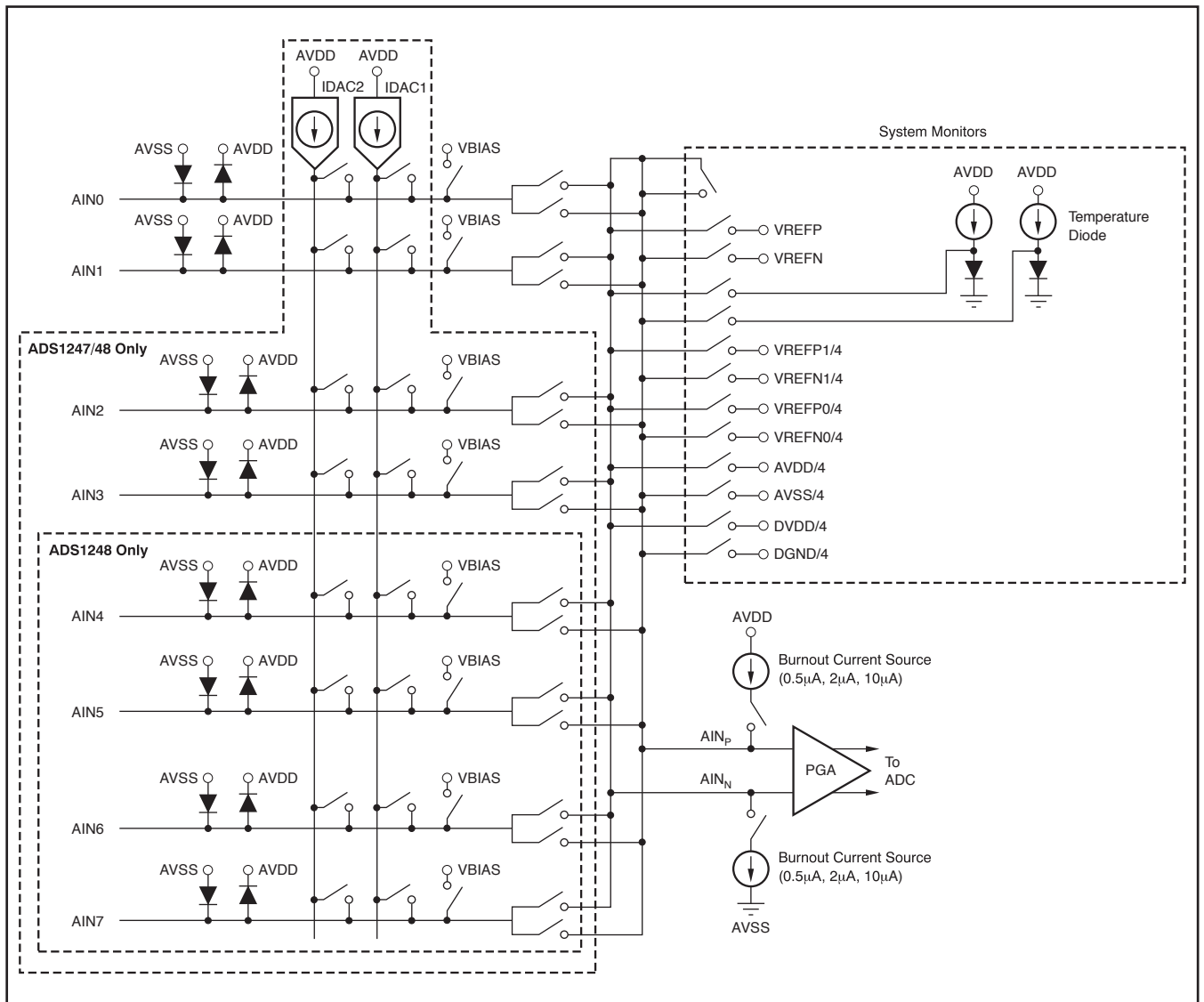


図 48. アナログ入力マルチプレクサ回路

## チャンネル多重化時の安定化時間

ADS1246/7/8は、真の1サイクル安定 $\Delta\Sigma$ コンバータです。変換開始後に取得される最初のデータは完全に安定し、有効なデータとして使用できます。安定化にかかる時間は、データ・レートの逆数にほぼ等しくなります。厳密な時間は、特定のデータ・レートおよび変換開始時に行われた操作に依存します。値については、表20を参照してください。

スイッチング周波数を高くする事により外部のコンデンサとインダクタの値を小さくする事ができます、しかし同時に電力変換効率も低下します。ユーザは効率とソリューション・サイズの妥協点からスイッチング周波数を設定する必要があります。

## アナログ入力インピーダンス

ADS1246/7/8の入力は、 $\Delta\Sigma$ 変調回路に達する前に、高インピーダンスのPGAでバッファリングされます。大半のアプリケーションでは、入力リーク電流が非常に小さいため、無視することができます。ただし、PGAはノイズおよびオフセット性能のためにチョッパで安定化されるため、入力インピーダンスは小さな絶対入力電流として考える必要があります。選択したチャンネルの絶対リーク電流は、選択した変調回路クロックにほぼ比例します。表11に、差動電圧係数によるこれらの電流の標準値および対応する入力インピーダンスをデータ・レート毎に示します。

## 電圧リファレンス入力

ADS1246/7/8の電圧リファレンスは、REFPとREFNの差動電圧です。

$$V_{REF} = V_{REFP} - V_{REFN}$$

ADS1246の場合、これらのピンは専用入力です。ADS1247およびADS1248の場合は、図49に示すように、リファレンス入力を選択するマルチプレクサがあります。リファレンス入力は、バッファを使用して入力インピーダンスを高めています。

アナログ入力と同様に、ADS1247/8ではREFP0およびREFN0をデジタルI/Oとして設定できます。

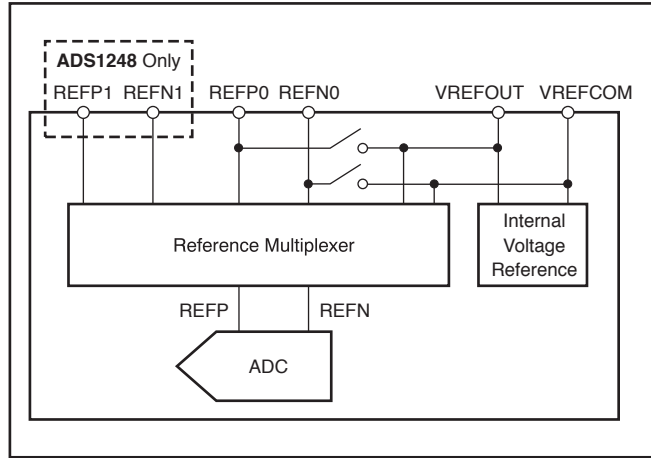


図 49. リファレンス入力マルチプレクサ

リファレンス入力回路には、入力を保護するESDダイオードがあります。これらのダイオードがオンになるのを防ぐため、式 (3) に示すように、リファレンス入力ピンの電圧が $AVSS - 100mV$ を下回らず、 $AVDD + 100mV$ を超えないようにしてください。

$$AVSS - 100mV < (V_{REFP} \text{ or } V_{REFN}) < AVDD + 100mV \quad (3)$$

条件	絶対入力電流	実効入力インピーダンス
DR = 5SPS, 10SPS, 20SPS	$\pm (0.5nA + 0.1nA/V)$	5000M $\Omega$
DR = 40SPS, 80SPS, 160SPS	$\pm (2nA + 0.5nA/V)$	1200M $\Omega$
DR = 320SPS, 640SPS, 1kSPS	$\pm (4nA + 1nA/V)$	600M $\Omega$
DR = 2kSPS	$\pm (8nA + 2nA/V)$	300M $\Omega$

表 11. データ・レート毎のアナログ入力電流の標準値<sup>(1)</sup>

(1)  $V_{CM} = 2.5V$ 時の入力電流。  
 $T_A = +25^\circ C$ 、 $AVDD = 5V$ 、および $AVSS = 0V$ 。



## 低ノイズPGA

ADS1246/7/8は、低ドリフト、低ノイズ、高入力インピーダンスのプログラマブル・ゲイン・アンプ(PGA)を備えています。PGAは、レジスタSYS0によりゲインを1、2、4、8、16、32、64、または128に設定できます。図50に、PGAの概略図を示します。

PGAは、2つのチョップ安定化アンプ(A1およびA2)と、PGAのゲインを設定する抵抗帰還ネットワークで構成されています。PGAの入力には、図50に示すように電磁干渉(EMI)フィルタが備えられています。他のPGAの場合と同様に、入力電圧は電気的特性で指定される同相モード入力範囲内に保持してください。同相モード入力( $V_{CMI}$ )は、式(4)で示される範囲内に収まる必要があります。

$$\left( AVSS + 0.1V + \frac{(V_{IN})(Gain)}{2} \right) \leq V_{CMI} \leq \left( AVDD - 0.1V - \frac{(V_{IN})(Gain)}{2} \right) \quad (4)$$

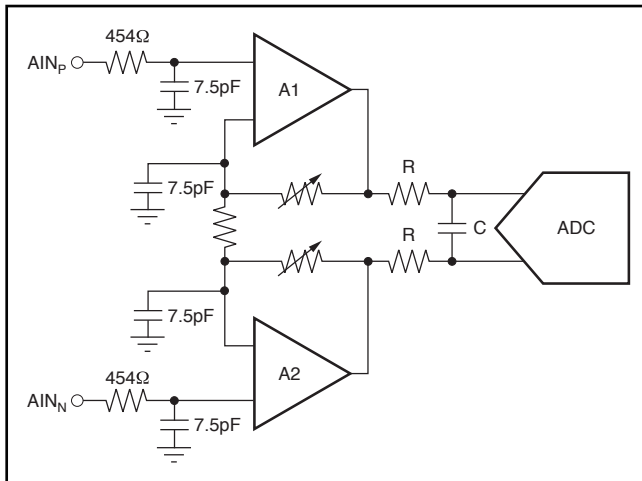


図 50. PGAの概略図

## 変調回路

ADS1246/7/8には、3次変調回路が使用されています。この変調回路は、アナログ入力電圧をPCM(パルス・コード変調)データ・ストリームへと変換します。電力節減のため、変調回路のクロックは、表12に示すように、異なるデータ・レートに対して32kHz~512kHzの範囲で動作します。

データ・レート (SPS)	$f_{MOD}$ (kHz)
5, 10, 20	32
40, 80, 160	128
320, 640, 1000	256
2000	512

表 12. 異なるデータ・レートに対する変調回路クロック周波数

## デジタル・フィルタ

ADS1246/7/8では、異なる出力データ・レートに対して調整可能な、リニア・フェーズの有限インパルス応答(FIR)デジタル・フィルタが使用されています。このデジタル・フィルタは、常に1サイクルで安定します。

表13に、4.096MHzの外部発振回路を使用したときの厳密なデータ・レートを示します。また、信号の-3dB帯域幅と、50Hzおよび60Hzの減衰も示します。50Hzまたは60Hzの除去を高めるには、20SPS以下のデータ・レートを使用します。

デジタル・フィルタの周波数応答を図51~図61に示します。図54は、20SPSのデータ・レートに対する48Hz~62Hzのフィルタ周波数応答の詳細図です。フィルタのプロットは、すべて4.096MHzの外部クロックで生成されています。

公称データ・レート	実際のデータ・レート	-3dB帯域幅	減衰量			
			$f_{IN} = 50Hz \pm 0.3Hz$	$f_{IN} = 60Hz \pm 0.3Hz$	$f_{IN} = 50Hz \pm 1Hz$	$f_{IN} = 60Hz \pm 1Hz$
5SPS	5.018SPS	2.26Hz	-106dB	-74dB	-81dB	-69dB
10SPS	10.037SPS	4.76Hz	-106dB	-74dB	-80dB	-69dB
20SPS	20.075SPS	14.8Hz	-71dB	-74dB	-66dB	-68dB
40SPS	40.15SPS	9.03Hz				
80SPS	80.301SPS	19.8Hz				
160SPS	160.6SPS	118Hz				
320SPS	321.608SPS	154Hz				
640SPS	643.21SPS	495Hz				
1000SPS	1000SPS	732Hz				
2000SPS	2000SPS	1465Hz				

表 13. デジタル・フィルタの仕様<sup>(1)</sup>

(1)  $f_{OSC} = 4.096MHz$ のときの値です。

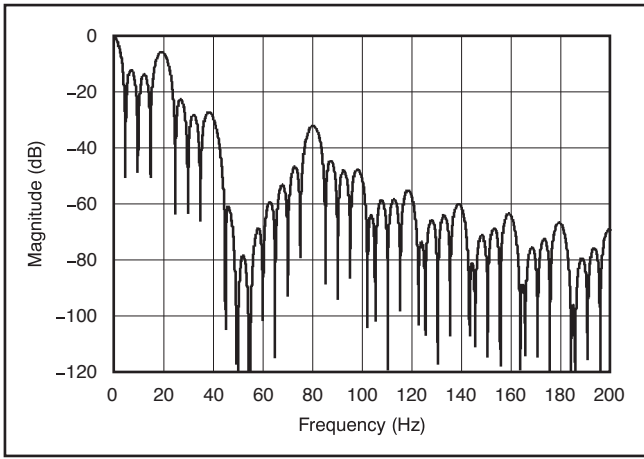


図 51. データ・レート = 5SPSでのフィルタ・プロファイル

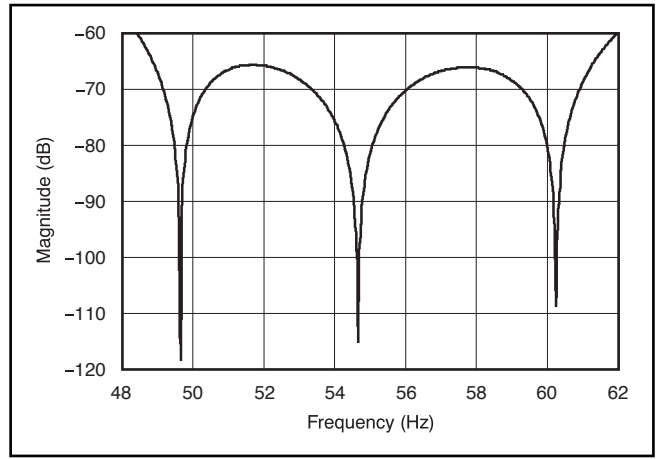


図 54. データ・レート = 20SPSでのフィルタ・プロファイルの詳細 : 48Hz~62Hz

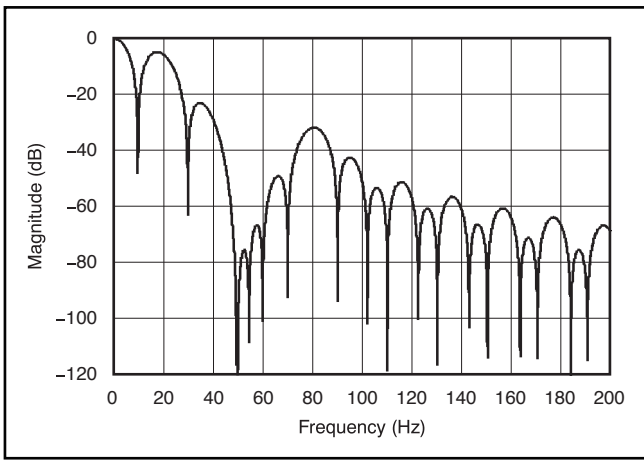


図 52. データ・レート = 10SPSでのフィルタ・プロファイル

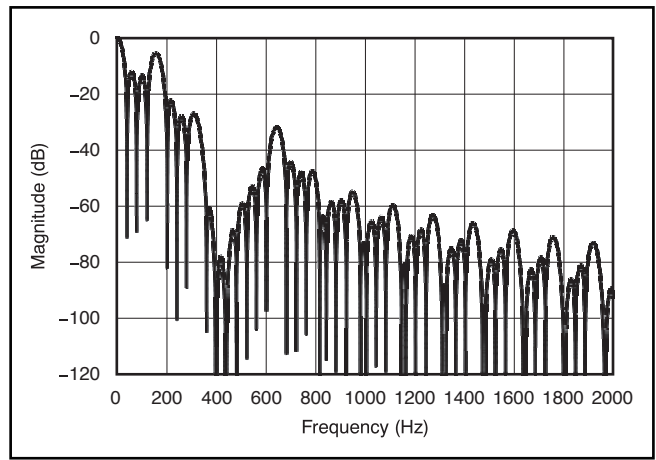


図 55. データ・レート = 40SPSでのフィルタ・プロファイル

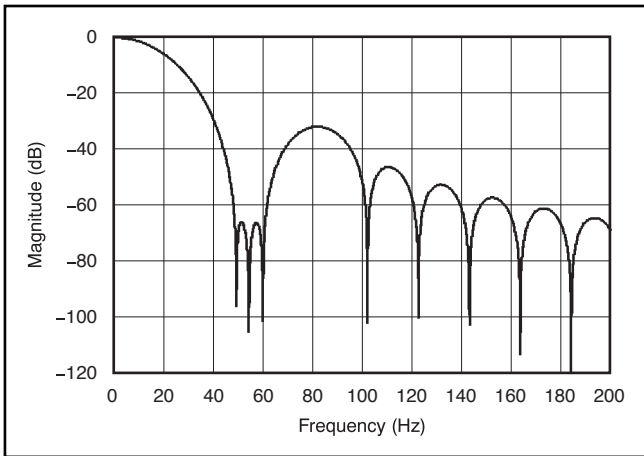


図 53. データ・レート = 20SPSでのフィルタ・プロファイル

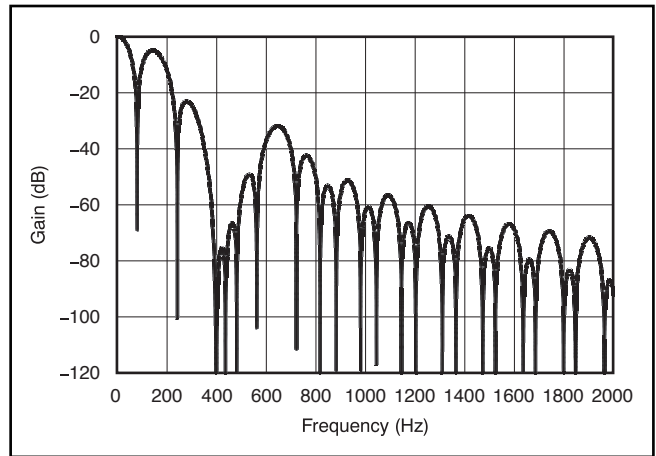


図 56. データ・レート = 80SPSでのフィルタ・プロファイル

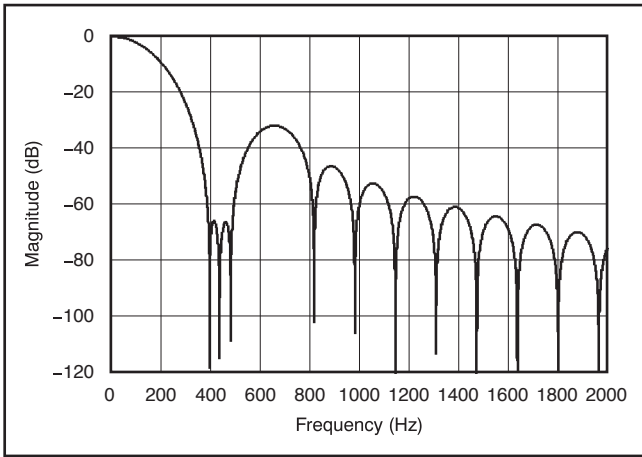


図 57. データ・レート = 160SPSでのフィルタ・プロファイル

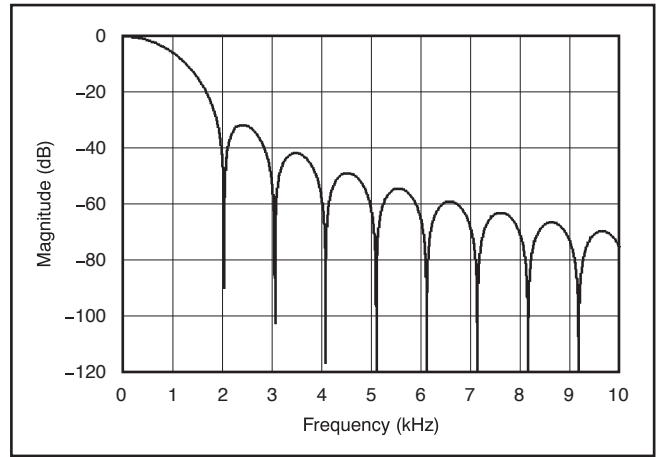


図 60. データ・レート = 1kSPSでのフィルタ・プロファイル

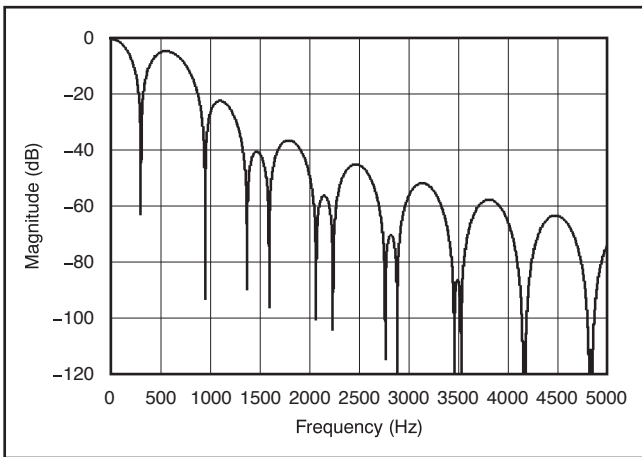


図 58. データ・レート = 320SPSでのフィルタ・プロファイル

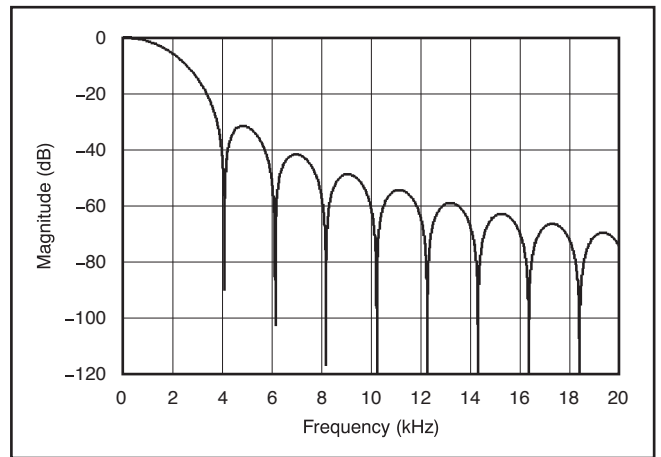


図 61. データ・レート = 2kSPSでのフィルタ・プロファイル

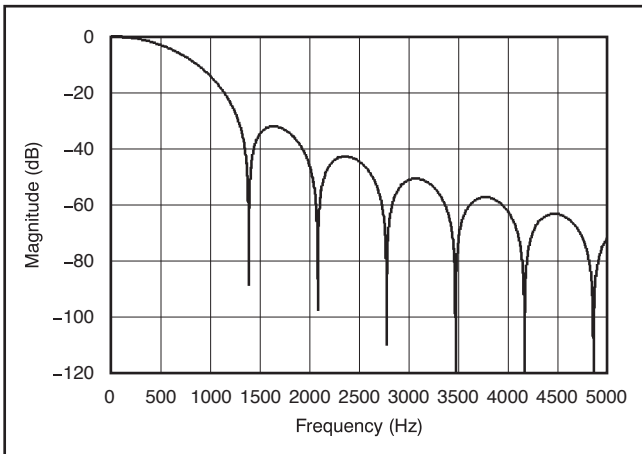


図 59. データ・レート = 640SPSでのフィルタ・プロファイル

## クロック・ソース

ADS1246/7/8では、内部発振回路または外部クロックを使用できます。内部発振回路を動作させる場合は、パワーオンまたはリセットの前に、CLKピンをDGNDに接続します。任意の時点でCLKピンに外部クロックを接続すると、内部発振回路が停止し、デバイスは外部クロックで動作します。デバイスが外部クロックに切り替わった後は、電源再起動またはリセットを行うまで、内部発振回路に戻すことはできません。

## 内部電圧リファレンス

ADS1247/8には、温度係数の低いオンボード電圧リファレンスが搭載されています。電圧リファレンスの出力は2.048Vであり、最大10mAの電流のソースとシンクの両方が可能です。

電圧リファレンスを使用するには、VREFOUTとVREFCOMの間にコンデンサを接続する必要があります。容量は1 $\mu$ F～47 $\mu$ Fの値を使用します。容量値を大きくするとリファレンスのフィルタリング性能が向上しますが、表14に示すように、起動時間が長くなります。安定性を高めるため、VREFCOMでは、GND (0V～5Vのアナログ電源の場合)やAVSS( $\pm$ 2.5Vのアナログ電源の場合)などのACグラウンド・ノードとの間のインピーダンスが10 $\Omega$ 未満となるようにする必要があります。このインピーダンスが10 $\Omega$ より高い場合には、0.1 $\mu$ F以上のコンデンサをVREFCOMとACグラウンド・ノード(GNDなど)の間に接続する必要があります。電圧リファレンスが最終電圧に安定するまでには時間がかかるため、変換と変換の合間にデバイスをオフにする場合には注意が必要です。内部リファレンスが完全に安定するまで十分な時間を取ってください。

VREFOUT コンデンサ	安定化誤差	安定化誤差に 達するまでの時間
1 $\mu$ F	$\pm$ 0.5%	70 $\mu$ s
	$\pm$ 0.1%	110 $\mu$ s
4.7 $\mu$ F	$\pm$ 0.5%	290 $\mu$ s
	$\pm$ 0.1%	375 $\mu$ s
47 $\mu$ F	$\pm$ 0.5%	2.2ms
	$\pm$ 0.1%	2.4ms

表 14. 内部リファレンスの安定化時間

内部リファレンスはレジスタによって制御されます。デフォルトでは、起動後はオフになっています（詳細については、「ADS1247/ADS1248の詳細レジスタ定義」を参照してください）。したがって、内部リファレンスは最初にオンにしてから、内部リファレンス・マルチプレクサ経由で接続する必要があります。内部リファレンスは、励起電流源に対する電圧リファレンスの生成に使用されるため、励起電流の供給前にオンになっている必要があります。

## 励起電流源DAC

ADS1247/8は、RTDアプリケーションに対して2つのマッチングされた励起電流源を提供します。3線式または4線式のRTDアプリケーションに対しては、マッチングされた電流源を使用することで、センサ・リード抵抗によって生じる誤差を相殺できます。DACの電流源出力電流は、50 $\mu$ A、100 $\mu$ A、250 $\mu$ A、500 $\mu$ A、750 $\mu$ A、1000 $\mu$ A、または1500 $\mu$ Aに設定できます。

2つのマッチングされた電流源は、専用の電流出力ピンIOUT1およびIOUT2(ADS1248のみ)に接続するか、または任意のAINピン(ADS1247/48)に接続できます。詳細については、「ADS1247/ADS124748の詳細レジスタ定義」を参照してください。両方の電流源を同じピンに接続することも可能です。励起電流源DACを使用するときには、内部リファレンスがオンで、適切に補償されている必要があります。

## センサ検出

ADS1246/7/8では、センサの誤動作を検出するために選択可能な電流 (0.5 $\mu$ A、2 $\mu$ A、または10 $\mu$ A) が用意されています。

イネーブルにすると、2つのバーンアウト電流が、選択したアナログ入力のパラを通過してセンサへと流れます。一方は正入力チャンネルに電流をソースし、もう一方は負入力チャンネルから同じ電流をシンクします。

バーンアウト電流がイネーブルの場合、フルスケールの読み取り値は、フロントエンド・センサがオープンになっているか、またはセンサの過負荷状態を示している可能性があります。また、リファレンス電圧が供給されていないことを示す場合もあります。読み取り値がゼロに近い場合は、センサが短絡している可能性があります。

## バイアス電圧の生成

非接地の熱電対で使用するために、選択可能なバイアス電圧が用意されています。バイアス電圧は (AVDD + AVSS)/2であり、内部の入力マルチプレクサを通して任意のアナログ入力チャンネルに印加できます。異なるセンサ容量に対するバイアス電圧の起動時間を表15に示します。

センサ容量	安定化時間
0.1 $\mu$ F	220 $\mu$ s
1 $\mu$ F	2.2ms
10 $\mu$ F	22ms
200 $\mu$ F	450ms

表 15. バイアス電圧の安定化時間

## 汎用デジタルI/O

アナログ入力または汎用デジタル入出力 (GPIO) という2つの目的に使用できるピンが、ADS1248に8本、ADS1247に4本用意されています。

これらの機能がどのように1本のピンに結合されているかを図62に示します。このピンをGPIOとして設定した場合、対応するロジックはAVDDおよびAVSSから電源が供給されます。ADS1247/8がバイポーラ・アナログ電源で動作している場合、GPIOはバイポーラ電圧を出力します。大きな電流が流れるとアナログ電源に電圧低下やノイズが発生する可能性があるため、GPIOピンへの負荷には注意が必要です。

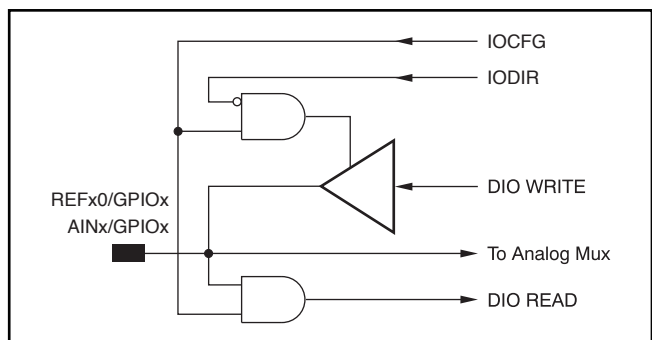


図 62. アナログ/データ・インターフェイス・ピン

## システム監視

ADS1247およびADS1248には、システム監視機能があります。この機能は、アナログ電源、デジタル電源、外部電圧リファレンス、または周囲温度を測定できます。システム監視機能で得られるのはおおまかな結果であることに注意してください。システム監視をイネーブルにすると、アナログ入力は接続が解除されます。

## 電源監視

システム監視機能により、アナログまたはデジタル電源を測定できます。電源を測定する場合、結果として得られる変換結果は、実際の電源電圧の約1/4です。

$$\text{変換結果} = (V_{SP}/4)/V_{REF} \quad (5)$$

ここで $V_{SP}$ は、選択した測定対象の電源です。

## 外部電圧リファレンス監視

ADS1246/7/8では、外部リファレンス電圧の測定も選択できます。この構成では、監視対象の外部電圧リファレンスがアナログ入力に接続されます。結果(変換コード)は、実際のリファレンス電圧の約1/4です。

$$\text{変換結果} = (V_{REX}/4)/V_{REF} \quad (6)$$

ここで $V_{REX}$ は、監視対象の外部リファレンスです。

注：システム監視を使用して外部リファレンス電圧を測定する場合は、内部リファレンス電圧をイネーブルにしておく必要があります。

## 周囲温度監視

温度センサ機能は、内蔵のダイオードを利用して実現されます。温度監視機能を選択すると、2個のダイオードのアノードがADCに接続されます。一般に、ダイオード電圧の差は、+25°Cで118mVです(温度係数 = 405 $\mu$ V/°C)。

オンボード温度監視が選択されると、PGAは自動的に“1”に設定されます。ただし、PGAレジスタ・ビットは影響を受けず、温度監視がオフになるとPGAは設定値に戻ります。

## 校正

最終出力コードを生成する前に、変換データはオフセット・レジスタとゲイン・レジスタによって補正されます。図63に示すように、デジタル・フィルタの出力は最初にオフセット・レジスタ(OSC)によって減算された後、フルスケール・レジスタ(FSC)によって乗算されます。デジタル・クリッピング回路により、出力コードは24ビットを超えないようになっています。この補正は式(7)で表されます。

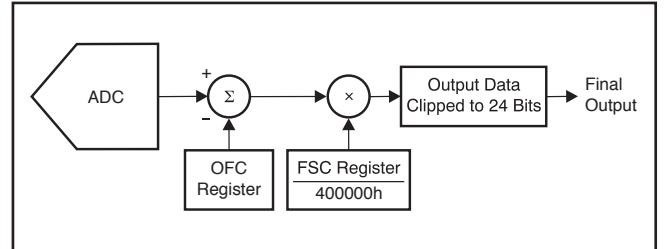


図 63. 校正のブロック図

$$\text{最終出力データ} = (\text{入力} - \text{OFC}[2:0]) \times \frac{\text{FSC}[2:0]}{400000h} \quad (7)$$

オフセット・レジスタとフルスケール・レジスタの値は、レジスタに直接書き込んで設定するか、または校正コマンドによって自動的に設定されます。

## オフセット校正レジスタ：OFC[2:0]

オフセット校正は、24ビット・ワードであり、3つの8ビット・レジスタから構成されます。オフセットは2の補数形式で、正の最大値が7FFFFFFh、負の最大値が800000hです。この値が変換データから減算されます。レジスタ値が000000hの場合、オフセット補正は行われません。オフセット校正レジスタ値は-FS~+FSの範囲でオフセットを補正できますが(表16を参照)、アナログ入力が過負荷にならないよう注意してください。

オフセット・レジスタ	$V_{IN} = 0$ での最終出力コード
7FFFFFFh	800000h
000001h	FFFFFFh
000000h	000000h
FFFFFFFh	000001h
800000h	7FFFFFFh

表 16. オフセット校正レジスタの設定値と最終出力コードの関係

(1) ノイズおよび固有のオフセット誤差の影響は除外しています。

## フルスケール校正レジスタ：FSC[2:0]

フルスケール校正（ゲイン校正）は、24ビット・ワードであり、3つの8ビット・レジスタから構成されます。フルスケール校正値は24ビットのストレート・バイナリであり、コード400000hで1.0に正規化されています。表17に、フルスケール・レジスタによる補正値を示します。フルスケール校正レジスタは1より大きいゲイン誤差（ゲイン係数が1未満）を補正できますが、アナログ入力が増幅にならないよう注意してください。FSCのデフォルトまたはリセット値は、PGA設定に依存します。各PGA設定に対して異なる出荷時調整FSCリセット値が格納されているため、ADS1246/7/8のすべての入力範囲にわたって優れたゲイン精度が得られます。

注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

フルスケール・レジスタ	ゲイン係数
800000h	2.0
400000h	1.0
200000h	0.5
000000h	0

表 17. フルスケール校正レジスタの設定値とゲイン補正係数の関係

## 校正コマンド

ADS1246/7/8には、3種類の校正用コマンドがあります。システム・ゲイン校正、システム・オフセット校正、および自己オフセット校正です。絶対精度が必要な場合には、パワーオン後、温度の変化後、PGAの変更後、および場合によってはチャンネルの変更後に、校正を行うことを推奨します。校正が完了すると、DRDY信号が“Low”になって校正の完了を示します。校正後の最初のデータは、常に有効です。校正コマンド後にSTARTピンを“Low”にするかSLEEPコマンドを実行すると、デバイスは校正の完了後にスリープに入ります。

## システム・ゲイン校正

システム・ゲイン校正は、信号パスのゲイン誤差を補正します。システム・ゲイン校正は、選択したアナログ入力にフルスケール入力を印加しながらSYSGCALコマンドを送信することによって開始されます。その後、フルスケール校正レジスタ（FSC）が更新されます。システム・ゲイン校正コマンドが実行されると、ADS1246/7/8は現在の変換を停止して、直ちに校正手順を開始します。

## システム・オフセットおよび自己オフセット校正

システム・オフセット校正は、内部オフセット誤差と外部オフセット誤差の両方を補正します。システム・オフセット校正は、選択したアナログ入力にゼロ差動入力（ $V_{IN} = 0$ ）を印加しながらSYSGOCALコマンドを送信することによって開始され

ます。自己オフセット校正は、SELFOCALコマンドの送信によって開始されます。自己オフセット校正中は、選択した入力が増幅回路から切断され、内部でゼロ差動信号が印加されます。どちらのオフセット校正の場合も、オフセット校正レジスタ（OFC）が後で更新されます。いずれかのオフセット校正コマンドが実行されると、ADS1246/7/8は現在の変換を停止して、直ちに校正手順を開始します。

## 校正タイミング

校正が開始されると、デバイスは連続して16回のデータ変換を実行し、それらの結果を平均して校正値を計算します。それによって、より正確な校正値が得られます。校正に必要な時間を表18に示します。これは、式（8）で計算できます。

$$\text{校正時間} = \frac{50}{f_{\text{OSC}}} + \frac{32}{f_{\text{MOD}}} + \frac{16}{f_{\text{DATA}}} \quad (8)$$

データ・レート（SPS）	校正時間（ms）
5	3201.01
10	1601.01
20	801.012
40	400.26
80	200.26
160	100.14
320	50.14
640	25.14
1000	16.14
2000	8.07

表 18. 各データ・レートでの校正時間

(1)  $f_{\text{osc}} = 4.096\text{MHz}$ の場合。

## ADCのパワーアップ

DVDDがプルアップされると、内部のパワーオン・リセット・モジュールから生成されるパルスによって、すべてのデジタル回路がリセットされます。アナログ回路および内部デジタル電源が安定する時間を確保するため、すべてのデジタル回路は $2^{16}$ システム・クロックにわたってリセット状態に保持されます。内部リセットが解除されるまで、SPI通信は実行できません。

## ADCスリープ・モード

ADS1246/7/8をスリープ・モードにすると、消費電力が劇的に低下します。デバイスをスリープ・モードにするには、2つの方法があります。スリープ・コマンド（SLEEP）による方法と、STARTピンを使用した方法です。

スリープ・モード中は、内部リファレンス状態がMUX1レジスタのVREFCONビットの設定に依存します。詳細については、「レジスタ説明」を参照してください。



## ADC制御

### ADC変換制御

STARTピンを使用して、変換を簡単かつ精密に制御できます。図64および表19に示すように、STARTピンを“High”にすると変換が開始されます。変換の完了は、DOUT/DRDYピンが“Low”になることで示されます。変換が完了すると、ADS1246/7/8は電力節減のため自動的にシャットダウンされます。シャットダウン中は変換結果の取得が可能ですが、設定レジスタとの通信を開始する前には、STARTを“High”にする必要があります。デバイスは、新しい変換を開始するために

STARTピンを再度“High”にするまで、シャットダウン状態を維持します。STARTピンを再度“High”にすると、アナログ回路の安定化のために、内部で変調回路クロックの32サイクル分だけデシメーション・フィルタがリセット状態に保持されます。

ADS1246/7/8は、図65に示すように、STARTピンを“High”に保持することで連続的に変換を行うよう設定できます。STARTピンが“High”に保持されると、ADCは選択された入力チャンネルを連続的に変換します。この設定は、STARTピンを“Low”にするまで継続されます。

また、STARTピンのパルスにより、多チャンネル・アプリケーションで同期測定を行うこともできます。

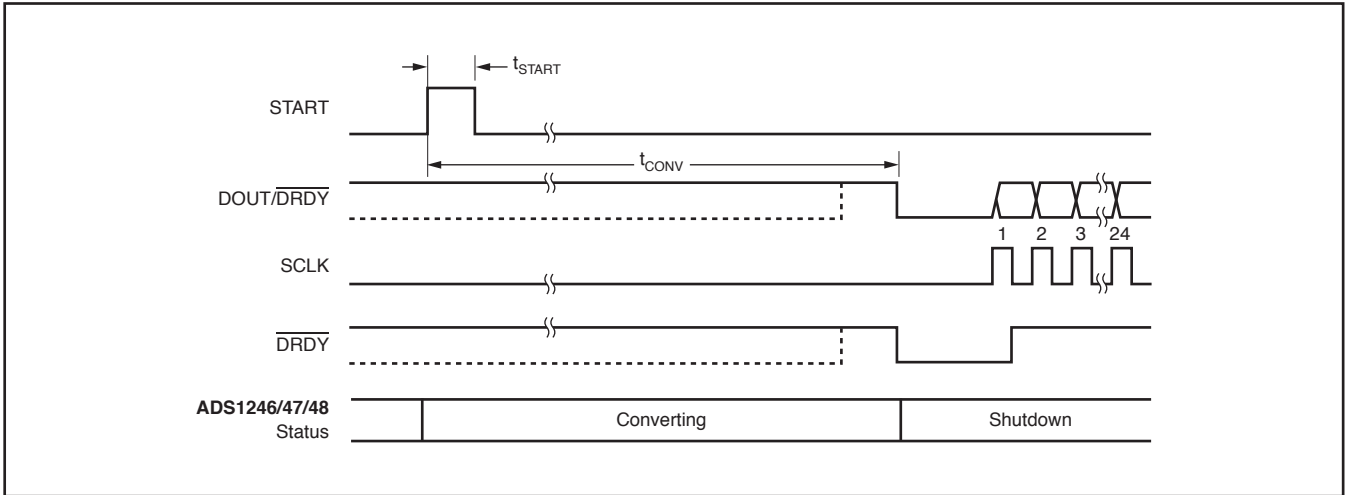
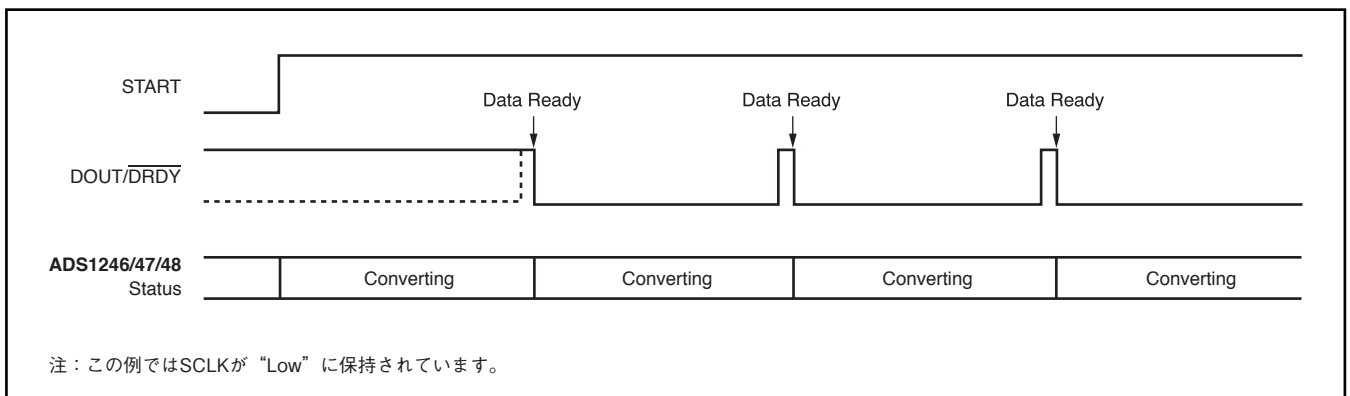


図 64. STARTピンを使用した1回の変換のタイミング

記号	説明	データ・レート(SPS)	値	単位
$t_{CONV}$	STARTパルスから $\overline{DRDY}$ およびDOUT/DRDYが“Low”になるまでの時間	5	200.295	ms
		10	100.644	ms
		20	50.825	ms
		40	25.169	ms
		80	12.716	ms
		160	6.489	ms
		320	3.247	ms
		640	1.692	ms
		1000	1.138	ms
		2000	0.575	ms

表 19. 図64でのSTARTピン変換時間



注：この例ではSCLKが“Low”に保持されています。

図 65. STARTピンを“High”に保持した変換タイミング

## RESET

RESETピンが“Low”になると、デバイスは直ちにリセットされます。すべてのレジスタがデフォルト値に設定されます。RESETピンが“Low”の間、デバイスはリセット・モードに保持されます。“High”になると、ADCはリセット・モードから解除され、データの変換が可能になります。RESETピンが“High”になった後、システム・クロック周波数が4.096MHzの場合、デジタル・フィルタおよびレジスタは、0.6ms( $f_{OSC} = 4.096\text{MHz}$ のとき)の間だけリセット状態に保持されます。したがって、RESETピンが“High”になってから0.6ms経過するまでは、有効なSPI通信を行えません(図4を参照)。RESETピンが“Low”になると、クロック選択は内部発振回路にリセットされます。

### チャンネルのサイクリングと過負荷回復

チャンネルのサイクリングを行う場合には、ADS1246/7/8が1サイクル以内に安定するよう注意して設定を行う必要があります。単にMUXチャンネルのサイクリングだけを行い、PGAやデータ・レートの設定を変更しない場合は、MUX0レジスタに変更を加えるだけで十分です。ただし、PGAやデータ・レートの設定を変更する場合には、送信中に過負荷状態が発生しないようにすることが重要です。ADS1246/7/8に設定データを転送する際、新しい設定は各送信バイトの終わりでアクティブになります。したがって、MUX0バイトの完了からSYS0バイトの完了までの設定データの送信中に、短時間の過負荷状態が生じる可能性があります。この一時的な過負荷により、出力値が間欠的に不正確になる場合があります。過負荷が生じないようにするためには、必要に応じて、MUX0レジスタの変更前にSYS0レジスタを変更できるように、通信を2つの別々の通信に分割します。

また、過負荷状態が発生した場合には、次のサイクルへと1サイクルで安定できるようにする配慮が必要となります。ADS1246/7/8はチョップ安定化PGAを実装しているため、過負荷状態中にデータ・レートを変更すると、チョップが不安定になる可能性があります。それにより、安定化時間が長くなります。これを防ぐには、データ・レートを変更する前に、必ずPGA設定またはMUX設定を非過負荷状態に変更しておく必要があります。

### 1サイクルでの安定

ADS1246/7/8は、すべてのゲインおよびデータ・レートに対して、1サイクルで安定することができます。ただし、2kSPSで1サイクルの安定を実現するには、インターフェイスに関して特別な注意が必要となります。2kSPSで動作する際には、SPIデータのSCLK周期を520ns以下とし、1つのバイトの開始から次のバイトの開始までの時間を4.2 $\mu\text{s}$ 以内とする必要があります。さらに、最初の4つのレジスタに複数の個別書き込みコマンドを実行する場合には、別の書き込みコマンドを開始する前に、発振回路クロックで64サイクル以上待つ必要があります。

### デジタル・フィルタのリセット動作

RESETコマンドおよびRESETピンとは別に、MUX0、VBIAS、MUX1、またはSYS0レジスタに書き込み動作が行われるか、SYNCコマンドが実行されるか、またはSTARTピンが“High”になると、デジタル・フィルタが自動的にリセットされます。

フィルタは、SYNCコマンドの最後のビットが送信されてから2システム・クロック後にリセットされます。内部で作成されるリセット・パルスは、変調回路クロックの2サイクル分だけ継続されます。MUX0レジスタに書き込み動作が行われた場合は、値が変更されたかどうかに関係なく、フィルタがリセットされます。内部では、フィルタ・パルスがシステム・クロック2周期分だけ継続されます。VBIAS、MUX1、またはSYS0レジスタに書き込み動作が行われた場合も、値が変更されたかどうかに関係なく、フィルタがリセットされます。リセット・パルスは、書き込み動作後、変調回路クロックの32周期分だけ継続されます。複数の書き込み動作が行われた場合、結果のリセット・パルスは、各動作によって個別に作成されたアクティブ・ロー・パルスの論理和として考えることができます。

表20に、フィルタ・リセット後の変換時間を示します。この時間は、リセットを開始した動作によって異なることに注意してください。また、フィルタ・リセット後の最初の変換にかかる時間は、2回目以降の変換と多少異なります。



公称 データ・レート (SPS)	厳密な データ・レート (SPS)	フィルタ・リセット後最初のデータ変換時間				フィルタ・リセット後の 2回目以降のデータ変換時間	
		SYNCコマンド、MUX0 レジスタ書き込み		ハードウェア・リセット、 RESETコマンド、STARTピン“High”、 WAKEUPコマンド、VBIAS、MUX1、 またはSYS0レジスタ書き込み			
		(ms) <sup>(1)</sup>	システム・ クロック・ サイクル数	(ms) <sup>(1)</sup>	システム・ クロック・ サイクル数	(ms)	システム・ クロック・ サイクル数
5	5.019	199.264	816188	200.26	820265	199.250	816128
10	10.038	99.639	408124	100.635	412201	99.625	408064
20	20.075	49.827	204092	50.822	208169	49.812	204032
40	40.151	24.92	102076	25.172	103106	24.906	102016
80	80.301	12.467	51068	12.719	52098	12.453	51008
160	160.602	6.241	25564	6.492	26594	6.226	25504
320	321.608	3.124	12796	3.25	13314	3.109	12736
640	643.216	1.569	6428	1.695	6946	1.554	6368
1000	1000	1.014	4156	1.141	4674	1	4096
2000	2000	0.514	2108	0.578	2370	0.5	2048

表 20. データ変換時間

(1)  $f_{OSC} = 4.096\text{MHz}$ の場合。

## データ形式

ADS1246/7/8は、24ビットのデータをバイナリ2の補数形式で出力します。最下位ビット(LSB)は、 $(V_{REF}/PGA) / (2^{23} - 1)$ の重みを持ちます。正のフルスケール入力は出力コード7FFFFFFhを生成し、負のフルスケール入力は出力コード800000hを生成します。フルスケールを超える信号に対しては、出力がこれらのコードにクリッピングされます。表21に、さまざまな入力信号に対する理想的な出力コードを示しています。

入力信号、 $V_{IN}$ ( $A_{INP} - A_{INN}$ )	理想的な出力コード
$\geq +V_{REF}/PGA$	7FFFFFFh
$(+V_{REF}/PGA)/(2^{23} - 1)$	000001h
0	000000h
$(-V_{REF}/PGA)/(2^{23} - 1)$	FFFFFFFh
$\leq -(V_{REF}/PGA) \times (2^{23}/2^{23} - 1)$	800000h

表 21. 各入力信号に対する理想的な出力コード

(1) ノイズ、直線性、オフセット、およびゲイン誤差の影響は除外しています。

## デジタル・インターフェイス

ADS1246/7/8には、標準SPIシリアル通信インターフェイスに加えて、データ準備完了信号 ( $\overline{DRDY}$ ) が用意されています。RREGコマンドとRDATAコマンドに関するいくつかの制限を除き、通信は全二重で行われます。これらの制限については、このデータシートの「SPIコマンド」で詳細に説明されています。シリアル・インターフェイスの基本的なタイミング特性については、このデータシートの図1および図2を参照してください。

## $\overline{CS}$

チップ選択ピン(アクティブ・ロー)。 $\overline{CS}$ ピンは、SPI通信を有効にします。 $\overline{CS}$ は、データ・トランザクションの前に“Low”

にする必要があります。SPI通信の期間全体にわたって“Low”に保持される必要があります。 $\overline{CS}$ が“High”のとき、 $\overline{DOUT}/\overline{DRDY}$ ピンはハイ・インピーダンス状態になります。したがって、シリアル・インターフェイスでの読み取りおよび書き込みは無視され、シリアル・インターフェイスがリセットされます。 $\overline{DRDY}$ ピンの動作は、 $\overline{CS}$ には依存しません。

$\overline{CS}$ を“High”にすると、デバイスとのSPI通信だけが無効になります。データ変換は継続され、新しい変換結果が準備できているかどうか $\overline{DRDY}$ 信号を確認することもできます。 $\overline{DRDY}$ 信号を監視しているマスター・デバイスは、 $\overline{CS}$ ピンを“Low”にすることで該当するスレーブ・デバイスを選択できます。

## SCLK

シリアル・クロック信号。SCLKは、シリアル通信用のクロックを提供します。これはシュミットトリガ入力ですが、グリッチによるデータの誤シフトを防ぐため、SCLKはできる限りクリーンに保持することを強く推奨します。データはSCLKの立ち下がりエッジでDINにシフトインされ、SCLKの立ち上がりエッジでDOUTにシフトアウトされます。

## DIN

データ入力ピン。DINは、SCLKとともにデバイスへのデータ送信に使用されます。DINのデータは、SCLKの立ち下がりエッジでデバイスにシフトインされます。

このデバイスの通信は、本質的に全二重で行われます。デバイスは、データのシフトアウト中でも、シフトインされるコマンドを監視しています。出力シフト・レジスタに存在するデータは、コマンドの送信時にシフトアウトされます。したがって、データのシフトアウト時には、DINピンに何か有効なデータが送られているようにすることが重要です。データの読み出し時にデバイスに送信するコマンドがない場合は、DIN上でNOPコマンドを送信する必要があります。

## DRDY

データ準備完了ピン。 $\overline{\text{DRDY}}$ ピンが“Low”になった場合、新しい変換が完了し、変換結果が変換結果バッファに格納されていることを示します。変換結果が結果バッファと出力シフトレジスタの両方にロードされるように、SPIクロックは $\overline{\text{DRDY}}$ の“Low”遷移を含む短い時間枠の間だけ“Low”に保持される必要があります(図2を参照)。したがって、変換結果を後で読み出す場合には、この時間枠内でコマンドを発行しないようにします。この制約は、 $\overline{\text{CS}}$ がアサートされている場合にだけ適用されます。 $\overline{\text{CS}}$ がアサートされていない場合、SPIバス上の他のデバイスとのSPI通信は、変換結果のロードに影響を与えません。 $\overline{\text{DRDY}}$ ピンは“Low”になった後、SCLKの最初の立ち下がりエッジで“High”に戻されます(したがって、立ち下がりエッジを待たずに $\overline{\text{DRDY}}$ ピンの“0”をポーリングできます)。 $\overline{\text{DRDY}}$ ピンが“Low”になった後、“High”に戻されない場合は、次のデータの準備完了を示すために短い“High”パルスが生成されます。

## DOUT/ $\overline{\text{DRDY}}$

このピンには、データ出力(DOUT)のみ、またはデータ出力(DOUT)とデータ準備完了( $\overline{\text{DRDY}}$ )の組み合わせの2つのモードがあります。このピンの機能は、DRDY MODEビットによって決定されます。いずれのモードでも、 $\overline{\text{CS}}$ が“High”になると、DOUT/ $\overline{\text{DRDY}}$ ピンはハイインピーダンス状態になります。

DRDY MODEビットが“0”に設定されると、このピンはDOUTのみとして機能します。SCLKの立ち上がりエッジで、データがMSBファーストで出力されます(図66を参照)。

DRDY MODEビットが“1”に設定されると、このピンはDOUTと $\overline{\text{DRDY}}$ の両方として機能します。SCLKの立ち上がりエッジで、このピンからデータがMSBファーストでシフトアウトされます。機能を組み合わせることにより、同じ制御を少ないピンで実現できます。

DRDY MODEビットがイネーブルのとき、新しい変換が完了すると、DOUT/ $\overline{\text{DRDY}}$ が“High”である場合には“Low”に変化します。既に“Low”である場合は、いったん“High”になってから、“Low”になります(図67を参照)。 $\overline{\text{DRDY}}$ ピンと同様に、DOUT/ $\overline{\text{DRDY}}$ ピンの立ち下がりエッジは、新しい変換結果が準備完了であることを示します。DOUT/ $\overline{\text{DRDY}}$ が“Low”になった後、24サイクルのSCLKでデータをクロックアウトできます。(立ち下がりエッジを待たずにDOUT/ $\overline{\text{DRDY}}$ の“0”をポーリングできるように)DOUT/ $\overline{\text{DRDY}}$ を強制的に“High”にするには、データの読み出し後に、NOPコマンド、またはデータ出力レジスタにデータをロードしない他の任意のコマンドを実行します。SCLKは8サイクル単位でのみ送信できるため、他のコマンドが保留中でない場合は、NOPコマンドを送信してDOUT/ $\overline{\text{DRDY}}$ を“High”にできます。DOUT/ $\overline{\text{DRDY}}$ ピンは、変換結果が完全に読み出された後の最初のSCLKの立ち上がりエッジで“High”になります(図68を参照)。RREGコマンドの後も、同じ条件が適用されます。すべてのレジスタ・ビットが読み出された後、SCLKの立ち上がりエッジでDOUT/ $\overline{\text{DRDY}}$ が“High”になります。図69に、RREGコマンド後に4つのNOPコマンドを送信してDOUT/ $\overline{\text{DRDY}}$ ピンを“High”にする例を示します。

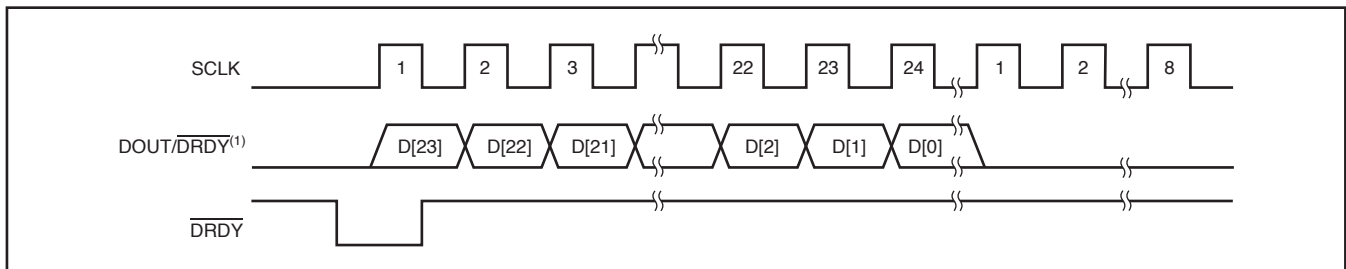


図 66. DRDY MODEビット = 0(ディスエーブル)時のデータ取得

(1)  $\overline{\text{CS}}$ は“Low”に固定。

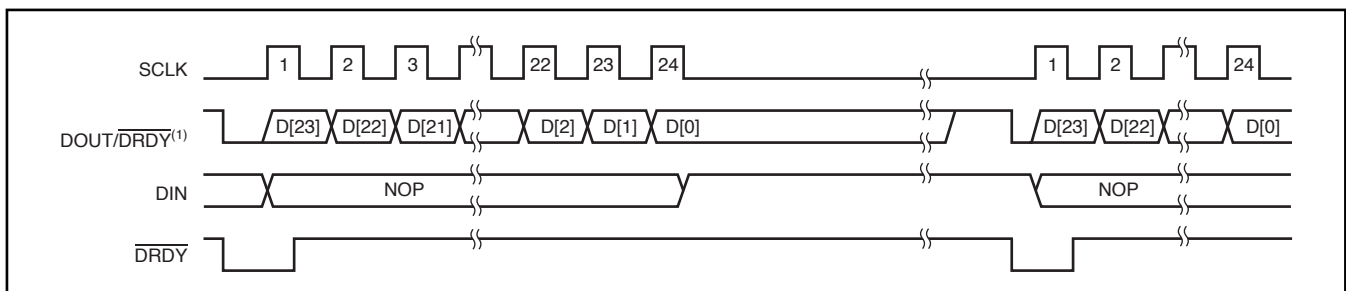


図 67. DRDY MODEビット = 1(イネーブル)時のデータ取得

(1)  $\overline{\text{CS}}$ は“Low”に固定。

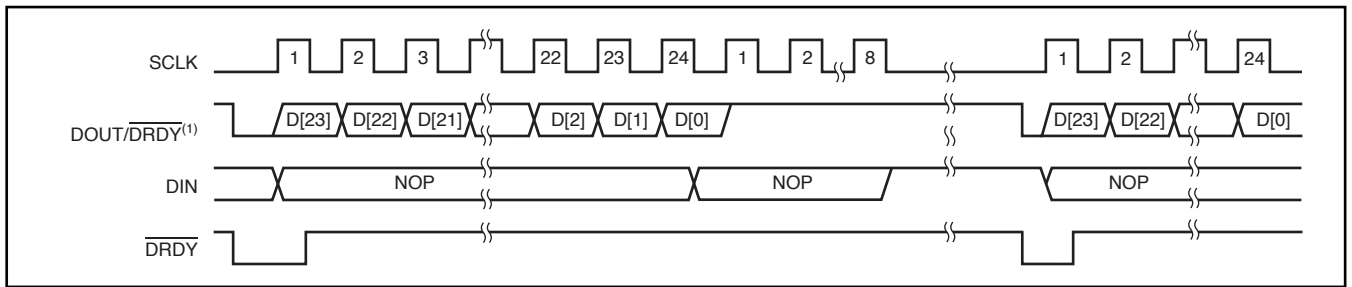


図 68. 変換結果の取得後、DOUT/DRDY $\bar{}$ を強制的に“High”に設定

(1) DRDY MODEビットがイネーブル、CSは“Low”に固定。

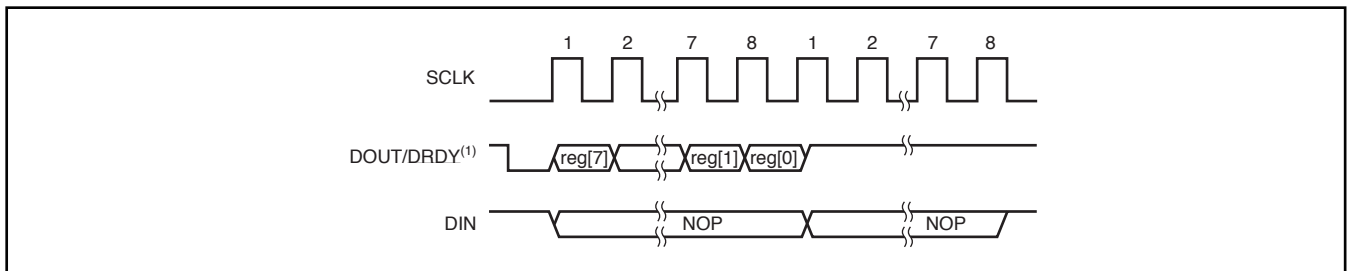


図 69. レジスタ・データの読み出し後、DOUT/DRDY $\bar{}$ を強制的に“High”に設定

(1) DRDY MODEビットがイネーブル、CSは“Low”に固定。

DRDY MODEビットは、DOUT/DRDY $\bar{}$ ピンの機能だけを変更します。DRDY $\bar{}$ ピンの機能には影響しません。

### SPIリセット

SPI通信は、いくつかの方法でリセットできます。(レジスタやデジタル・フィルタをリセットせずに)SPIインターフェイスをリセットするには、CSピンを“High”にします。RESETピンを“Low”にすると、他のすべてのデジタル機能とともにSPIインターフェイスがリセットされます。この場合、レジスタと変換もリセットされます。

### スリープ・モード中のSPI通信

STARTピンが“Low”、またはデバイスがスリープ・モードのときには、RDATA、RDATA $\bar{}$ C、SDATA $\bar{}$ C、WAKEUP、およびNOPコマンドのみを実行できます。RDATAコマンドは、スリープ・モード中に最後の変換結果を繰り返し読み出すために使用されます。スリープ・モード中は電力節減のために内部クロックがシャットダウンされるため、他のコマンドは機能しません。

# レジスタ説明

## ADS1246レジスタ・マップ

アドレス	レジスタ	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	BCS	BCS1	BCS0	0	0	0	0	0	1
01h	VBIAS	0	0	0	0	0	0	VBIAS1	VBIAS0
02h	MUX1	CLKSTAT	0	0	0	0	MUXCAL2	MUXCAL1	MUXCAL0
03h	SYS0	0	PGA2	PGA1	PGA0	DR3	DR2	DR1	DR0
04h	OFC0	OFC7	OFC6	OFC5	OFC4	OFC3	OFC2	OFC1	OFC0
05h	OFC1	OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC9	OFC8
06h	OFC2	OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
07h	FSC0	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0
08h	FSC1	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8
09h	FSC2	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
0Ah	ID	ID3	ID2	ID1	ID0	DRDY MODE	0	0	0

表 22. DS1246レジスタ・マップ

## ADS1246の詳細レジスタ定義

BCS - バーンアウト電流源レジスタ。これらのビットは、センサのバーンアウト電流源の設定を制御します。

BCS - アドレス00h								リセット値 = 01h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
BCS1	BCS0	0	0	0	0	0	1	

ビット 7:6

BCS 1:0

これらのビットは、センサのバーンアウト電流の大きさを選択します。

00 = バーンアウト電流源がオフ(デフォルト)

01 = 損傷検出用電流源がオン、0.5μA

10 = 損傷検出用電流源がオン、2μA

11 = 損傷検出用電流源がオン、10μA

ビット 5:0

これらのビットは、常に“000001”に設定する必要があります。

VBIAS - バイアス電圧レジスタ。このレジスタは、アナログ入力のバイアス電圧をイネーブルにします。

VBIAS - アドレス01h								リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
0	0	0	0	0	0	VBIAS1	VBIAS0	

ビット 7:2

これらのビットは、常に“000000”に設定する必要があります。

ビット 1:0

VBIAS1:0

これらのビットは、選択したアナログ入力に電源中点(AVDD + AVSS)/2のバイアス電圧を印加します。

ビット0はAIN0用、ビット1はAIN1用です。

0 = バイアス電圧をイネーブルにしない(デフォルト)

1 = アナログ入力にバイアス電圧を印加

MUX - マルチプレクサ制御レジスタ

MUX - アドレス02h							リセット値 = x0h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CLKSTAT	0	0	0	0	MUXCAL2	MUXCAL1	MUXCAL0

- ビット 7      **CLKSTAT**  
このビットは読み取り専用であり、内部発振回路または外部発振回路の使用を示します。  
0 = 内部発振回路を使用  
1 = 外部発振回路を使用
- ビット 6:3      これらのビットは、常に“0000”に設定する必要があります。
- ビット 2:0      **MUXCAL2:0**  
これらのビットは、システム監視の選択に使用されます。MUXCALの選択は、VBIASレジスタでの選択よりも優先されます。  
000 = 通常動作(デフォルト)  
001 = オフセット校正。アナログ入力が入力切断され、AINPおよびAINNは内部で電源中点(AVDD + AVSS)/2に接続されます。  
010 = ゲイン校正。アナログ入力が入力リファレンスに接続されます。  
011 = 温度測定。デバイスの周囲温度に比例した電圧を生成するダイオード回路に、入力が入力接続されます。

表23に、MUXCALの各設定に対するADC入力接続およびPGA設定を示します。MUXCALが通常動作またはオフセット測定に設定されると、PGA設定は元のSYS0レジスタ設定に戻ります。

MUXCAL[2:0]	PGAゲイン設定	ADC入力
000	SYS0レジスタにより設定	通常動作
001	SYS0レジスタにより設定	オフセット校正：入力を電源中点(AVDD + AVSS)/2に短絡
010	強制的に1に設定	ゲイン校正：V <sub>REFP</sub> - V <sub>REFN</sub> (フルスケール)
011	強制的に1に設定	温度測定ダイオード

表 23. MUXCAL設定

SYS0 - システム制御レジスタ0

SYS0 - アドレス03h							リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	PGA2	PGA1	PGA0	DOR3	DOR2	DOR1	DOR0

- ビット 7      これらのビットは、常に“0”に設定する必要があります。
- ビット 6:4      **PGA 2:0**  
これらのビットは、PGAのゲインを決定します。  
000 = 1(デフォルト)  
001 = 2  
010 = 4  
011 = 8  
100 = 16  
101 = 32  
110 = 64  
111 = 128
- ビット 3:0      **DOR 3:0**  
これらのビットは、ADCの出力データ・レートを選択します。1001より大きい値に設定された場合は、最大データ・レートの2kSPSが選択されます。  
0000 = 5SPS (デフォルト)  
0001 = 10SPS  
0010 = 20SPS  
0011 = 40SPS  
0100 = 80SPS  
0101 = 160SPS  
0110 = 320SPS  
0111 = 640SPS  
1000 = 1000SPS  
1001 to 1111 = 2000SPS

OFC 23:0  
これらのビットは、ADS1248のオフセット校正係数レジスタを構成します。

## OFC0 - オフセット校正係数レジスタ0

OFC0 - アドレス04h							リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC7	OFC6	OFC5	OFC4	OFC3	OFC2	OFC1	OFC0

## OFC1 - オフセット校正係数レジスタ1

OFC1 - アドレス05h							リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC9	OFC8

## OFC2 - オフセット校正係数レジスタ2

OFC2 - アドレス06h							リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16

## FSC 23:0

これらのビットは、フルスケール校正係数レジスタを構成します。

## FSC0 - フルスケール校正係数レジスタ0

FSC0 - アドレス07h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## FSC1 - フルスケール校正係数レジスタ1

FSC1 - アドレス08h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## FSC2 - フルスケール校正係数レジスタ2

FSC2 - アドレス09h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## ID - IDレジスタ

IDAC0 - アドレス0Ah							リセット値 = x0h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID3	ID2	ID1	ID0	DRDY MODE	0	0	0

ビット7:4 ID 3:0  
読み取り専用、出荷時設定ビット、リビジョン識別に使用。

ビット3 DRDY MODE  
このビットは、DOUT/DRDYピンの機能を設定します。DRDY MODEビットの設定がいずれであっても、DRDYピンは引き続きアクティブ・ローでデータ準備完了を示します。  
0 = DOUT/DRDYピンはデータ出力としてのみ機能(デフォルト)  
1 = DOUT/DRDYピンはデータ出力とデータ準備完了(アクティブ・ロー)の両方として機能

ビット2:0 これらのビットは、常に“000”に設定する必要があります。

## ADS1247/ADS1248レジスタ・マップ

アドレス	レジスタ	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	MUX0	BCS1	BCS0	MUX_SP2	MUX_SP1	MUX_SP0	MUX_SN2	MUX_SN1	MUX_SNO
01h	VBIAS	VBIAS7	VBIAS6	VBIAS5	VBIAS4	VBIAS3	VBIAS2	VBIAS1	VBIAS0
02h	MUX1	CLKSTAT	VREFCON1	VREFCON0	REFSELT1	REFSELT0	MUXCAL2	MUXCAL1	MUXCAL0
03h	SYS0	0	PGA2	PGA1	PGA0	DR3	DR2	DR1	DR0
04h	OFC0	OFC7	OFC6	OFC5	OFC4	OFC3	OFC2	OFC1	OFC0
05h	OFC1	OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC9	OFC8
06h	OFC2	OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16
07h	FSC0	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0
08h	FSC1	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8
09h	FSC2	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
0Ah	IDAC0	ID3	ID2	ID1	ID0	DRDY MODE	IMAG2	IMAG1	IMAG0
0Bh	IDAC1	I1DIR3	I1DIR2	I1DIR1	I1DIR0	I2DIR3	I2DIR2	I2DIR1	I2DIR0
0Ch	GPIOCFG	IOCFG7	IOCFG6	IOCFG5	IOCFG4	IOCFG3	IOCFG2	IOCFG1	IOCFG0
0Dh	GPIODIR	IODIR7	IODIR6	IODIR5	IODIR4	IODIR3	IODIR2	IODIR1	IODIR0
0Eh	GPIODAT	IODAT7	IODAT6	IODAT5	IODAT4	IODAT3	IODAT2	IODAT1	IODAT0

表 24. ADS1247/ADS1248レジスタ マップ

## ADS1247/ADS1248の詳細レジスタ定義

MUX0 - マルチプレクサ制御レジスタ0。このレジスタを使用して、任意の入力チャンネルで差動入力 of 任意の組み合わせを選択できます。この設定よりも、MUXCALおよびVBIASビットの方が優先されることに注意してください。

MUX0 - アドレス00h								リセット値 = 01h	
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0		
BCS1	BCS0	MUX_SP2	MUX_SP1	MUX_SP0	MUX_SN2	MUX_SN1	MUX_SNO		

ビット 7:6      BCS 1:0  
 これらのビットは、センサ検出電流の大きさを選択します。  
 00 = バーンアウト電流源がオフ (デフォルト)  
 01 = 損傷検出用電流源がオン、0.5μA  
 10 = 損傷検出用電流源がオン、2μA  
 11 = 損傷検出用電流源がオン、10μA

ビット 5:3      MUX\_SP 2:0  
 正入力チャンネル選択ビット  
 000 = AIN0 (デフォルト)  
 001 = AIN1  
 010 = AIN2  
 011 = AIN3  
 100 = AIN4 (ADS1248のみ)  
 101 = AIN5 (ADS1248のみ)  
 110 = AIN6 (ADS1248のみ)  
 111 = AIN7 (ADS1248のみ)

ビット 2:0      MUX\_SN 2:0  
 負入力チャンネル選択ビット  
 000 = AIN0  
 001 = AIN1 (デフォルト)  
 010 = AIN2  
 011 = AIN3  
 100 = AIN4 (ADS1248のみ)  
 101 = AIN5 (ADS1248のみ)  
 110 = AIN6 (ADS1248のみ)  
 111 = AIN7 (ADS1248のみ)



## VBIAS - バイアス電圧レジスタ

VBIAS - アドレス01h								リセット値 = 00h
デバイス	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ADS1248	VBIAS7	VBIAS6	VBIAS5	VBIAS4	VBIAS3	VBIAS2	VBIAS1	VBIAS0
ADS1247	0	0	0	0	VBIAS3	VBIAS2	VBIAS1	VBIAS0

ビット 7:0 VBIAS 7:0  
 これらのビットは、選択したアナログ入力に電源中点(AVDD + AVSS)/2のバイアス電圧を印加します。  
 0 = バイアス電圧をイネーブルにしない(デフォルト)  
 1 = 対応するアナログ入力にバイアス電圧を印加(例: ビット0はAIN0に対応、など)

## MUX1 - マルチプレクサ制御レジスタ1

MUX1 - アドレス02h								リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	
CLKSTAT	VREFCON1	VREFCON0	REFSELT1	REFSELT0	MUXCAL2	MUXCAL1	MUXCAL0	

ビット 7 CLKSTAT  
 このビットは読み取り専用であり、内部発振回路または外部発振回路の使用を示します。  
 0 = 内部発振回路を使用  
 1 = 外部発振回路を使用

ビット 6:5 VREFCON 1:0  
 これらのビットは、内部電圧リファレンスを制御します。これらのビットを使用して、リファレンスを完全にオンまたはオフにできます。または、リファレンス状態をデバイスの状態に合わせることができます。  
 IDAC機能の動作には内部リファレンスが必要です。  
 00 = 内部リファレンスが常にオフ(デフォルト)  
 01 = 内部リファレンスが常にオン  
 10または11 = 内部リファレンスは、変換の実行中はオンになり、デバイスがシャットダウン・オペコードを受信したとき、またはSTARTピンが“Low”になったときはシャットダウンされます。

ビット 4:3 REFSELT 1:0  
 これらのビットは、ADCのリファレンス入力を選択します。  
 00 = REF0入力ペアを選択(デフォルト)  
 01 = REF1入力ペアを選択(ADS1248のみ)  
 10 = 内部リファレンスを選択  
 11 = 内部リファレンスを選択し、内部でREF0入力ペアに接続

ビット 2:0 MUXCAL 2:0  
 これらのビットは、システム監視の選択に使用されます。MUXCALの選択は、レジスタMUX0およびMUX1(MUX\_SP、MUX\_SN、およびVBIAS)での選択よりも優先されます。  
 000 = 通常動作(デフォルト)  
 001 = オフセット測定  
 010 = ゲイン測定  
 011 = 温度ダイオード  
 100 = 外部REF1測定(ADS1248のみ)  
 101 = 外部REF0測定  
 110 = AVDD測定  
 111 = DVDD測定

表25に、MUXCALの各設定に対するADC入力接続およびPGA設定を示します。MUXCALが通常動作またはオフセット測定に設定されると、PGA設定は元のSYS0レジスタ設定に戻ります。

MUXCAL[2:0]	PGAゲイン設定	ADC入力
000	SYS0レジスタにより設定	通常動作
001	SYS0レジスタにより設定	入力を電源中点(AVDD + AVSS)/2に短絡
010	強制的に1に設定	$V_{REFP} - V_{REFN}$ (フルスケール)
011	強制的に1に設定	温度測定ダイオード
100	強制的に1に設定	$(V_{REFP1} - V_{REFN1})/4$
101	強制的に1に設定	$(V_{REFP0} - V_{REFN0})/4$
110	強制的に1に設定	$(AVDD - AVSS)/4$
111	強制的に1に設定	$(DVDD - DVSS)/4$

表 25. MUXCAL設定



SYS0 - システム制御レジスタ0

SYS0 - アドレス03h							リセット値 = 00h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	PGA2	PGA1	PGA0	DOR3	DOR2	DOR1	DOR0

ビット7 このビットは、常に“0”に設定する必要があります。

ビット6:4 PGA 2:0  
 これらのビットは、PGAのゲインを決定します。  
 000 = 1 (デフォルト)  
 001 = 2  
 010 = 4  
 011 = 8  
 100 = 16  
 101 = 32  
 110 = 64  
 111 = 128

ビット3:0 DOR 3:0  
 これらのビットは、ADCの出力データ・レートを選択します。1001より大きい値に設定された場合は、最大データ・レートの2000SPSが選択されます。  
 0000 = 5SPS (デフォルト)  
 0001 = 10SPS  
 0010 = 20SPS  
 0011 = 40SPS  
 0100 = 80SPS  
 0101 = 160SPS  
 0110 = 320SPS  
 0111 = 640SPS  
 1000 = 1000SPS  
 1001 to 1111 = 2000SPS

OFC 23:0

これらのビットは、ADS1248のオフセット校正係数レジスタを構成します。

OFC0 - オフセット校正係数レジスタ0

OFC0 - アドレス04h							リセット値 = 000000h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC7	OFC6	OFC5	OFC4	OFC3	OFC2	OFC1	OFC0

OFC1 - オフセット校正係数レジスタ1

OFC1 - アドレス05h							リセット値 = 000000h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC15	OFC14	OFC13	OFC12	OFC11	OFC10	OFC9	OFC8

OFC2 - オフセット校正係数レジスタ2

OFC2 - アドレス06h							リセット値 = 000000h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OFC23	OFC22	OFC21	OFC20	OFC19	OFC18	OFC17	OFC16

## FSC 23:0

これらのビットは、フルスケール校正係数レジスタを構成します。

## FSC0 - フルスケール校正係数レジスタ0

FSC0 - アドレス07h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## FSC1 - フルスケール校正係数レジスタ1

FSC1 - アドレス08h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## FSC2 - フルスケール校正係数レジスタ2

FSC2 - アドレス09h							リセット値はPGAに依存 <sup>(1)</sup>
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16

(1) FSCのリセット値は、各PGA設定に対して出荷時調整されています。注：出荷時調整FSCリセット値は、PGA設定の変更時に自動的にロードされます。

## IDAC0 - IDAC制御レジスタ0

IDAC0 - アドレス0Ah							リセット値 = x0h
BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ID3	ID2	ID1	ID0	DRDY MODE	IMAG2	IMAG1	IMAG0

ビット 7:4 ID 3:0  
読み取り専用、出荷時設定ビット、リビジョン識別に使用。

ビット 3 DRDY MODE  
このビットは、DOUT/DRDYピンの機能を設定します。DRDY MODEビットの設定がいずれであっても、DRDYピンは引き続きアクティブ・ローでデータ準備完了を示します。  
0 = DOUT/DRDYピンはデータ出力としてのみ機能(デフォルト)  
1 = DOUT/DRDYピンはデータ出力とデータ準備完了(アクティブ・ロー)の両方として機能

ビット 2:0 IMAG 2:0  
ADS1247/8には、センサ励起に使用できる2つのプログラミング可能な電流源DACがあります。IMAGビットは、励起電流の大きさを制御します。IDACを使用するには、内部リファレンスがオンになっている必要があります。  
000 = オフ(デフォルト)  
001 = 50 $\mu$ A  
010 = 100 $\mu$ A  
011 = 250 $\mu$ A  
100 = 500 $\mu$ A  
101 = 750 $\mu$ A  
110 = 1000 $\mu$ A  
111 = 1500 $\mu$ A

## IDAC1 - IDAC制御レジスタ1

IDAC1 - アドレス0Bh								リセット値 = FFh
デバイス	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ADS1248	I1DIR3	I1DIR2	I1DIR1	I1DIR0	I2DIR3	I2DIR2	I2DIR1	I2DIR0
ADS1247	0	0	I1DIR1	I1DIR0	0	0	I2DIR1	I2DIR0

ADS1247/8の2つのIDACは、IEXC1およびIEXC2出力ピンにルーティングするか、または直接アナログ入力にルーティングできます。

### ビット7:4

#### I1DIR 3:0

これらのビットは、1番目の電流源DACの出力ピンを選択します。

- 0000 = AIN0
- 0001 = AIN1
- 0010 = AIN2
- 0011 = AIN3
- 0100 = AIN4(ADS1248のみ)
- 0101 = AIN5(ADS1248のみ)
- 0110 = AIN6(ADS1248のみ)
- 0111 = AIN7(ADS1248のみ)
- 10x0 = IEXT1(ADS1248のみ)
- 10x1 = IEXT2(ADS1248のみ)
- 11xx = 未接続(デフォルト)

### ビット3:0

#### I2DIR 3:0

これらのビットは、2番目の電流源DACの出力ピンを選択します。

- 0000 = AIN0
- 0001 = AIN1
- 0010 = AIN2
- 0011 = AIN3
- 0100 = AIN4(ADS1248のみ)
- 0101 = AIN5(ADS1248のみ)
- 0110 = AIN6(ADS1248のみ)
- 0111 = AIN7(ADS1248のみ)
- 10x0 = IEXT1(ADS1248のみ)
- 10x1 = IEXT2(ADS1248のみ)
- 11xx = 未接続(デフォルト)

GPIOCFG - GPIO設定レジスタ。GPIOとアナログ・ピンは、以下のように共有されます。

- GPIO0はREFP0と共有
- GPIO1はREFN0と共有
- GPIO2はAIN2と共有
- GPIO3はAIN3と共有
- GPIO4はAIN4と共有(ADS1248)
- GPIO5はAIN5と共有(ADS1248)
- GPIO6はAIN6と共有(ADS1248)
- GPIO7はAIN7と共有(ADS1248)

GPIODIR - アドレス0Ch								リセット値 = 00h
デバイス	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ADS1248	IOCFG7	IOCFG6	IOCFG5	IOCFG4	IOCFG3	IOCFG2	IOCFG1	IOCFG0
ADS1247	0	0	0	0	IOCFG3	IOCFG2	IOCFG1	IOCFG0

ビット 7:0 IOCFG 7:0  
 GPIOはアナログ・ピンと共有されているため、これらのビットによってGPIOをイネーブルにします。  
 ADS1248ではすべてのIOCFGビットを使用しますが、ADS1247ではビット3:0のみを使用します。  
 0 = ピンをアナログ入力として使用(デフォルト)  
 1 = ピンをGPIOピンとして使用

GPIODIR - GPIO方向レジスタ

GPIODIR - アドレス0Dh								リセット値 = 00h
デバイス	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ADS1248	IODIR7	IODIR6	IODIR5	IODIR4	IODIR3	IODIR2	IODIR1	IODIR0
ADS1247	0	0	0	0	IODIR3	IODIR2	IODIR1	IODIR0

ビット 7:0 IODIR 7:0  
 これらのビットは、IOCFGビットによってイネーブルになっている場合に、GPIOの方向を制御します。  
 ADS1248ではすべてのIODIRビットを使用しますが、ADS1247ではビット3:0のみを使用します。  
 0 = GPIOは出力(デフォルト)  
 1 = GPIOは入力

IODAT - GPIOデータレジスタ

IODAT - アドレス0Eh								リセット値 = 00h
デバイス	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ADS1248	IODAT7	IODAT6	IODAT5	IODAT4	IODAT3	IODAT2	IODAT1	IODAT0
ADS1247	0	0	0	0	IODAT3	IODAT2	IODAT1	IODAT0

ビット 7:0 IODAT 7:0  
 GPIOピンがGPIOCFGレジスタでイネーブルになり、GPIO方向レジスタ(GPIODIR)で出力として設定されている場合、このレジスタに書き込まれた値が、該当するGPIOピンに出力されます。  
 GPIOピンがGPIODIRで入力として設定されている場合は、このレジスタを読み取るとデジタルI/Oピンの値が返されます。ADS1248では8個すべてのIODATビットを使用しますが、ADS1247ではビット3:0のみを使用します。

## SPIコマンド

### SPIコマンドの定義

表26に示されるコマンドによって、ADS1246/7/8の動作を制御します。いくつかのコマンド(RESETなど)はスタンダロン・コマンドですが、他のコマンドは追加のバイトを必要とします(例えば、WREGにはコマンド、カウント、およびデータ・バイトが必要です)。

オペランド:

n = 読み取るまたは書き込むレジスタの数 (バイト数 - 1)

r = レジスタ(0~15)

x = Don't care

## システム制御コマンド

**WAKEUP** - SLEEPコマンドによって設定されたスリープ・モードからのウェイクアップ

このコマンドは、デバイスをスリープ・モードから解除するときを使用します。WAKEUPコマンドの実行後、デバイスは8回目のSCLKサイクルの立ち上がりエッジでウェイクアップします。

**SLEEP** - デバイスをスリープ・モードに設定 (WAKEUPコマンドによってのみウェイクアップ可能)

このコマンドは、デバイスをスリープ(省電力)モードに設定します。SLEEPコマンドが実行されると、デバイスは実行中の変換を完了した後で、スリープ・モードに入ります。このコマンドは、内部電圧リファレンスを自動的にパワーダウンしません。詳細については、各デバイスのMUX1レジスタのVREFCONビットを参照してください。

スリープ・モードを終了するには、WAKEUPコマンドを実行します。WAKEUPコマンドに続いてSLEEPコマンドを実行することにより、変換を1回だけ実行できます。

WAKEUPおよびSLEEPは、STARTピンによるデバイス制御と等価なソフトウェア・コマンドです。

コマンドの種類	コマンド	説明	最初のコマンド・バイト	2番目のコマンド・バイト
システム制御	WAKEUP	スリープ・モードの終了	0000 000x (00h, 01h)	
	SLEEP	スリープ・モードの開始	0000 001x (02h, 03h)	
	SYNC	A/D変換の同期	0000 010x (04h, 05h)	0000-010x (04,05h)
	RESET	パワーアップ値へのリセット	0000 011x (06h, 07h)	
	NOP	動作なし	1111 1111 (FFh)	
データ読み取り	RDATA	1回のデータ読み取り	0001 001x (12h, 13h)	
	RDATAc	連続データ読み取り	0001 010x (14h, 15h)	
	SDATAc	連続データ読み取りの停止	0001 011x (16h, 17h)	
レジスタ読み取り	RREG	レジスタrrrrからの読み取り	0010 rrrr (2xh)	0000_nnnn
レジスタ書き込み	WREG	レジスタrrrrへの書き込み	0100 rrrr (4xh)	0000_nnnn
校正	SYSOCAL	システム・オフセット校正	0110 0000 (60h)	
	SYSGCAL	システム・ゲイン校正	0110 0001 (61h)	
	SELFOCAL	自己オフセット校正	0110 0010 (62h)	

表 26. SPIコマンド

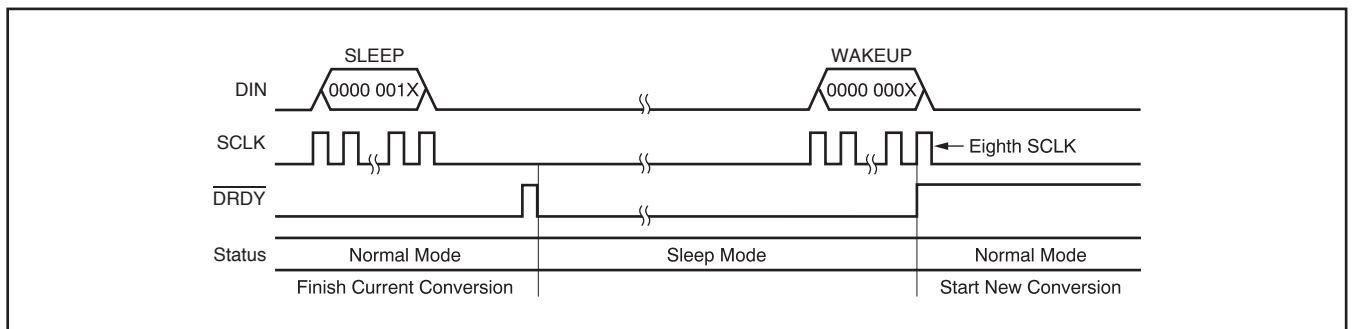


図 70. SLEEPおよびWAKEUPコマンドの動作

## SYNC - $\overline{\text{DRDY}}$ の同期

このコマンドは、ADCデジタル・フィルタをリセットし、新しい変換を開始します。すべてのデバイスに対して同時にSYNCコマンドを実行することにより、同じSPIバスに接続された複数のデバイスの $\overline{\text{DRDY}}$ ピンを同期させることができます。

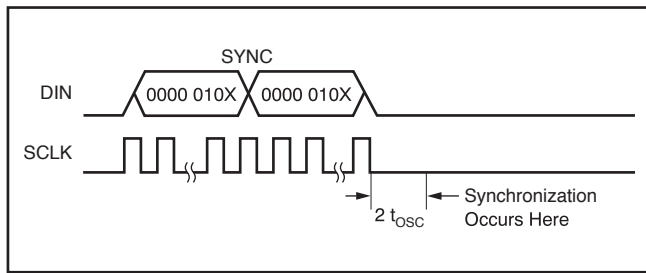


図 71. SYNCコマンドの動作

## RESET - デバイスを起動時の状態にリセット

このコマンドは、各レジスタをそれぞれの起動時の値へと復元します。また、デジタル・フィルタをリセットします。RESETは、 $\overline{\text{RESET}}$ ピンによるデバイスのリセットと等価なコマンドです。ただし、RESETコマンドは、SPIインターフェイスをリセットしません。SPIインターフェイスが誤った状態のときにRESETコマンドが実行されると、デバイスはリセットされません。 $\overline{\text{CS}}$ ピンを使用してSPIインターフェイスを最初にリセットしてから、RESETコマンドを実行してデバイスをリセットできます。RESETコマンドは、ハードウェア・リセットの場合と同様に、レジスタおよびデシメーション・フィルタを0.6msにわたってリセット状態に保持します（システム・クロック周波数が4.096MHzの場合）。したがって、図72に示すように、RESETコマンドが実行されてから0.6ms経過するまでは、SPI通信を開始できません。

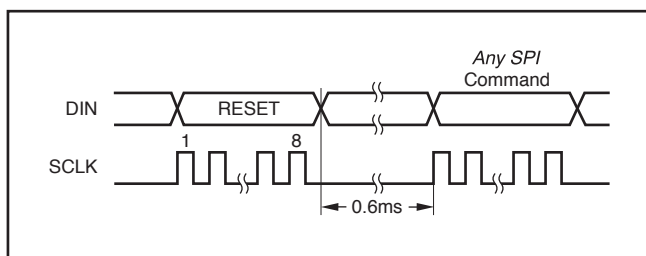


図 72. SPIリセット後のSPI通信

## データ取得コマンド

### RDATAC - 連続データ読み取り

RDATACコマンドを実行すると、新しい変換結果が出力データ・レジスタに自動的にロードされるようになります。このモードでは、24サイクルのSCLKを送信することにより、 $\overline{\text{DRDY}}$ 信号が“Low”になった後でデバイスから変換結果を1回受信できます。読み出されるビット数が8の倍数であれば、すべてのビットを読み出す必要はありません。RDATACコマンドは、 $\overline{\text{DRDY}}$ が“Low”になった後で実行する必要があります。コマンドは、次の $\overline{\text{DRDY}}$ で有効になります。

$\overline{\text{DRDY}}$ が“Low”になる前にデータの取得（変換結果またはレジスタの読み出し）を完了しないと、結果のデータが壊れます。RDATACモードでレジスタの読み取り動作を正しく行うには、 $\overline{\text{DRDY}}$ の次の立ち上がりエッジがいつ発生するかを知っている必要があります。

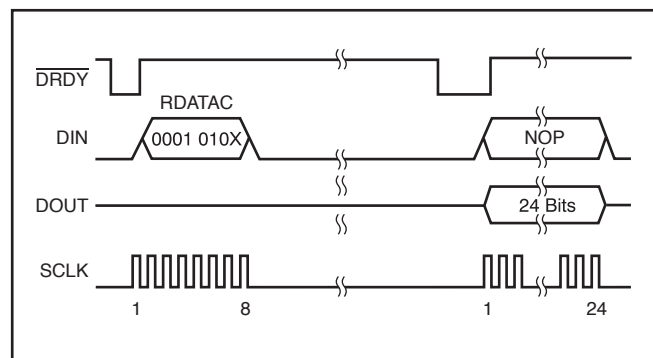


図 73. 連続データ読み取り

### SDATAC - 連続データ読み取りの停止

SDATACコマンドは、RDATACモードを終了させます。その後、 $\overline{\text{DRDY}}$ が“Low”になったとき、変換結果は出力シフト・レジスタに自動的にロードされません。したがって、出力シフト・レジスタにロードされる新しい変換結果によって妨げられることなく、レジスタの読み取り動作を実行できます。変換データの取得には、RDATACコマンドを使用します。SDATACコマンドは、次の $\overline{\text{DRDY}}$ の後で有効になります。

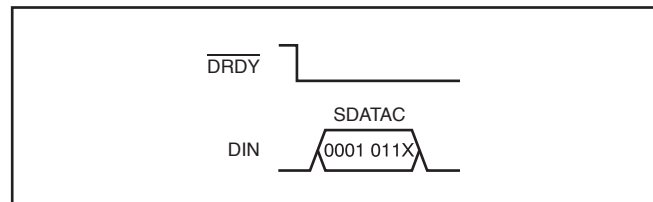


図 74. 連続データ読み取りの停止

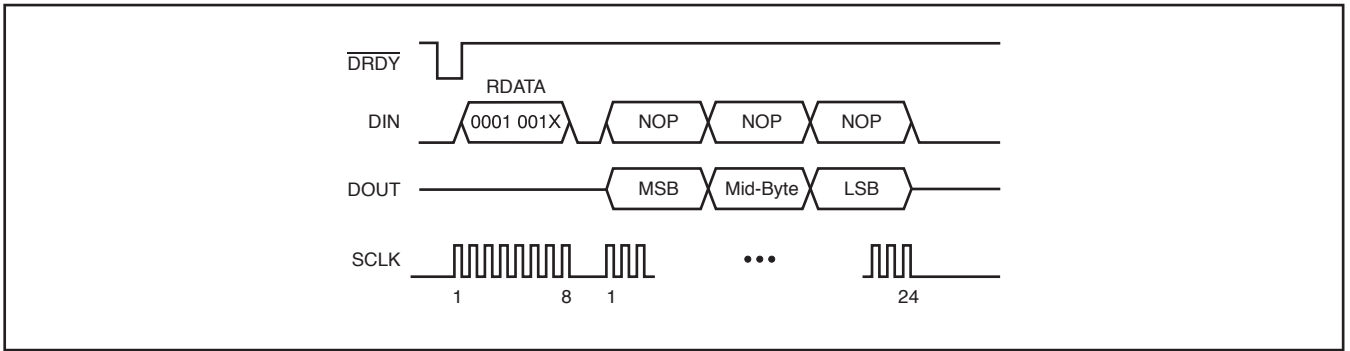


図 75. 1回のデータ読み取り

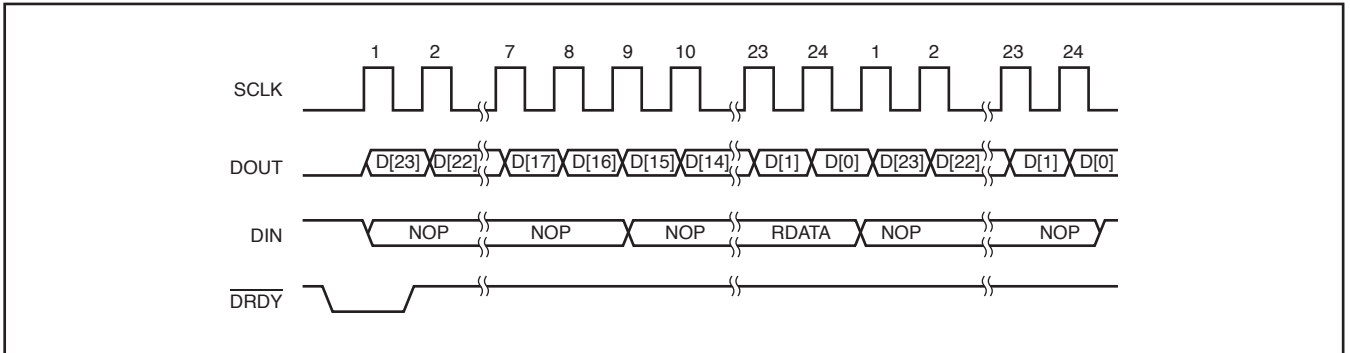


図 76. 全二重モードでのRDATAの使用

### RDATA - 1回のデータ読み取り

RDATAコマンドは、最新の変換結果を出力レジスタにロードします。図75に示すように、このコマンドの実行後、24サイクルのSCLKを送信することにより、変換結果を読み出すことができます。このコマンドは、RDATACモードでも使用できます。

変換結果を複数回読み取る場合は、図76に示すように、最初の読み取り動作の途中で変換結果の最後の8ビットがシフトアウトされるときに、RDATAコマンドを送信できます。これは、SPIインターフェイスの本質的な全二重通信を利用したものです。

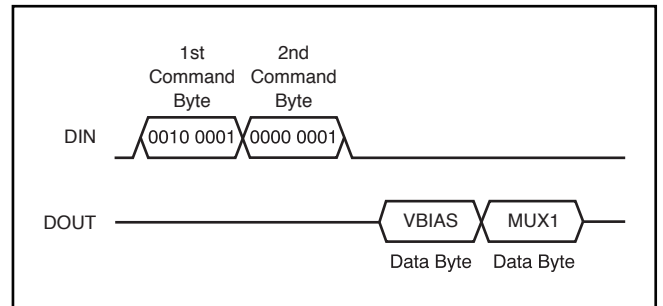


図 77. レジスタからの読み取り

## ユーザー・レジスタ読み取り および書き込みコマンド

### RREG - レジスタ読み取り

このコマンドは、命令の一部として指定されるレジスタ・アドレスから開始して、最大16個のレジスタのデータを出力します。読み取るレジスタの数は、2番目のバイト+1です。個数が残りのレジスタ数よりも多い場合、アドレスは最初に戻ります。

最初のコマンドバイト：0010 rrrr

(ここで、rrrrは最初に読み取るレジスタのアドレス)

2番目のコマンドバイト：0000 nnnn

(ここで、nnnnは読み取るバイト数-1)

レジスタ・データの読み出し時には、SPIインターフェイスの全二重特性を利用できません。例えば、図77に示すように、VBIASおよびMUX1データの読み出し中にSYNCコマンドを実行することはできません。レジスタ・データの読み出し中に送信されたコマンドは、無視されます。したがって、レジスタ・データの読み出し時には、DINを通してNOPを送信することを推奨します。

### WREG - レジスタ書き込み

このコマンドは、命令の一部として指定されるレジスタから開始して、レジスタにデータを書き込みます。書き込むレジスタの数は、2番目のバイト+1です。

最初のコマンドバイト：0100 rrrr

(ここで、rrrrは最初に書き込むレジスタのアドレス)

2番目のコマンドバイト：0000 nnnn

(ここで、nnnnは書き込むバイト数-1)

データ・バイト：レジスタに書き込むデータ

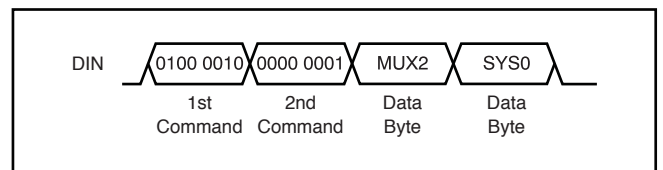


図 78. レジスタへの書き込み

## 校正コマンド

ADS1246/7/8には、システムおよび自己オフセット校正コマンドと、システム・ゲイン校正コマンドがあります。

### SYSOCAL - システム・オフセット校正

このコマンドは、システム・オフセット校正を開始します。システム・オフセット校正を行うには、外部で入力をゼロに設定する必要があります。この動作が完了すると、OFCレジスタが更新されます。

### SYSGCAL - システム・ゲイン校正

このコマンドは、システム・ゲイン校正を開始します。システム・ゲイン校正を行うには、入力をフルスケールに設定する必要があります。この動作の後、FSCレジスタが更新されます。

### SELFOCAL - 自己オフセット校正

このコマンドは、オフセットの自己校正を開始します。入力が内部で短絡され、校正が実行されます。この動作の後、OFCレジスタが更新されます。

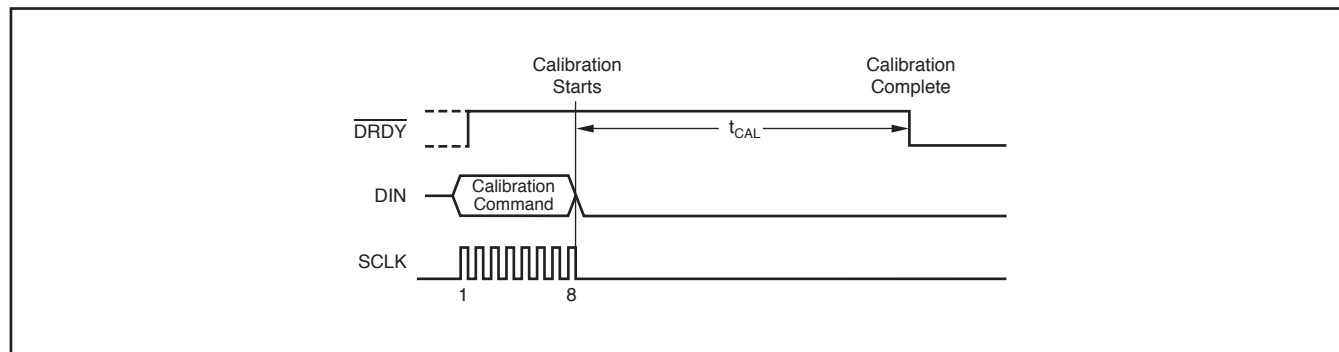


図 79. 校正コマンド



## アプリケーション情報

### SPI通信の例

ここでは、ADS1246/7/8とのSPI通信のいくつかの例を、パワーアップ・シーケンスも含めて示します。

### チャンネル多重化の例

最初の例は、ADS1247およびADS1248にのみ適用されます。この例は、2つの異なるアナログ・チャンネルに接続された2つのセンサとともにデバイスを使用する方法を説明します。図80に、デバイスで実行されるSPI動作のシーケンスを示します。パワーアップ後、通信を開始できるようになるまでには、216システム・クロックが必要です。最初の216システム・クロック・サイクルの間、デバイスは内部でリセット状態に保持されます。この例では、センサの1つがチャンネルAIN0およびAIN1に接続され、もう1つのセンサがチャンネルAIN2およびAIN3に接

続されています。ADCは、2kSPSのデータ・レートで動作します。PGAゲインは、両方のセンサに対して32に設定されます。VBIASは、両方のセンサの負端子（つまり、チャンネルAIN1およびAIN3）に接続されています。これらの設定はすべて、デバイスの最初の4つのレジスタにブロック書き込み動作を実行することで変更できます。 $\overline{\text{DRDY}}$ ピンが“Low”になった後、SPIクロックを16パルス送信して、変換結果を直ちに取得できます（デバイスはデフォルトでRDATACモードになるため）。図80に示すように、変換結果の取得中、全二重方式でMUX0レジスタに書き込むことにより、アクティブな入力チャンネルをAIN2およびAIN3に切り替えることができます。追加の8SPIクロックパルスで書き込み動作は完了します。MUX0レジスタへの書き込み動作から、次に $\overline{\text{DRDY}}$ が“Low”に移るまでの時間は、図80に示され、この場合は0.513msです。 $\overline{\text{DRDY}}$ が“Low”になった後、変換結果を取得でき、上記と同様にアクティブなチャンネルを切り替えることができます。

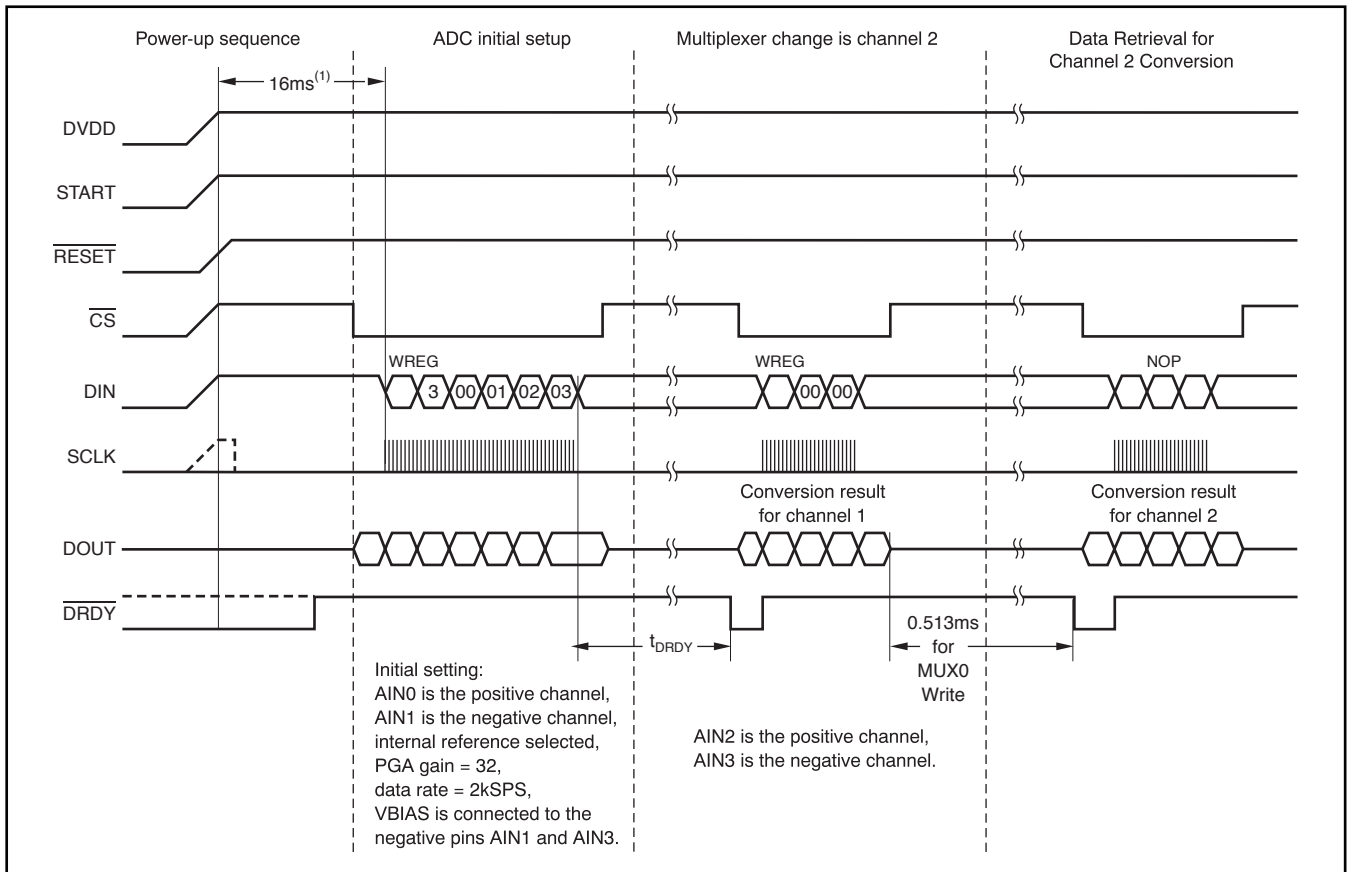


図 80. チャンネル多重化のSPI通信シーケンス

(1)  $f_{\text{OSC}} = 4.096\text{MHz}$ の場合。

## スリープ・モードの例

この2番目の例では、パワーアップ後に1回の変換を実行してから、省電力のスリープ・モードに入ります。この例では、センサが入力チャンネルAIN0およびAIN1に接続されます。デバイスを設定するコマンドは、デバイスのパワーアップから216システム・クロック以上経過するまでは実行できません。ADCは、2kSPSのデータ・レートで動作します。PGAゲインは、両方のセンサに対して32に設定されます。VBIASは、センサの負

端子（つまり、チャンネルAIN1）に接続されています。これらの設定はすべて、デバイスの最初の4つのレジスタにブロック書き込み動作を実行することで変更できます。ブロック書き込み動作の実行後、STARTピンを“Low”にできます。SYS0レジスタへの書き込みから0.575ms後にDRDYが“Low”になると、デバイスは直ちに省電力スリープ・モードに入ります。変換結果は、デバイスがスリープ・モードに入った後でも、16 SPIクロック・パルスを送信することで取得できます。

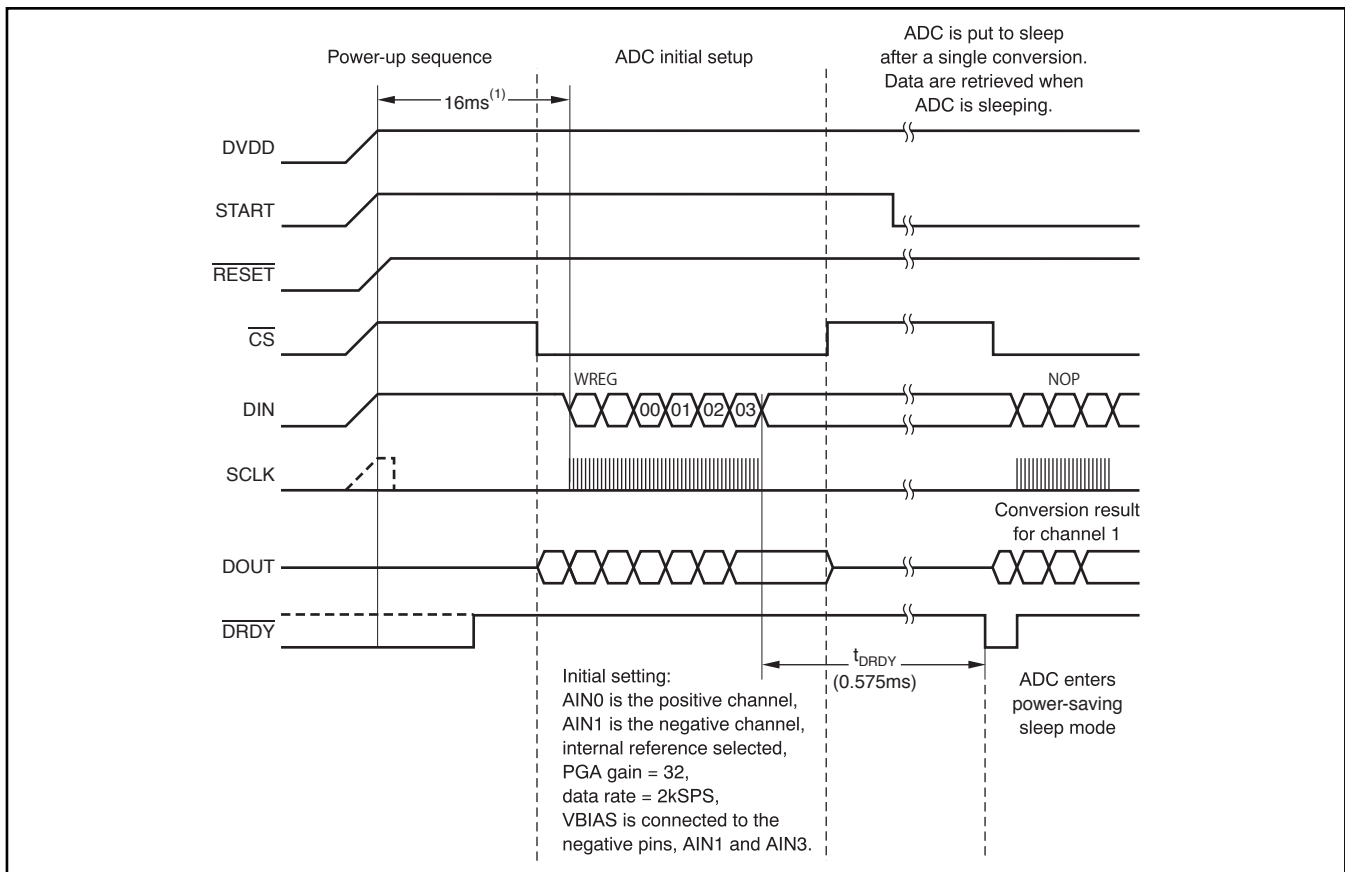


図 81. 変換後にスリープ・モードに入るSPI通信シーケンス

(1)  $f_{OSC} = 4.096\text{MHz}$ の場合。

## ハードウェア補償の3線式RTD測定の例

図82は、PT-100 RTDおよびADS1247またはADS1248を3線式のハードウェア補償トポロジで使用し、 $0^{\circ}\text{C}\sim+50^{\circ}\text{C}$ の範囲の温度を測定するアプリケーション回路です。ADS1247/8の2つのマッチングされたオンボード電流DACは、3線式RTDトポロジの実装に最適です。この回路では、IDAC電流からリファレンスを得るレシオメトリックなアプローチを使用することで、優れたノイズ特性を実現しています。PT-100の抵抗は、 $100\Omega(0^{\circ}\text{C})\sim119.6\Omega(+50^{\circ}\text{C})$ の範囲で変化します。補償抵抗( $R_{\text{COMP}}$ )は、 $+25^{\circ}\text{C}$ でのPT-100センサの抵抗と等しくなるよ

うに選択されています(約 $110\Omega$ )。IDAC電流は、 $1.5\text{mA}$ に設定されています。この設定により、ADCの入力での差動入力スイングが $\pm 14.7\text{mV}$ になります。PGAゲインは、128に設定されます。ADCのフルスケール入力は、 $\pm 19.53\text{mV}$ です。 $R_{\text{BIAS}}$ を $833\Omega$ に固定することで、リファレンスが $2.5\text{V}$ 、入力同相モードが約 $2.7\text{V}$ に固定され、AIN0の電圧がIDACのコンプライアンス電圧から大きく離れます。

$0^{\circ}\text{C}\sim+50^{\circ}\text{C}$ の温度範囲におけるこの回路のノイズフリー出力コードの最大数は、 $(2^{\text{ENOB}})(14.7\text{mV})/19.53\text{mV}$ です。

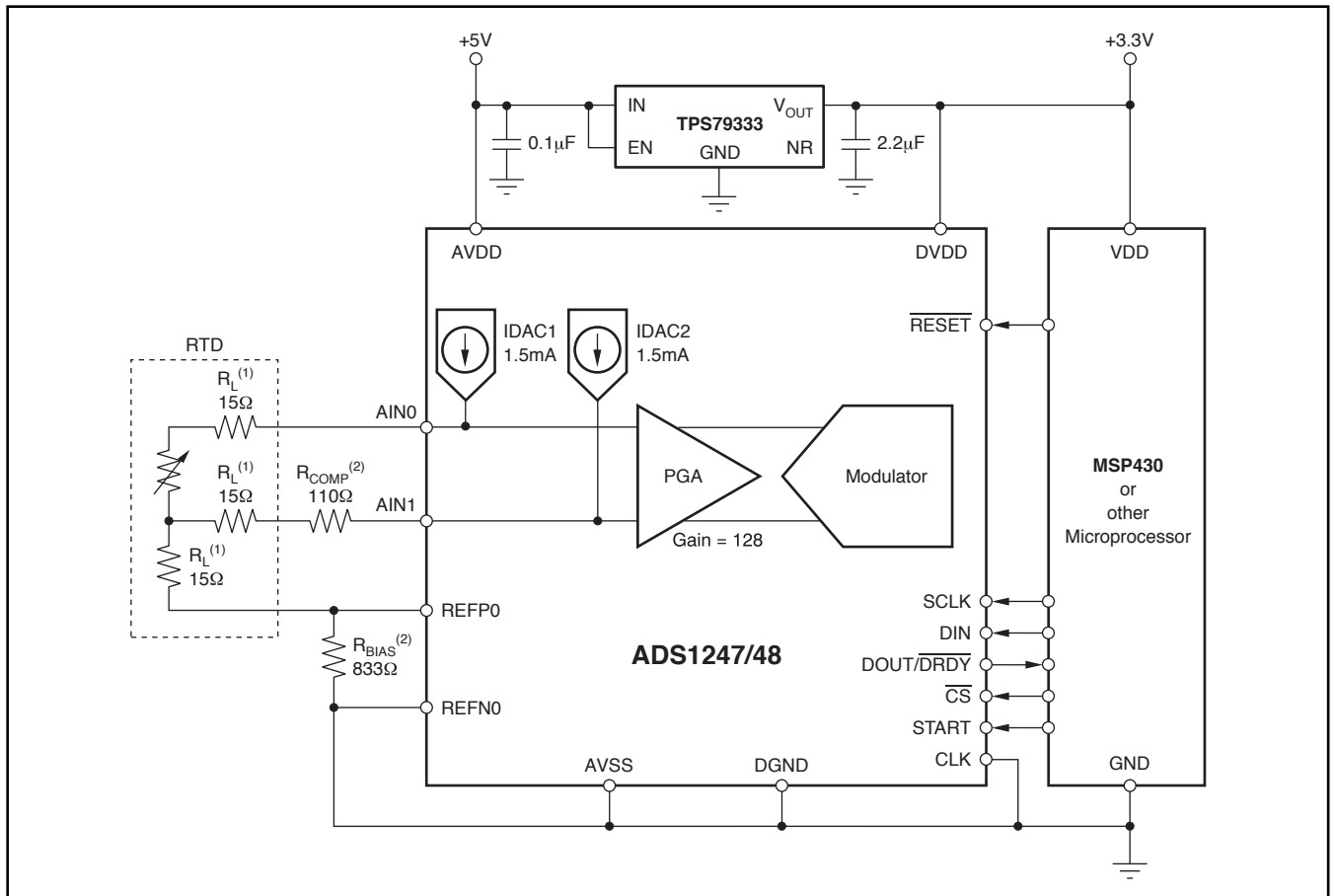


図 82. ハードウェア補償付き3線式RTDアプリケーション

- (1) RTDライン抵抗。  
 (2)  $R_{\text{BIAS}}$ および $R_{\text{COMP}}$ は、ADCにできるだけ近づけて配置してください。

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>	Samples (Requires Login)
ADS1246IPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	<a href="#">Request Free Samples</a>
ADS1246IPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	<a href="#">Purchase Samples</a>
ADS1247IPW	ACTIVE	TSSOP	PW	20	70	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	<a href="#">Request Free Samples</a>
ADS1247IPWR	ACTIVE	TSSOP	PW	20	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Contact TI Distributor or Sales Office
ADS1248IPW	ACTIVE	TSSOP	PW	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	<a href="#">Request Free Samples</a>
ADS1248IPWR	ACTIVE	TSSOP	PW	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	<a href="#">Purchase Samples</a>

<sup>(1)</sup> マーケティングステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコプラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

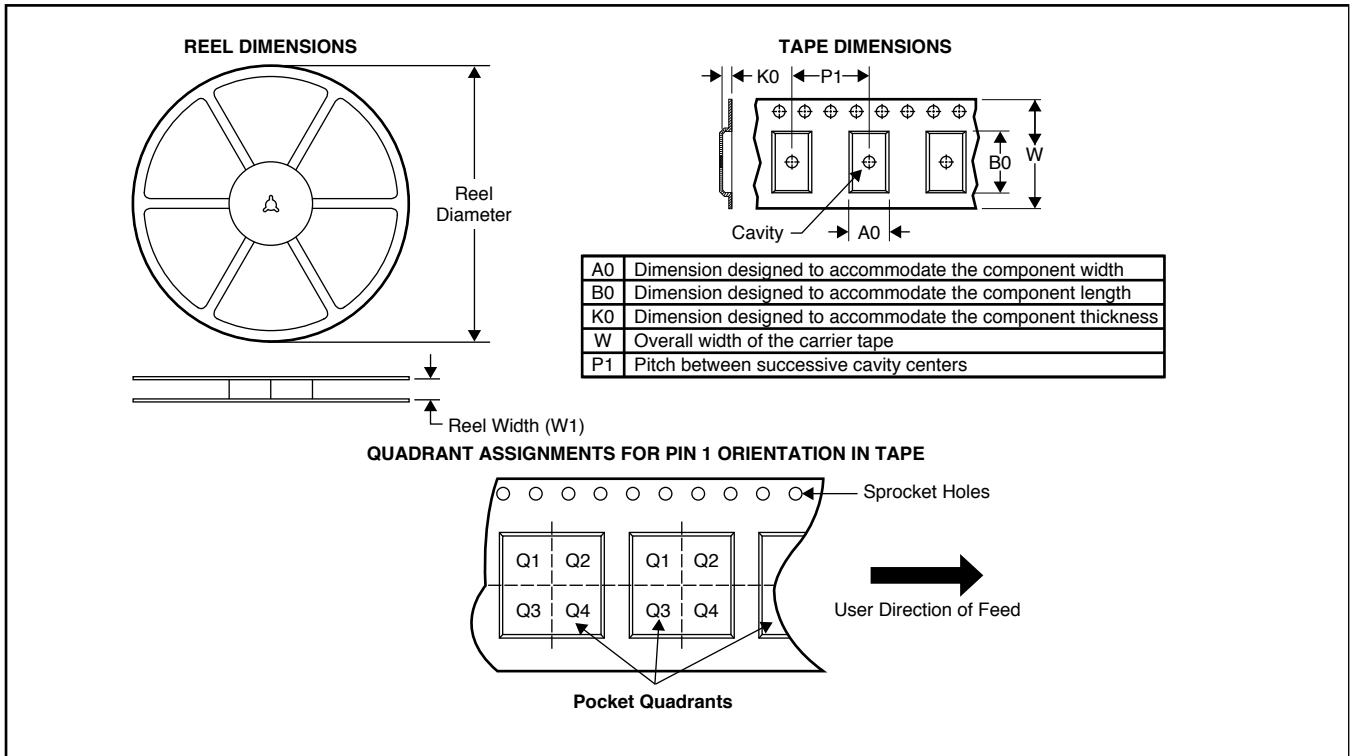
<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・材料情報

## テープおよびリール・ボックス情報

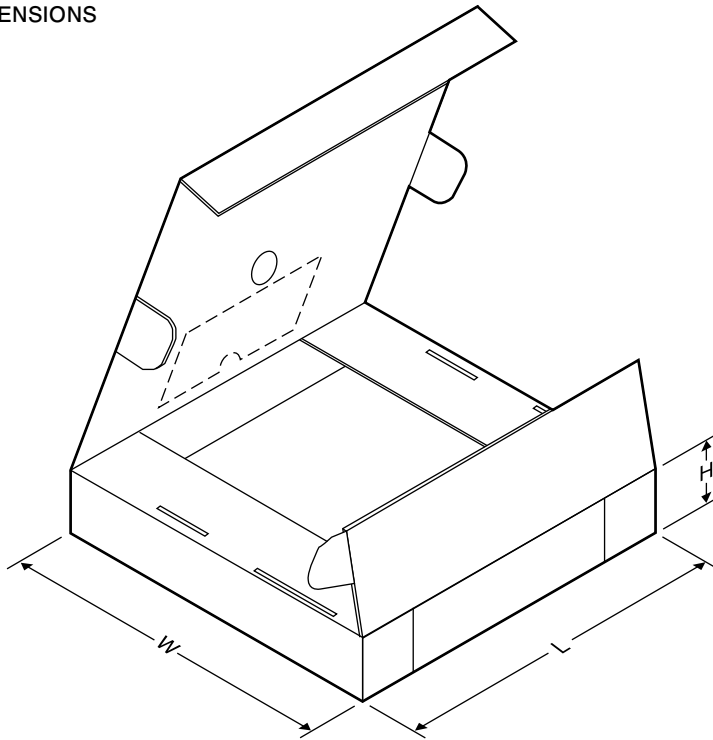


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1246IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1247IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
ADS1248IPWR	TSSOP	PW	28	2000	330.0	16.4	7.1	10.4	1.6	12.0	16.0	Q1

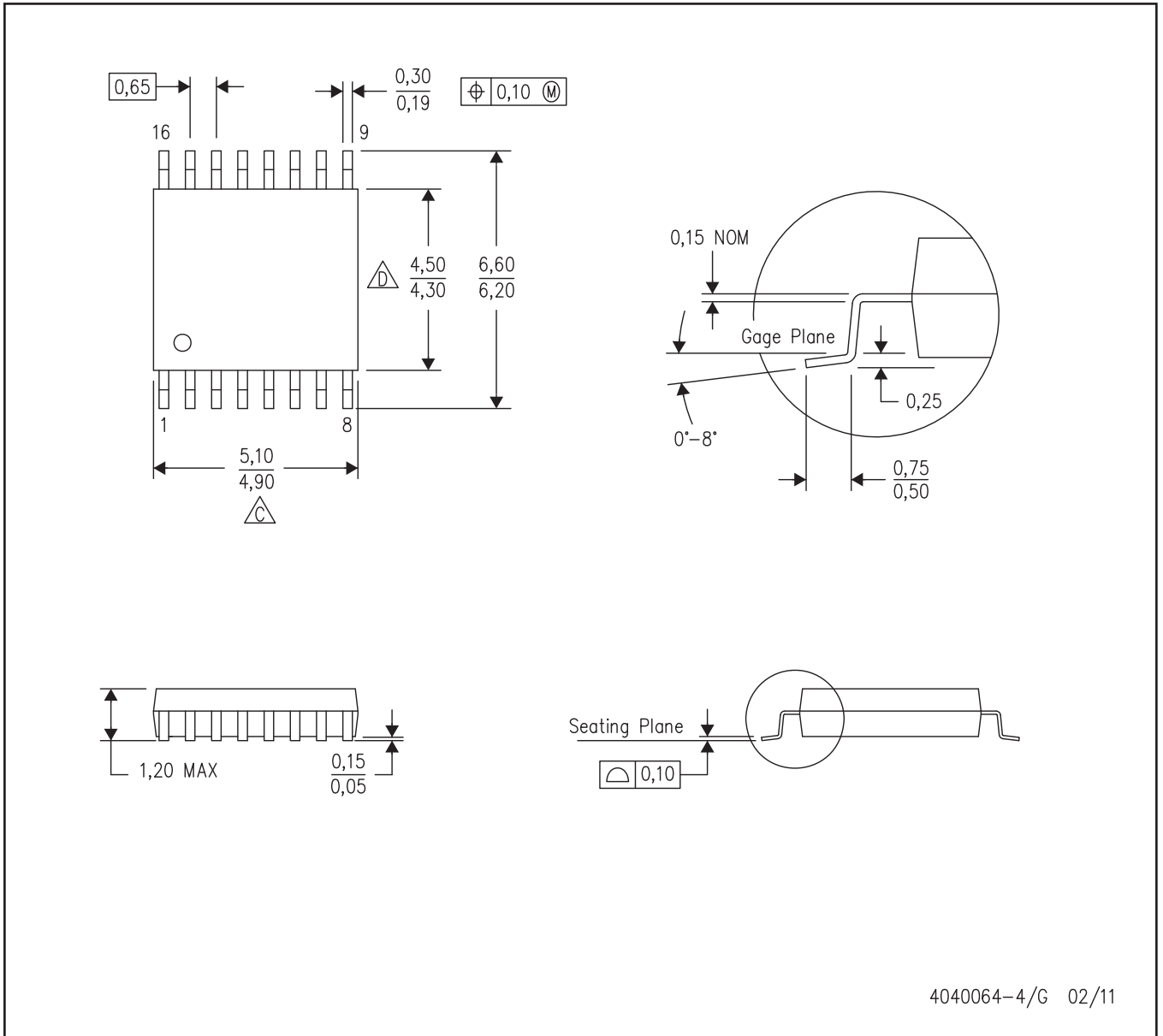
## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



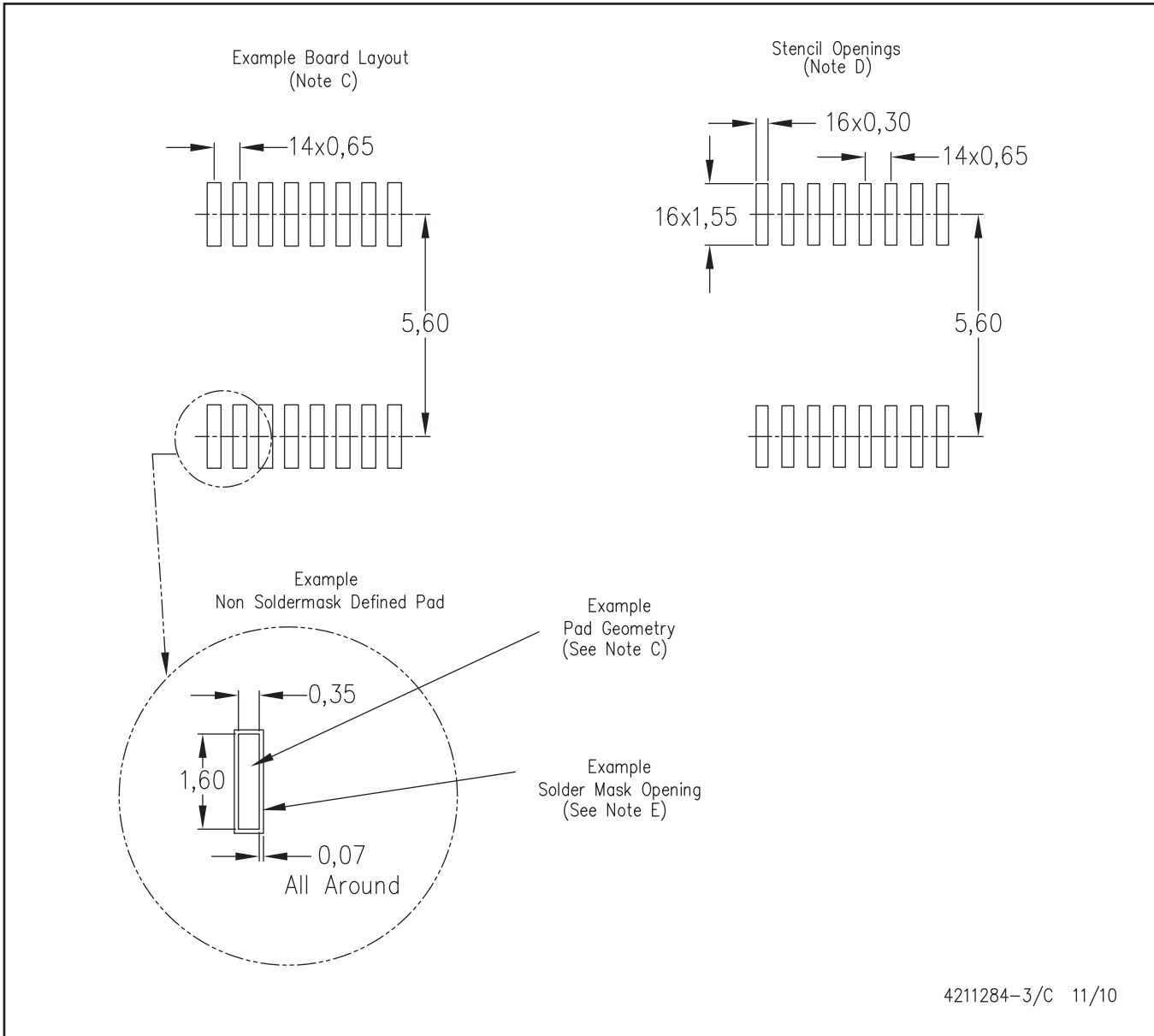
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1246IPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
ADS1247IPWR	TSSOP	PW	20	2000	346.0	346.0	33.0
ADS1248IPWR	TSSOP	PW	28	2000	346.0	346.0	33.0



4040064-4/G 02/11

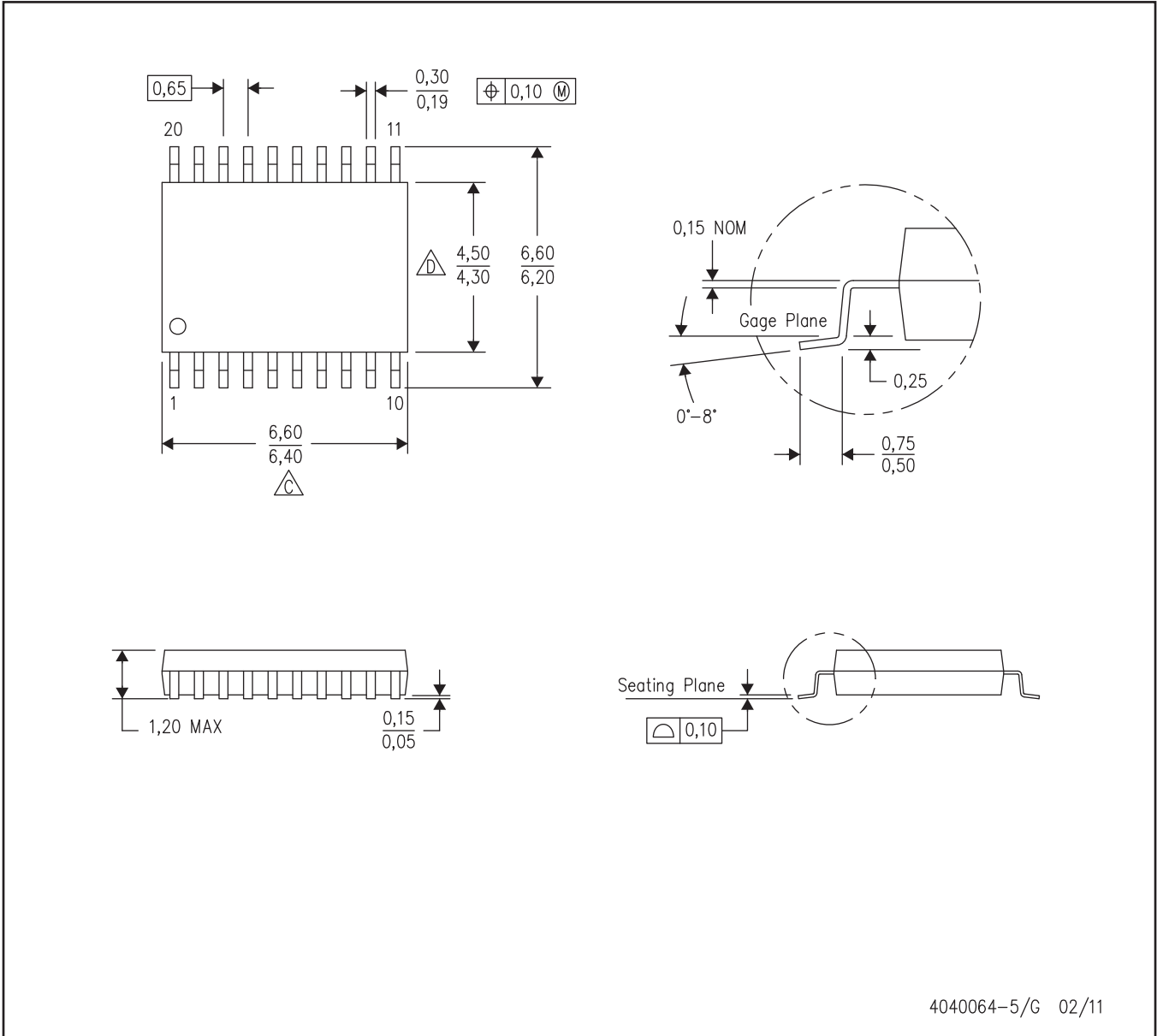
- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 △C ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。  
 △D ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.25mmを超えることはありません。  
 E. JEDEC MO-153に適合しています。



4211284-3/C 11/10

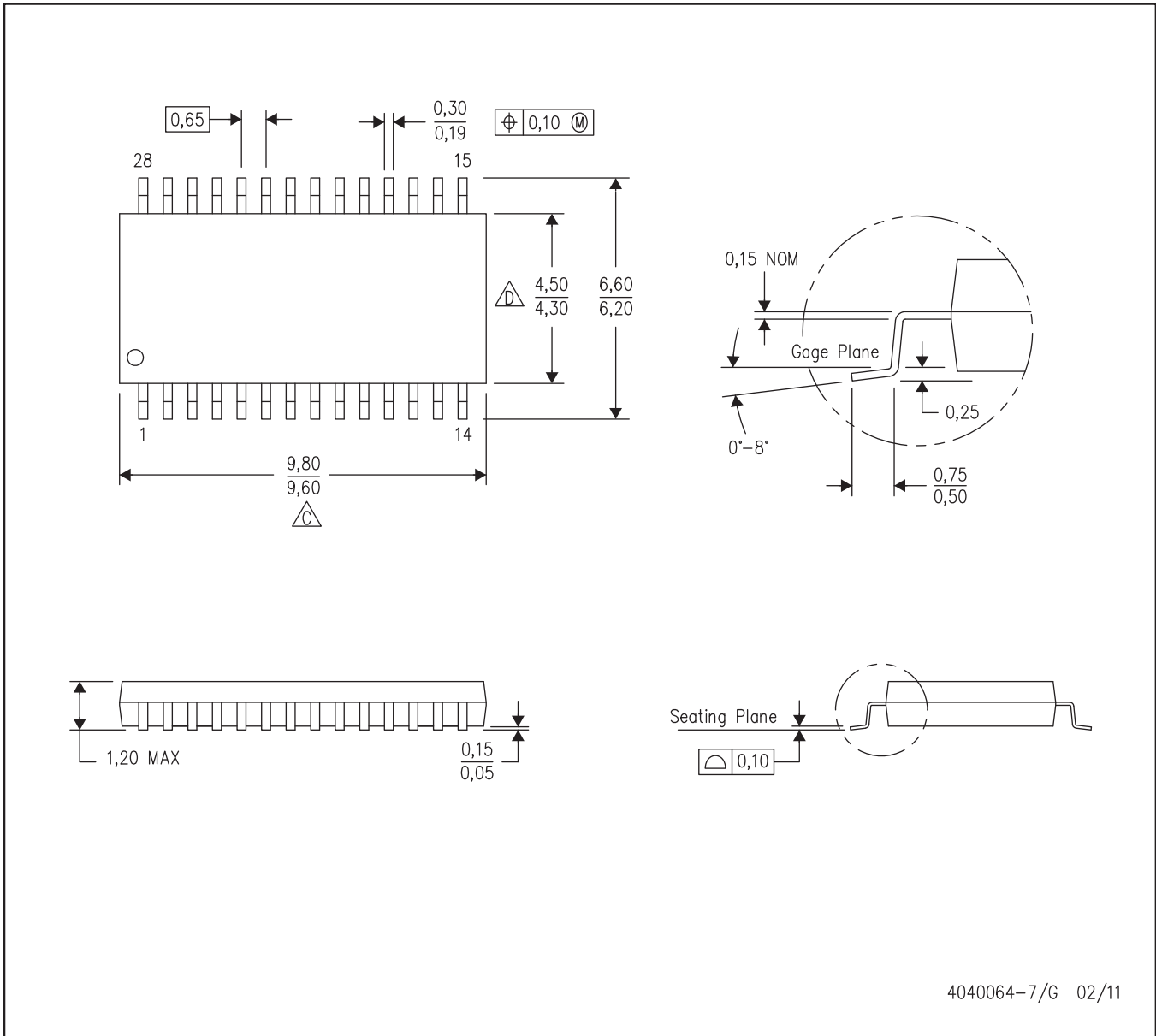
- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 代替設計については、資料IPC-SM-782を推奨します  
 D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。  
 E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください





4040064-5/G 02/11

- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。  
 D. ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0.25mmを超えることはありません。  
 E. JEDEC MO-153に適合しています。



4040064-7/G 02/11

- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法には、0,15mmを超えるモールド・フラッシュや突起は含まれません。  
 D. ボディ幅には、インターリード・フラッシュは含まれません。インターリード・フラッシュは、片側で0,25mmを超えることはありません。  
 E. JEDEC MO-153に適合しています。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上