

## AWR1843 シングルチップ 77~79GHz FMCW レーダー センサ

### 1 特長

- FMCW トランシーバ
  - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
  - 76~81GHz 帯で、使用可能帯域幅 4GHz
  - 4 つの受信チャンネル
  - 3 つの送信チャンネル
  - フラクショナル N PLL を使用した超高精度のチャープエンジン
  - TX 出力: 12dBm
  - RX ノイズ指数:
    - 14dB (76~77GHz)
    - 15dB (77~81GHz)
  - 1MHz での位相ノイズ:
    - -95dBc/Hz (76~77GHz)
    - -93dBc/Hz (77~81GHz)
- 較正および自己テスト (監視機能) を内蔵
  - Arm® Cortex®-R4F ベースの無線制御システム
  - 内蔵ファームウェア (ROM)
  - プロセスおよび温度の自己較正システム
- FMCW 信号処理用の C674x DSP
- オンチップ メモリ: 2MB
- 物体追跡および分類、AUTOSAR、インターフェイス制御用の Cortex-R4F マイクロコントローラ
  - 自律モード (QSPI フラッシュ メモリからのユーザーアプリケーションのロード) をサポート
- 内蔵パリティ
  - ECC 付き内部メモリ
- ホスト インターフェイス
  - CAN および CAN-FD
- ユーザー アプリケーションで利用可能なその他のインターフェイス
  - 最大 6 つの ADC チャンネル
  - 最大 2 つの SPI チャンネル
  - 最大 2 つの UART
  - I<sup>2</sup>C
  - GPIO
  - 未加工 ADC データおよびデバッグ計測機器向け 2 レーン LVDS インターフェイス
- デバイスのセキュリティ (一部の部品番号のみ)
  - セキュア認証および暗号化ブートのサポート
  - 顧客がプログラム可能なルート キー、対称キー (256 ビット)、非対称キー (RSA-2K まで)、キー失効機能付き
  - 暗号化ソフトウェア アクセラレータ - PKA、AES (最大 256 ビット)、SHA (最大 256 ビット)、TRNG/DRGB
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - ASIL-D までの ISO 26262 機能安全システム設計に役立つ資料を入手可能
  - ASIL-B までのハードウェア インテグリティ
  - 安全関連の認証
    - TUV SUD により ISO 26262 認証済み (ASIL B まで)
- AEC-Q100 認定済み
- デバイスの高度な機能
  - ホスト プロセッサの関与を必要としない自己監視機能を内蔵
  - 複素ベースバンド アーキテクチャ
  - 干渉検出機能を内蔵
  - 送信経路内のプログラム可能な位相ローテーターにより、ビーム形成が可能
- パワー マネージメント
  - 内蔵 LDO ネットワークにより PSRR の向上を実現
  - I/O は 3.3V/1.8V のデュアル電圧に対応
- クロック ソース
  - 40MHz の外部発振器をサポート
  - 40MHz の外部駆動クロック (方形波 / 正弦波) をサポート
  - 負荷コンデンサ付きの 40MHz 水晶振動子接続をサポート
- ハードウェア設計が簡単
  - 組み立てが簡単で低コストの PCB を設計できる 0.65mm ピッチ、161 ピン、10.4mm × 10.4mm のフリップ チップ BGA パッケージ
  - 小型ソリューション サイズ
- 動作条件
  - 接合部温度範囲: -40°C ~ 125°C



## 2 アプリケーション

- 死角検出
- 車線変更支援
- クロストラフィック アラート

- 駐車支援
- 物体検出
- ジェスチャ認識

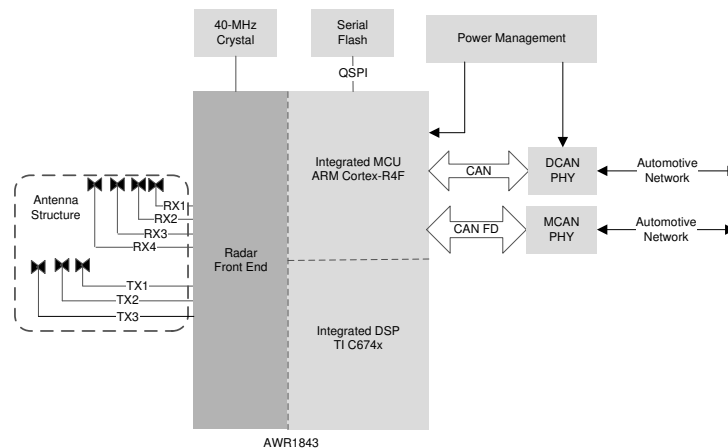


図 2-1. 車載用アプリケーション向け自律レーダー センサ

## 3 概要

AWR1843 デバイスは、76～81GHz 帯で動作可能な統合型シングルチップ FMCW レーダー センサです。テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスで製造され、超小型のフォームファクタで、かつてないレベルの統合を実現しています。AWR1843 は、低消費電力で自己監視機能を備えた超高精度の車載用レーダー システムに最適なソリューションです。

AWR1843 デバイスは、76～81GHz 帯車載用レーダー センサの実装を簡単にする自己完結型 FMCW レーダー センサ シングルチップ ソリューションです。テキサス・インスツルメンツの低消費電力 45nm RFCMOS プロセスで製造され、PLL および ADC コンバータを内蔵する 3TX/4RX システムのモノリシック実装を実現しています。また、TI の高性能 C674x DSP を含む DSP サブシステムをレーダー信号処理のために統合しています。無線の構成、制御、較正用に BIST プロセッサ サブシステムも内蔵されています。さらに、このデバイスには車載用インターフェイスとして使用される ARM R4F が搭載されており、ユーザーがプログラム可能です。ハードウェア アクセラレータブロック (HWA) はレーダー処理を実行でき、DSP の MIPS を節約して、DSP がより高いレベルのアルゴリズムを実行できるようにします。プログラミング モデルを変更するだけで、さまざまなセンサ (短距離、中距離、長距離) を実装でき、マルチモード センサの実装においては動的再構成にも対応します。また本デバイスは、TI のリファレンス デザイン、ソフトウェアドライバ、構成例、API ガイド、ユーザー マニュアルを含む完全なプラットフォーム ソリューションとして提供しています。

### 製品情報

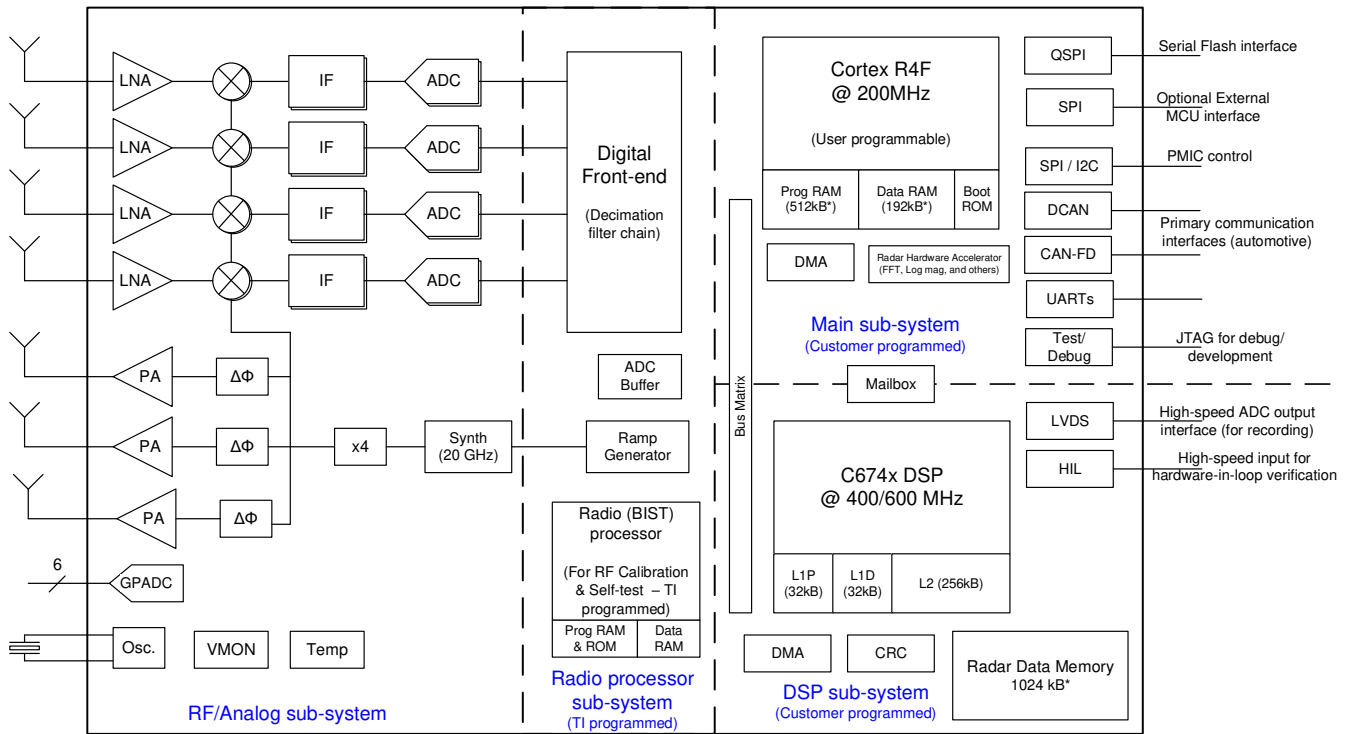
| 部品番号 <sup>(2)</sup> | パッケージ <sup>(1)</sup> | 本体サイズ           | トレイ / テープ アンドリール |
|---------------------|----------------------|-----------------|------------------|
| AWR1843ABGABLQ1     | ABL (FCBGA, 161)     | 10.4mm × 10.4mm | トレイ              |
| AWR1843ABGABLRQ1    |                      |                 | テープ アンドリール       |
| AWR1843ABSABLQ1     |                      |                 | トレイ              |
| AWR1843ABSABLRQ1    |                      |                 | テープ アンドリール       |

(1) 詳細については、[セクション 13](#)、「メカニカル、パッケージ、および注文情報」を参照してください。

(2) 詳細については、[セクション 11.1](#)「デバイスの命名規則」を参照してください。

## 4 機能ブロック図

デバイスの機能ブロック図を図 4-1 に示します。



\* Up to 512kB of Radar Data Memory can be switched to the Main R4F program and data RAMs

図 4-1. 機能ブロック図

## 目次

|                                      |    |                                      |    |
|--------------------------------------|----|--------------------------------------|----|
| <b>1 特長</b> .....                    | 1  | <b>8.1 概要</b> .....                  | 54 |
| <b>2 アプリケーション</b> .....              | 2  | <b>8.2 機能ブロック図</b> .....             | 54 |
| <b>3 概要</b> .....                    | 2  | <b>8.3 サブシステム</b> .....              | 55 |
| <b>4 機能ブロック図</b> .....               | 3  | <b>8.4 その他のサブシステム</b> .....          | 63 |
| <b>5 デバイスの比較</b> .....               | 5  | <b>9 監視と診断</b> .....                 | 65 |
| 5.1 関連製品.....                        | 6  | 9.1 監視と診断のメカニズム.....                 | 65 |
| <b>6 端子構成および機能</b> .....             | 7  | <b>10 アプリケーション、実装、およびレイアウト</b> ..... | 71 |
| 6.1 ピン配置図.....                       | 7  | 10.1 アプリケーション情報.....                 | 71 |
| 6.2 信号の説明.....                       | 11 | 10.2 短距離および中距離レーダー.....              | 71 |
| 6.3 ピン属性.....                        | 16 | 10.3 リファレンス回路図.....                  | 72 |
| <b>7 仕様</b> .....                    | 25 | <b>11 デバイスおよびドキュメントのサポート</b> .....   | 73 |
| 7.1 絶対最大定格.....                      | 25 | 11.1 デバイスの命名規則.....                  | 73 |
| 7.2 ESD 定格.....                      | 25 | 11.2 ツールとソフトウェア.....                 | 74 |
| 7.3 電源投入時間 (POH).....                | 26 | 11.3 ドキュメントのサポート.....                | 74 |
| 7.4 推奨動作条件.....                      | 26 | 11.4 サポート・リソース.....                  | 74 |
| 7.5 電源仕様.....                        | 27 | 11.5 商標.....                         | 75 |
| 7.6 消費電力の概略.....                     | 28 | 11.6 静電気放電に関する注意事項.....              | 75 |
| 7.7 RF 仕様.....                       | 29 | 11.7 用語集.....                        | 75 |
| 7.8 CPU の仕様.....                     | 30 | <b>12 改訂履歴</b> .....                 | 76 |
| 7.9 FCBGA パッケージの熱抵抗特性 [ABL0161]..... | 30 | <b>13 メカニカル、パッケージ、および注文情報</b> .....  | 78 |
| 7.10 タイミングおよびスイッチング特性.....           | 31 | 13.1 パッケージ情報.....                    | 78 |
| <b>8 詳細説明</b> .....                  | 54 | 13.2 のトレイ情報.....                     | 82 |

## 5 デバイスの比較

| 機能                                                   | AWR1243                                   | AWR1443 | AWR1642 | AWR1843 <sup>(1)</sup> |
|------------------------------------------------------|-------------------------------------------|---------|---------|------------------------|
| レシーバの数                                               | 4                                         | 4       | 4       | 4                      |
| トランスミッタの数                                            | 3                                         | 3       | 2       | 3                      |
| オンチップ メモリ                                            | —                                         | 576KB   | 1.5MB   | 2MB                    |
| 最大 I/F (中間周波数) (MHz)                                 | 15                                        | 5       | 5       | 10                     |
| 最大実数 / 複素数 2x サンプリング レート (MSPS)                      | 37.5                                      | 12.5    | 12.5    | 25                     |
| 最大複素数 1x サンプリング レート (MSPS)                           | 18.75                                     | 6.25    | 6.25    | 12.5                   |
| デバイスのセキュリティ <sup>(2)</sup>                           | —                                         | —       | あり      | あり                     |
| <b>プロセッサ</b>                                         |                                           |         |         |                        |
| MCU (R4F)                                            | —                                         | あり      | あり      | あり                     |
| DSP (C674x)                                          | —                                         | —       | あり      | あり                     |
| <b>ペリフェラル</b>                                        |                                           |         |         |                        |
| シリアル ペリフェラル インターフェイス (SPI) ポート                       | 1                                         | 1       | 2       | 2                      |
| クワッド シリアル ペリフェラル インターフェイス (QSPI)                     | —                                         | あり      | あり      | あり                     |
| I <sup>2</sup> C (Inter-Integrated Circuit) インターフェイス | —                                         | 1       | 1       | 1                      |
| コントローラ エリア ネットワーク (DCAN) インターフェイス                    | —                                         | あり      | あり      | あり                     |
| CAN-FD                                               | —                                         | —       | あり      | あり                     |
| トレース                                                 | —                                         | —       | あり      | あり                     |
| PWM                                                  | —                                         | —       | あり      | あり                     |
| ハードウェア イン ループ (HIL/DMM)                              | —                                         | —       | あり      | あり                     |
| GPADC                                                | —                                         | あり      | あり      | あり                     |
| LVDS / デバッグ <sup>(3)</sup>                           | あり                                        | あり      | あり      | あり                     |
| CSI2                                                 | あり                                        | —       | —       | —                      |
| ハードウェア アクセラレータ                                       | —                                         | あり      | —       | あり                     |
| 1V バイパス モード                                          | あり                                        | あり      | あり      | あり                     |
| カスケード (20GHz 同期)                                     | —                                         | —       | —       | —                      |
| JTAG                                                 | —                                         | あり      | あり      | あり                     |
| 同時に使用できる Tx の数                                       | 2                                         | 2       | 2       | 3 <sup>(4)</sup>       |
| チャープごとに構成可能な Tx 位相シフト                                | —                                         | —       | —       | あり                     |
| 製品ステータス <sup>(5)</sup>                               | 製品プレビュー (PP)、<br>事前情報 (AI)、<br>量産データ (PD) | PD      | PD      | PD                     |

- (1) 機能安全アプリケーション用に開発された本デバイスは、ASIL-B までのハードウェア安全度をサポートしています。詳細については、関連資料を参照してください。
- (2) セキュア ブートとカスタマー プログラマブル キーを含むデバイス セキュリティ機能は、「製品情報」表のセクション 3 のデバイス タイプ識別子で示された一部の製品バリエーションでのみ利用できます。
- (3) LVDS インターフェイスは、製品インターフェイスではなく、デバッグ目的でのみ使用されます。
- (4) 3 Tx 同時動作は、AWR1843 において、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。その他のデバイスは、2 つのトランスミッタの同時動作のみをサポートします。
- (5) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様準拠に準拠しています。量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

## 5.1 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

### ミリ波センサ

テキサス・インスツルメンツの最もフットプリントが小さい車載アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。

### 車載ミリ波センサ

テキサス・インスツルメンツの車載ミリ波センサ製品ラインアップは、超高分解能、小型、低消費電力のシングルチップ レーダー ソリューションに高性能レーダー フロント エンドを提供します。テキサス・インスツルメンツのスケラブルなセンサ製品ラインアップは、すべての自動車の快適性機能から安全性機能に至るまで、あらゆる性能、アプリケーション、センサ構成に対応する ADAS システム ソリューションの設計と開発を可能にします。

### コンパニオン製品 (AWR1843)

この製品と組み合わせて購入または使用されることが多い製品を確認してください。

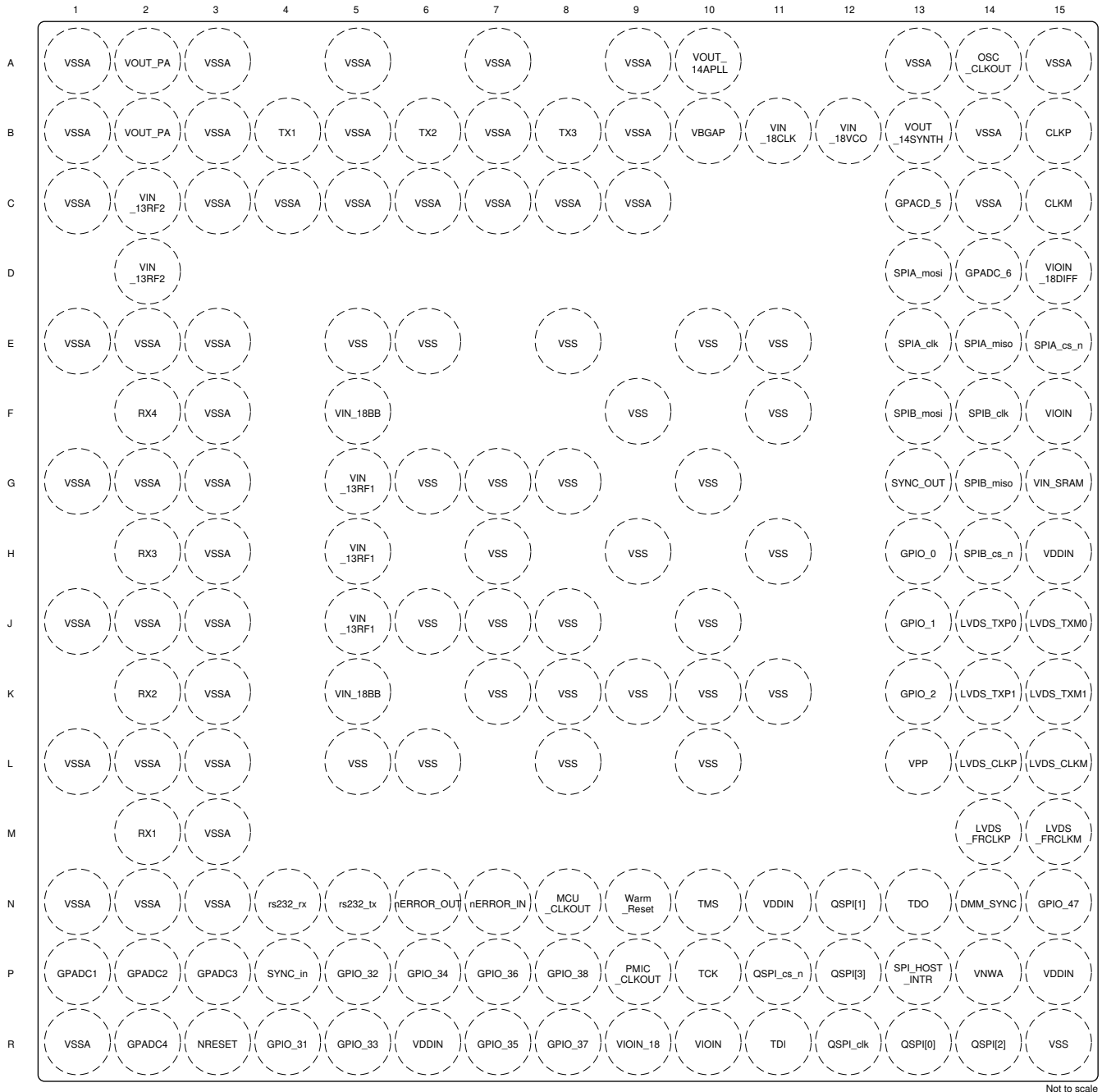
### リファレンス デザイン (AWR1843)

TI Designs リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI Designs は、システム設計を迅速に開始できるようにテキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。  
[ti.com/tidesigns](http://ti.com/tidesigns) でリファレンス デザインを検索、ダウンロードしてください。

## 6 端子構成および機能

### 6.1 ピン配置図

図 6-1 に、161 ピン FCBGA パッケージのピン位置を示します。図 6-2、図 6-3、図 6-4、および 図 6-5 は同じピンを示していますが、4 つの象限に分割されています。



Not to scale

図 6-1. ピン配置図

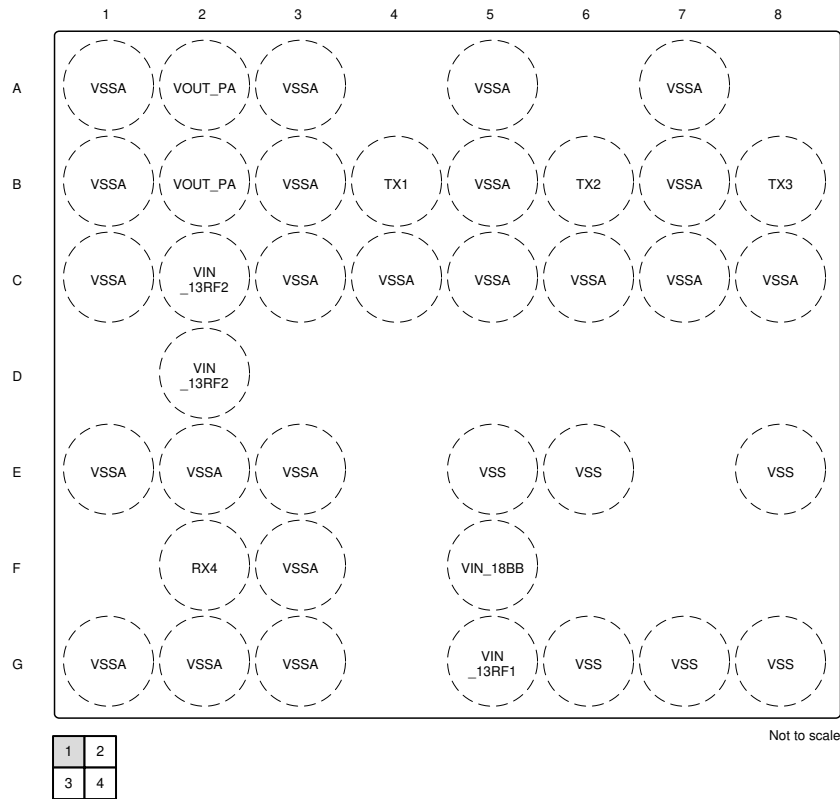


図 6-2. 左上象限

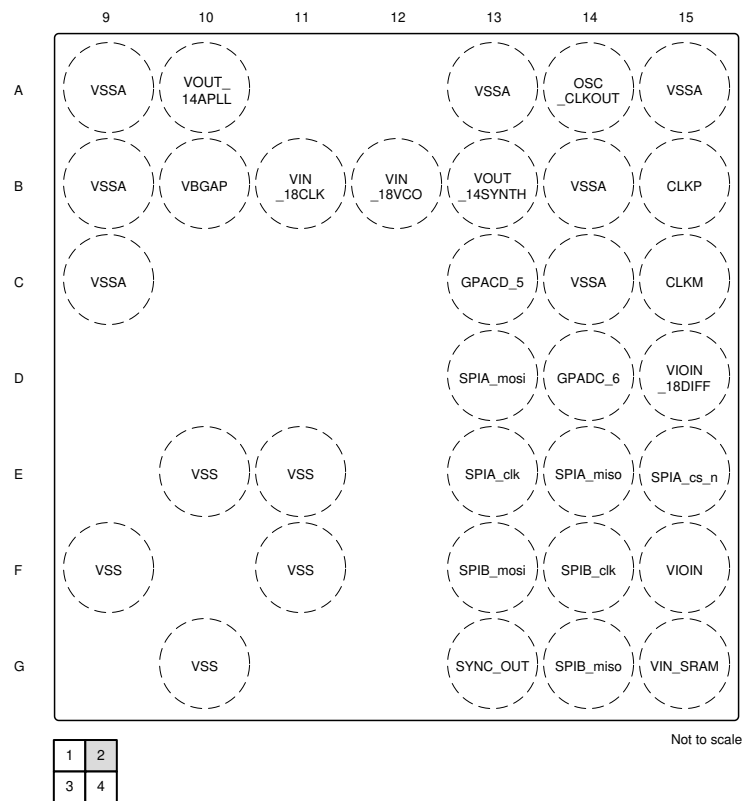
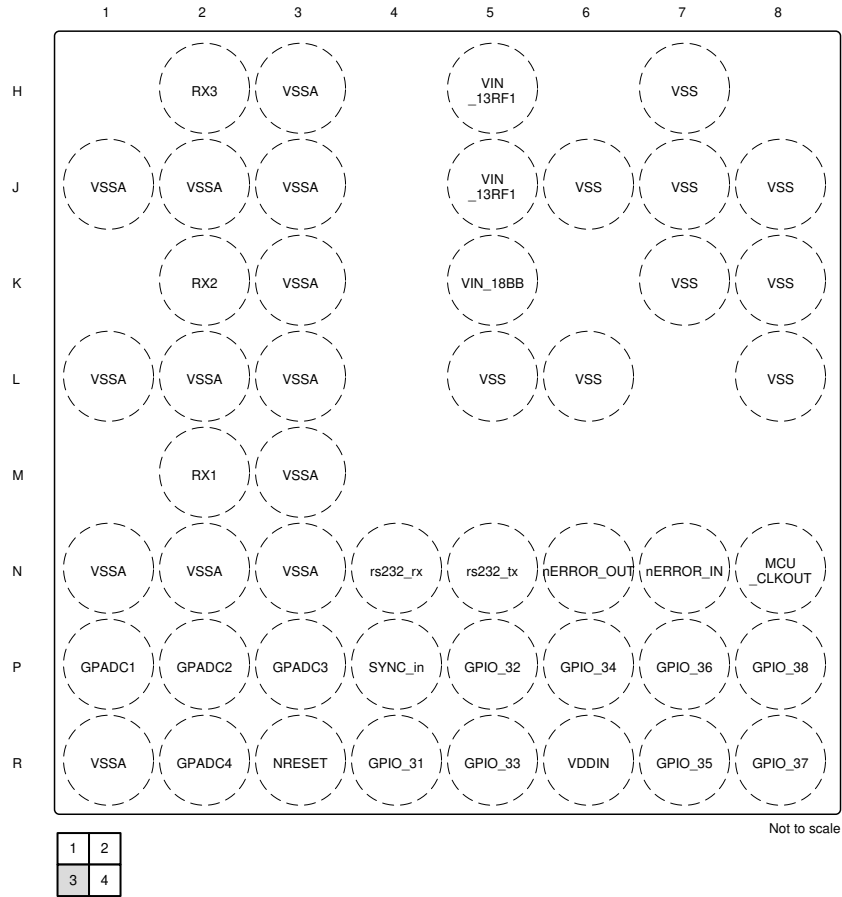


図 6-3. 右上象限





**図 6-4. 左下象限**

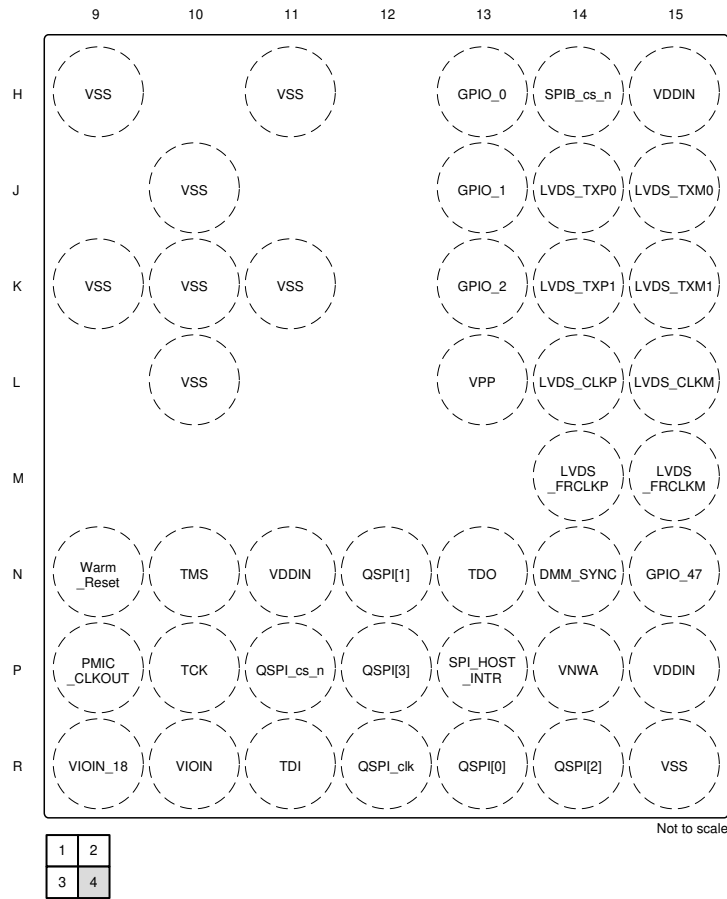


図 6-5. 右下象限

## 6.2 信号の説明

### 注

本デバイスのすべてのデジタル IO ピン (NERROR\_IN、NERROR\_OUT、WARM\_RESET を除く) フェールセーフではないので、VIO 電源が本デバイスに供給されていない状態において、これらの IO ピンが外部から駆動されないように注意する必要があります。

### 注

電源ランプ時の GPIO 状態は保証されません。GPIO の状態が重要なアプリケーションで GPIO を使用する場合には、NRESET が Low であるときにも、トライステートバッファを使用して GPIO 出力をレーダー デバイスから分離し、プル抵抗を使って、アプリケーションで必要な状態を確定する必要があります。レーダー デバイスへの NRESET 信号は、トライステートバッファの出力イネーブル (OE) を制御するために使用できます。

### 6.2.1 信号の説明 - デジタル

| 信号名         | ピンの種類 | 説明                                                                 | ボール番号                        |
|-------------|-------|--------------------------------------------------------------------|------------------------------|
| ADC_VALID   | O     | High のとき、有効な ADC サンプルであることを示す                                      | H13、J13、P13                  |
| BSS_UART_TX | O     | デバッグ UART 送信 [レーダー ブロック]                                           | F14、H14、K13、N10、N13、N4、N5、R8 |
| CAN_FD_RX   | I     | CAN FD (MCAN) 受信信号                                                 | D13、F14、N10、N4、P12           |
| CAN_FD_TX   | O     | CAN FD (MCAN) 送信信号                                                 | E14、H14、N5、P10、R14           |
| CAN_RX      | I     | CAN (DCAN) 受信信号                                                    | E13                          |
| CAN_TX      | IO    | CAN (DCAN) 送信信号                                                    | E15                          |
| CHIRP_END   | O     | 各チャープの終了を示すパルス信号                                                   | K13、N8、P9                    |
| CHIRP_START | O     | 各チャープの開始を示すパルス信号                                                   | K13、N8、P9                    |
| DMM0        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | R4                           |
| DMM1        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | P5                           |
| DMM2        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | R5                           |
| DMM3        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | P6                           |
| DMM4        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | R7                           |
| DMM5        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | P7                           |
| DMM6        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | R8                           |
| DMM7        | I     | デバッグ インターフェイス (ハードウェア イン ループ) - データライン                             | P8                           |
| DMM_CLK     | I     | デバッグ インターフェイス (ハードウェア イン ループ) - クロック                               | N15                          |
| DMM_MUX_IN  | I     | デバッグ インターフェイス (ハードウェア イン ループ) DMM1 と DMM2 の間でのマルチプレクサ選択 (2 インスタンス) | G13、J13、P4                   |
| DMM_SYNC    | I     | デバッグ インターフェイス (ハードウェア イン ループ) - 同期                                 | N14                          |
| DSS_UART_TX | O     | デバッグ UART 送信 [DSP]                                                 | D13、E13、G14、P8、R12           |
| EPWM1A      | O     | PWM モジュール 1 - 出力 A                                                 | N5、N8                        |
| EPWM1B      | O     | PWM モジュール 1 - 出力 B                                                 | H13、N5、P9                    |
| EPWM1SYNCl  | I     | PWM モジュール 1 - 同期入力                                                 | J13                          |
| EPWM2A      | O     | PWM モジュール 2 - 出力 A                                                 | H13、N4、N5、P9                 |
| EPWM2B      | O     | PWM モジュール 2 - 出力 B                                                 | N4                           |
| EPWM2SYNCO  | O     | PWM モジュール 2 - 同期出力                                                 | R7                           |
| EPWM3A      | O     | PWM モジュール 3 - 出力 A                                                 | N4                           |
| EPWM3SYNCO  | O     | PWM モジュール 3 - 同期出力                                                 | P6                           |

| 信号名         | ピンの種類 | 説明               | ボール番号     |
|-------------|-------|------------------|-----------|
| FRAME_START | O     | 各フレームの開始を示すパルス信号 | K13、N8、P9 |
| GPIO_0      | IO    | 汎用 I/O           | H13       |
| GPIO_1      | IO    | 汎用 I/O           | J13       |
| GPIO_2      | IO    | 汎用 I/O           | K13       |
| GPIO_3      | IO    | 汎用 I/O           | E13       |
| GPIO_4      | IO    | 汎用 I/O           | H14       |
| GPIO_5      | IO    | 汎用 I/O           | F14       |
| GPIO_6      | IO    | 汎用 I/O           | P11       |
| GPIO_7      | IO    | 汎用 I/O           | R12       |
| GPIO_8      | IO    | 汎用 I/O           | R13       |
| GPIO_9      | IO    | 汎用 I/O           | N12       |
| GPIO_10     | IO    | 汎用 I/O           | R14       |
| GPIO_11     | IO    | 汎用 I/O           | P12       |
| GPIO_12     | IO    | 汎用 I/O           | P13       |
| GPIO_13     | IO    | 汎用 I/O           | H13       |
| GPIO_14     | IO    | 汎用 I/O           | N5        |
| GPIO_15     | IO    | 汎用 I/O           | N4        |
| GPIO_16     | IO    | 汎用 I/O           | J13       |
| GPIO_17     | IO    | 汎用 I/O           | P10       |
| GPIO_18     | IO    | 汎用 I/O           | N10       |
| GPIO_19     | IO    | 汎用 I/O           | D13       |
| GPIO_20     | IO    | 汎用 I/O           | E14       |
| GPIO_21     | IO    | 汎用 I/O           | F13       |
| GPIO_22     | IO    | 汎用 I/O           | G14       |
| GPIO_23     | IO    | 汎用 I/O           | R11       |
| GPIO_24     | IO    | 汎用 I/O           | N13       |
| GPIO_25     | IO    | 汎用 I/O           | N8        |
| GPIO_26     | IO    | 汎用 I/O           | K13       |
| GPIO_27     | IO    | 汎用 I/O           | P9        |
| GPIO_28     | IO    | 汎用 I/O           | P4        |
| GPIO_29     | IO    | 汎用 I/O           | G13       |
| GPIO_30     | IO    | 汎用 I/O           | E15       |
| GPIO_31     | IO    | 汎用 I/O           | R4        |
| GPIO_32     | IO    | 汎用 I/O           | P5        |
| GPIO_33     | IO    | 汎用 I/O           | R5        |
| GPIO_34     | IO    | 汎用 I/O           | P6        |
| GPIO_35     | IO    | 汎用 I/O           | R7        |
| GPIO_36     | IO    | 汎用 I/O           | P7        |
| GPIO_37     | IO    | 汎用 I/O           | R8        |
| GPIO_38     | IO    | 汎用 I/O           | P8        |
| GPIO_47     | IO    | 汎用 I/O           | N15       |
| I2C_SCL     | IO    | I2C クロック         | G14、N4    |
| I2C_SDA     | IO    | I2C データ          | F13、N5    |

| 信号名          | ピンの種類 | 説明                                                                                                      | ボール番号                           |
|--------------|-------|---------------------------------------------------------------------------------------------------------|---------------------------------|
| LVDS_TXP[0]  | O     | 差動データ出力 - レーン 0                                                                                         | J14                             |
| LVDS_TXM[0]  | O     |                                                                                                         | J15                             |
| LVDS_TXP[1]  | O     | 差動データ出力 - レーン 1                                                                                         | K14                             |
| LVDS_TXM[1]  | O     |                                                                                                         | K15                             |
| LVDS_CLKP    | O     | 差動クロック出力                                                                                                | L14                             |
| LVDS_CLKM    | O     |                                                                                                         | L15                             |
| LVDS_FRCLKP  | O     | 差動フレーム クロック                                                                                             | M14                             |
| LVDS_FRCLKM  | O     |                                                                                                         | M15                             |
| MCU_CLKOUT   | O     | 外部 MCU またはプロセッサに供給されるプログラマブル クロック                                                                       | N8                              |
| MSS_UARTA_RX | I     | メイン サブシステム - UART A 受信                                                                                  | F14, N4, R11                    |
| MSS_UARTA_TX | O     | メイン サブシステム - UART A 送信                                                                                  | H14, N13, N5, R4                |
| MSS_UARTB_RX | IO    | メイン サブシステム - UART B 受信                                                                                  | N4, P4                          |
| MSS_UARTB_TX | O     | メイン サブシステム - UART B 送信                                                                                  | F14, H14, K13, N13, N5, P10, P7 |
| NDMM_EN      | I     | デバッグ インターフェイス (ハードウェア イン ループ) イネーブル - アクティブ Low 信号                                                      | N13, N5                         |
| NERROR_IN    | I     | デバイスへのフェイルセーフ入力。他のデバイスからの <b>NERROR</b> 出力は、デバイス内のエラー信号モニタ モジュールに集約させることができ、ファームウェアによって適切なアクションを実行できます。 | N7                              |
| NERROR_OUT   | O     | オープンドレインのフェイルセーフ出力信号。非常に重大なフォルトが発生していることを示すために、PMIC / プロセッサ / MCU に接続されています。復帰にはリセットが必要です。              | N6                              |
| PMIC_CLKOUT  | O     | PMIC のための AWR1843 デバイスからの出力クロック                                                                         | H13, K13, P9                    |
| QSPI[0]      | IO    | QSPI データライン #0 (シリアル データ フラッシュと使用)                                                                      | R13                             |
| QSPI[1]      | IO    | QSPI データライン #1 (シリアル データ フラッシュと使用)                                                                      | N12                             |
| QSPI[2]      | I     | QSPI データライン #2 (シリアル データ フラッシュと使用)                                                                      | R14                             |
| QSPI[3]      | IO    | QSPI データライン #3 (シリアル データ フラッシュと使用)                                                                      | P12                             |
| QSPI_CLK     | IO    | QSPI クロック (シリアル データ フラッシュと使用)                                                                           | R12                             |
| QSPI_CLK_EXT | I     | QSPI クロック (シリアル データ フラッシュと使用)                                                                           | H14                             |
| QSPI_CS_N    | IO    | QSPI チップ セレクト (シリアル データ フラッシュと使用)                                                                       | P11                             |
| RS232_RX     | I     | デバッグ UART (バス メインとして動作) - 受信信号                                                                          | N4                              |
| RS232_TX     | O     | デバッグ UART (バス メインとして動作) - 送信信号                                                                          | N5                              |
| SOP[0]       | I     | センス オン パワー - ライン #0                                                                                     | N13                             |
| SOP[1]       | I     | センス オン パワー - ライン #1                                                                                     | G13                             |
| SOP[2]       | I     | センス オン パワー - ライン #2                                                                                     | P9                              |
| SPIA_CLK     | IO    | SPI チャンネル A - クロック                                                                                      | E13                             |
| SPIA_CS_N    | IO    | SPI チャンネル A - チップ セレクト                                                                                  | E15                             |
| SPIA_MISO    | IO    | SPI チャンネル A - メイン入力 / スレーブ出力                                                                            | E14                             |
| SPIA_MOSI    | IO    | SPI チャンネル A - メイン出力 / スレーブ入力                                                                            | D13                             |
| SPIB_CLK     | IO    | SPI チャンネル B - クロック                                                                                      | F14, R12                        |
| SPIB_CS_N    | IO    | SPI チャンネル B チップ セレクト (インスタンス ID 0)                                                                      | H14, P11                        |
| SPIB_CS_N_1  | IO    | SPI チャンネル B チップ セレクト (インスタンス ID 1)                                                                      | G13, J13, P13                   |
| SPIB_CS_N_2  | IO    | SPI チャンネル B チップ セレクト (インスタンス ID 2)                                                                      | G13, J13, N12                   |
| SPIB_MISO    | IO    | SPI チャンネル B - メイン入力 / スレーブ出力                                                                            | G14, R13                        |
| SPIB_MOSI    | IO    | SPI チャンネル B - メイン出力 / スレーブ入力                                                                            | F13, N12                        |

| 信号名           | ピンの種類 | 説明                                                                                     | ボール番号          |
|---------------|-------|----------------------------------------------------------------------------------------|----------------|
| SPI_HOST_INTR | O     | SPI 経由で通信中の外部ホストへの帯域外割り込み                                                              | P13            |
| SYNC_IN       | I     | 低周波数同期信号入力                                                                             | P4             |
| SYNC_OUT      | O     | 低周波数同期信号出力                                                                             | G13、J13、K13、P4 |
| TCK           | I     | JTAG テスト クロック                                                                          | P10            |
| TDI           | I     | JTAG テスト データ入力                                                                         | R11            |
| TDO           | O     | JTAG テスト データ出力                                                                         | N13            |
| TMS           | I     | JTAG テスト モード信号                                                                         | N10            |
| TRACE_CLK     | O     | デバッグトレース出力 - クロック                                                                      | N15            |
| TRACE_CTL     | O     | デバッグトレース出力 - 制御                                                                        | N14            |
| TRACE_DATA_0  | O     | デバッグトレース出力 - データライン                                                                    | R4             |
| TRACE_DATA_1  | O     | デバッグトレース出力 - データライン                                                                    | P5             |
| TRACE_DATA_2  | O     | デバッグトレース出力 - データライン                                                                    | R5             |
| TRACE_DATA_3  | O     | デバッグトレース出力 - データライン                                                                    | P6             |
| TRACE_DATA_4  | O     | デバッグトレース出力 - データライン                                                                    | R7             |
| TRACE_DATA_5  | O     | デバッグトレース出力 - データライン                                                                    | P7             |
| TRACE_DATA_6  | O     | デバッグトレース出力 - データライン                                                                    | R8             |
| TRACE_DATA_7  | O     | デバッグトレース出力 - データライン                                                                    | P8             |
| WARM_RESET    | IO    | オープンドレインのフェイルセーフウォームリセット信号。診断用として PMIC から駆動するか、または、デバイスがリセット中であることを示すステータス信号として使用できます。 | N9             |

### 6.2.2 信号の説明 - アナログ

| インターフェイス   | 信号名        | ピンの種類 | 説明                                                              | ボール番号 |
|------------|------------|-------|-----------------------------------------------------------------|-------|
| トランスミッタ    | TX1        | O     | シングルエンドトランスミッタ 1 o/p                                            | B4    |
|            | TX2        | O     | シングルエンドトランスミッタ 2 o/p                                            | B6    |
|            | TX3        | O     | シングルエンドトランスミッタ 3 o/p                                            | B8    |
| レシーバ       | RX1        | I     | シングルエンドレシーバ 1 i/p                                               | M2    |
|            | RX2        | I     | シングルエンドレシーバ 2 i/p                                               | K2    |
|            | RX3        | I     | シングルエンドレシーバ 3 i/p                                               | H2    |
|            | RX4        | I     | シングルエンドレシーバ 4 i/p                                               | F2    |
| リセット       | NRESET     | I     | チップのパワーオンリセット。アクティブ Low                                         | R3    |
| リファレンス発振器  | CLKP       | I     | XTAL モード:リファレンス水晶振動子用入力<br>外部クロック モード:シングルエンド入力リファレンスクロックポート    | B15   |
|            | CLKM       | I     | XTAL モード:リファレンス水晶振動子用フィードバック駆動<br>外部クロック モード:このポートはグラウンドに接続します。 | C15   |
| リファレンスクロック | OSC_CLKOUT | O     | PLL クリーンアップ後のクロック供給サブシステムからのリファレンスクロック出力 (1.4V 出力電圧スイング)。       | A14   |
| バンドギャップ電圧  | VBGAP      | O     | デバイスのバンドギャップリファレンス出力                                            | B10   |

| インターフェイス                                                   | 信号名              | ピンの種類 | 説明                                                                                                                   | ボール番号                                                                                                                             |
|------------------------------------------------------------|------------------|-------|----------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------|
| 電源                                                         | VDDIN            | 電源    | 1.2V デジタル電源                                                                                                          | H15、N11、P15、R6                                                                                                                    |
|                                                            | VIN_SRAM         | 電源    | 内部 SRAM 用 1.2V 電源レール                                                                                                 | G15                                                                                                                               |
|                                                            | VNWA             | 電源    | SRAM アレイのバック バイアス用 1.2V 電源レール                                                                                        | P14                                                                                                                               |
|                                                            | VIOIN            | 電源    | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。                                                                   | R10、F15                                                                                                                           |
|                                                            | VIOIN_18         | 電源    | CMOS IO 用 1.8V 電源                                                                                                    | R9                                                                                                                                |
|                                                            | VIN_18CLK        | 電源    | クロック モジュール用 1.8V 電源                                                                                                  | B11                                                                                                                               |
|                                                            | VIOIN_18DIFF     | 電源    | LVDS ポート用 1.8V 電源                                                                                                    | D15                                                                                                                               |
|                                                            | VPP              | 電源    | ヒューズ チェーン用電源電圧                                                                                                       | L13                                                                                                                               |
| 電源                                                         | VIN_13RF1        | 電源    | 1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡されている可能性があります。                                                       | G5、H5、J5                                                                                                                          |
|                                                            | VIN_13RF2        | 電源    | 1.3V アナログおよび RF 電源                                                                                                   | C2、D2                                                                                                                             |
|                                                            | VIN_18BB         | 電源    | 1.8V アナログ ベース バンド電源                                                                                                  | K5、F5                                                                                                                             |
|                                                            | VIN_18VCO        | 電源    | 1.8V RF VCO 電源                                                                                                       | B12                                                                                                                               |
|                                                            | VSS              | グラウンド | デジタル グラウンド                                                                                                           | L5、L6、L8、L10、K7、K8、K9、K10、K11、J6、J7、J8、J10、H7、H9、H11、G6、G7、G8、G10、F9、F11、E5、E6、E8、E10、E11、R15                                     |
|                                                            | VSSA             | グラウンド | アナログ グラウンド                                                                                                           | A1、A3、A5、A7、A15、B1、B3、B5、B7、C1、C3、C4、C5、C6、C7、E1、E2、E3、F3、G1、G2、G3、H3、J1、J2、J3、K3、L1、L2、L3、M3、N1、N2、N3、R1、A13、C8、A9、B9、C9、B14、C14 |
| 内部 LDO 出力 / 入力                                             | VOUT_14APLL      | O     | 内部 LDO 出力                                                                                                            | A10                                                                                                                               |
|                                                            | VOUT_14SYNTH     | O     | 内部 LDO 出力                                                                                                            | B13                                                                                                                               |
|                                                            | VOUT_PA          | IO    | 内部 PA LDO を使用する場合、このピンは LDO の出力電圧を供給します。内部 PA LDO がバイパスされ無効になっている場合、1V 電源をこのピンに供給する必要があります。3TX を同時に使用する事例では、これは必須です。 | A2、B2                                                                                                                             |
| 量産開始前フェーズのテストおよびデバッグ出力。量産ハードウェア上でフィールドデバッグ用にピン出力することが可能です。 | アナログテスト 1 / ADC1 | IO    | ADC チャンネル 1 <sup>(1)</sup>                                                                                           | P1                                                                                                                                |
|                                                            | アナログテスト 2 / ADC2 | IO    | ADC チャンネル 2 <sup>(1)</sup>                                                                                           | P2                                                                                                                                |
|                                                            | アナログテスト 3 / ADC3 | IO    | ADC チャンネル 3 <sup>(1)</sup>                                                                                           | P3                                                                                                                                |
|                                                            | アナログテスト 4 / ADC4 | IO    | ADC チャンネル 4 <sup>(1)</sup>                                                                                           | R2                                                                                                                                |
|                                                            | ANAMUX / ADC5    | IO    | ADC チャンネル 5 <sup>(1)</sup>                                                                                           | C13                                                                                                                               |
|                                                            | VSENSE / ADC6    | IO    | ADC チャンネル 6 <sup>(1)</sup>                                                                                           | D14                                                                                                                               |

(1) 詳細については、[セクション 8.4.1](#) を参照してください。

## 6.3 ピン属性

表 6-1. ピン属性 (ABL0161 パッケージ)

| ボール番号 [1]    | ボール名 [2] | 信号名 [3]      | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6]      | ボール リセット状態 [7] | プルアップ / ダウン タイプ [8] |            |   |    |          |       |
|--------------|----------|--------------|------------------|-------------|--------------|----------------|---------------------|------------|---|----|----------|-------|
| H13          | GPIO_0   | GPIO_13      | 0xFFFFEA04       | 0           | IO           | 出力ディセーブル       | プルダウン               |            |   |    |          |       |
|              |          | GPIO_0       |                  | 1           | IO           |                |                     |            |   |    |          |       |
|              |          | PMIC_CLKOUT  |                  | 2           | O            |                |                     |            |   |    |          |       |
|              |          | ADC_VALID    |                  | 9           | O            |                |                     |            |   |    |          |       |
|              |          | ePWM1b       |                  | 10          | O            |                |                     |            |   |    |          |       |
|              |          | ePWM2a       |                  | 11          | O            |                |                     |            |   |    |          |       |
| J13          | GPIO_1   | GPIO_16      | 0xFFFFEA08       | 0           | IO           | 出力ディセーブル       | プルダウン               |            |   |    |          |       |
|              |          | GPIO_1       |                  | 1           | IO           |                |                     |            |   |    |          |       |
|              |          | SYNC_OUT     |                  | 2           | O            |                |                     |            |   |    |          |       |
|              |          | ADC_VALID    |                  | 7           | O            |                |                     |            |   |    |          |       |
|              |          | DMM_MUX_IN   |                  | 12          | I            |                |                     |            |   |    |          |       |
|              |          | SPIB_cs_n_1  |                  | 13          | IO           |                |                     |            |   |    |          |       |
|              |          | SPIB_cs_n_2  |                  | 14          | IO           |                |                     |            |   |    |          |       |
|              |          | ePWM1SYNCl   |                  | 15          | I            |                |                     |            |   |    |          |       |
| K13          | GPIO_2   | GPIO_26      | 0xFFFFEA64       | 0           | IO           | 出力ディセーブル       | プルダウン               |            |   |    |          |       |
|              |          | GPIO_2       |                  | 1           | IO           |                |                     |            |   |    |          |       |
|              |          | OSC_CLKOUT   |                  | 2           | O            |                |                     |            |   |    |          |       |
|              |          | MSS_uartb_tx |                  | 7           | O            |                |                     |            |   |    |          |       |
|              |          | BSS_uart_tx  |                  | 8           | O            |                |                     |            |   |    |          |       |
|              |          | SYNC_OUT     |                  | 9           | O            |                |                     |            |   |    |          |       |
|              |          | PMIC_CLKOUT  |                  | 10          | O            |                |                     |            |   |    |          |       |
|              |          | CHIRP_START  |                  | 11          | O            |                |                     |            |   |    |          |       |
|              |          | CHIRP_END    |                  | 12          | O            |                |                     |            |   |    |          |       |
|              |          | FRAME_START  |                  | 13          | O            |                |                     |            |   |    |          |       |
|              |          | R4           |                  | GPIO_31     | TRACE_DATA_0 |                |                     | 0xFFFFEA7C | 0 | O  | 出力ディセーブル | プルダウン |
|              |          |              |                  |             | GPIO_31      |                |                     |            | 1 | IO |          |       |
|              |          |              |                  |             | DMM0         |                |                     |            | 2 | I  |          |       |
| MSS_uarta_tx | 4        |              | IO               |             |              |                |                     |            |   |    |          |       |
| P5           | GPIO_32  | TRACE_DATA_1 | 0xFFFFEA80       | 0           | O            | 出力ディセーブル       | プルダウン               |            |   |    |          |       |
|              |          | GPIO_32      |                  | 1           | IO           |                |                     |            |   |    |          |       |
|              |          | DMM1         |                  | 2           | I            |                |                     |            |   |    |          |       |
| R5           | GPIO_33  | TRACE_DATA_2 | 0xFFFFEA84       | 0           | O            | 出力ディセーブル       | プルダウン               |            |   |    |          |       |
|              |          | GPIO_33      |                  | 1           | IO           |                |                     |            |   |    |          |       |
|              |          | DMM2         |                  | 2           | I            |                |                     |            |   |    |          |       |



表 6-1. ピン属性 (ABL0161 パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]   | 信号名 [3]      | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6] | ボール リセット状態 [7]  | プルアップ / ダウン タイプ [8] |
|-----------|------------|--------------|------------------|-------------|---------|-----------------|---------------------|
| P6        | GPIO_34    | TRACE_DATA_3 | 0xFFFFEA88       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_34      |                  | 1           | IO      |                 |                     |
|           |            | DMM3         |                  | 2           | I       |                 |                     |
|           |            | ePWM3SYNCO   |                  | 4           | O       |                 |                     |
| R7        | GPIO_35    | TRACE_DATA_4 | 0xFFFFEA8C       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_35      |                  | 1           | IO      |                 |                     |
|           |            | DMM4         |                  | 2           | I       |                 |                     |
|           |            | ePWM2SYNCO   |                  | 4           | O       |                 |                     |
| P7        | GPIO_36    | TRACE_DATA_5 | 0xFFFFEA90       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_36      |                  | 1           | IO      |                 |                     |
|           |            | DMM5         |                  | 2           | I       |                 |                     |
|           |            | MSS_uartb_tx |                  | 5           | O       |                 |                     |
| R8        | GPIO_37    | TRACE_DATA_6 | 0xFFFFEA94       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_37      |                  | 1           | IO      |                 |                     |
|           |            | DMM6         |                  | 2           | I       |                 |                     |
|           |            | BSS_uart_tx  |                  | 5           | O       |                 |                     |
| P8        | GPIO_38    | TRACE_DATA_7 | 0xFFFFEA98       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_38      |                  | 1           | IO      |                 |                     |
|           |            | DMM7         |                  | 2           | I       |                 |                     |
|           |            | DSS_uart_tx  |                  | 5           | O       |                 |                     |
| N15       | GPIO_47    | TRACE_CLK    | 0xFFFFEABC       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | GPIO_47      |                  | 1           | IO      |                 |                     |
|           |            | DMM_CLK      |                  | 2           | I       |                 |                     |
| N14       | DMM_SYNC   | TRACE_CTL    | 0xFFFFEAC0       | 0           | O       | 出力ディセーブル        | プルダウン               |
|           |            | DMM_SYNC     |                  | 2           | I       |                 |                     |
| N8        | MCU_CLKOUT | GPIO_25      | 0xFFFFEA60       | 0           | IO      | 出力ディセーブル        | プルダウン               |
|           |            | MCU_CLKOUT   |                  | 1           | O       |                 |                     |
|           |            | CHIRP_START  |                  | 2           | O       |                 |                     |
|           |            | CHIRP_END    |                  | 6           | O       |                 |                     |
|           |            | FRAME_START  |                  | 7           | O       |                 |                     |
|           |            | ePWM1a       |                  | 12          | O       |                 |                     |
| N7        | nERROR_IN  | nERROR_IN    | 0xFFFFEA44       | 0           | I       | 入力              |                     |
| N6        | nERROR_OUT | nERROR_OUT   | 0xFFFFEA4C       | 0           | O       | Hi-Z (オープンドレイン) |                     |

表 6-1. ピン属性 (ABL0161 パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]    | 信号名 [3]      | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6] | ボール リセット状態 [7] | プルアップ / ダウン タイプ [8] |
|-----------|-------------|--------------|------------------|-------------|---------|----------------|---------------------|
| P9        | PMIC_CLKOUT | SOP[2]       | 0xFFFFEA68       | パワーアップ時     | I       | 出力ディセーブル       | プルダウン               |
|           |             | GPIO_27      |                  | 0           | IO      |                |                     |
|           |             | PMIC_CLKOUT  |                  | 1           | O       |                |                     |
|           |             | CHIRP_START  |                  | 6           | O       |                |                     |
|           |             | CHIRP_END    |                  | 7           | O       |                |                     |
|           |             | FRAME_START  |                  | 8           | O       |                |                     |
|           |             | ePWM1b       |                  | 11          | O       |                |                     |
|           |             | ePWM2a       |                  | 12          | O       |                |                     |
| R13       | QSPI[0]     | GPIO_8       | 0xFFFFEA2C       | 0           | IO      | 出力ディセーブル       | プルダウン               |
|           |             | QSPI[0]      |                  | 1           | IO      |                |                     |
|           |             | SPIB_miso    |                  | 2           | IO      |                |                     |
| N12       | QSPI[1]     | GPIO_9       | 0xFFFFEA30       | 0           | IO      | 出力ディセーブル       | プルダウン               |
|           |             | QSPI[1]      |                  | 1           | IO      |                |                     |
|           |             | SPIB_mosi    |                  | 2           | IO      |                |                     |
|           |             | SPIB_cs_n_2  |                  | 8           | IO      |                |                     |
| R14       | QSPI[2]     | GPIO_10      | 0xFFFFEA34       | 0           | IO      | 出力ディセーブル       | プルダウン               |
|           |             | QSPI[2]      |                  | 1           | I       |                |                     |
|           |             | CAN_FD_tx    |                  | 8           | O       |                |                     |
| P12       | QSPI[3]     | GPIO_11      | 0xFFFFEA38       | 0           | IO      | 出力ディセーブル       | プルダウン               |
|           |             | QSPI[3]      |                  | 1           | IO      |                |                     |
|           |             | CAN_FD_rx    |                  | 8           | I       |                |                     |
| R12       | QSPI_clk    | GPIO_7       | 0xFFFFEA3C       | 0           | IO      | 出力ディセーブル       | プルダウン               |
|           |             | QSPI_clk     |                  | 1           | IO      |                |                     |
|           |             | SPIB_clk     |                  | 2           | O       |                |                     |
|           |             | DSS_uart_tx  |                  | 6           | O       |                |                     |
| P11       | QSPI_cs_n   | GPIO_6       | 0xFFFFEA40       | 0           | IO      | 出力ディセーブル       | プルアップ               |
|           |             | QSPI_cs_n    |                  | 1           | IO      |                |                     |
|           |             | SPIB_cs_n    |                  | 2           | IO      |                |                     |
| N4        | rs232_rx    | GPIO_15      | 0xFFFFEA74       | 0           | IO      | 入力イネーブル        | プルアップ               |
|           |             | rs232_rx     |                  | 1           | I       |                |                     |
|           |             | MSS_uarta_rx |                  | 2           | I       |                |                     |
|           |             | BSS_uart_tx  |                  | 6           | IO      |                |                     |
|           |             | MSS_uartb_rx |                  | 7           | IO      |                |                     |
|           |             | CAN_FD_rx    |                  | 8           | I       |                |                     |
|           |             | I2C_scl      |                  | 9           | IO      |                |                     |
|           |             | ePWM2a       |                  | 10          | O       |                |                     |
|           |             | ePWM2b       |                  | 11          | O       |                |                     |
|           |             | ePWM3a       |                  | 12          | O       |                |                     |

表 6-1. ピン属性 (ABL0161 パッケージ) (続き)

| ボール番号 [1]    | ボール名 [2]  | 信号名 [3]      | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6]  | ボールリセット状態 [7] | プルアップ/ダウンタイプ [8] |             |   |    |          |       |
|--------------|-----------|--------------|------------------|-------------|----------|---------------|------------------|-------------|---|----|----------|-------|
| N5           | rs232_tx  | GPIO_14      | 0xFFFFFEA78      | 0           | IO       | 出力イネーブル       |                  |             |   |    |          |       |
|              |           | rs232_tx     |                  | 1           | O        |               |                  |             |   |    |          |       |
|              |           | MSS_uarta_tx |                  | 5           | IO       |               |                  |             |   |    |          |       |
|              |           | MSS_uartb_tx |                  | 6           | IO       |               |                  |             |   |    |          |       |
|              |           | BSS_uart_tx  |                  | 7           | IO       |               |                  |             |   |    |          |       |
|              |           | CAN_FD_tx    |                  | 10          | O        |               |                  |             |   |    |          |       |
|              |           | I2C_sda      |                  | 11          | IO       |               |                  |             |   |    |          |       |
|              |           | ePWM1a       |                  | 12          | O        |               |                  |             |   |    |          |       |
|              |           | ePWM1b       |                  | 13          | O        |               |                  |             |   |    |          |       |
|              |           | NDMM_EN      |                  | 14          | I        |               |                  |             |   |    |          |       |
|              |           | ePWM2a       |                  | 15          | O        |               |                  |             |   |    |          |       |
|              |           | E13          |                  | SPIA_clk    | GPIO_3   |               |                  | 0xFFFFFEA14 | 0 | IO | 出力ディセーブル | プルアップ |
|              |           |              |                  |             | SPIA_clk |               |                  |             | 1 | IO |          |       |
| CAN_rx       | 6         |              | I                |             |          |               |                  |             |   |    |          |       |
| DSS_uart_tx  | 7         |              | O                |             |          |               |                  |             |   |    |          |       |
| E15          | SPIA_cs_n | GPIO_30      | 0xFFFFFEA18      | 0           | IO       | 出力ディセーブル      | プルアップ            |             |   |    |          |       |
|              |           | SPIA_cs_n    |                  | 1           | IO       |               |                  |             |   |    |          |       |
|              |           | CAN_tx       |                  | 6           | O        |               |                  |             |   |    |          |       |
| E14          | SPIA_miso | GPIO_20      | 0xFFFFFEA10      | 0           | IO       | 出力ディセーブル      | プルアップ            |             |   |    |          |       |
|              |           | SPIA_miso    |                  | 1           | IO       |               |                  |             |   |    |          |       |
|              |           | CAN_FD_tx    |                  | 2           | O        |               |                  |             |   |    |          |       |
| D13          | SPIA_mosi | GPIO_19      | 0xFFFFFEA0C      | 0           | IO       | 出力ディセーブル      | プルアップ            |             |   |    |          |       |
|              |           | SPIA_mosi    |                  | 1           | IO       |               |                  |             |   |    |          |       |
|              |           | CAN_FD_rx    |                  | 2           | I        |               |                  |             |   |    |          |       |
|              |           | DSS_uart_tx  |                  | 8           | O        |               |                  |             |   |    |          |       |
| F14          | SPIB_clk  | GPIO_5       | 0xFFFFFEA24      | 0           | IO       | 出力ディセーブル      | プルアップ            |             |   |    |          |       |
|              |           | SPIB_clk     |                  | 1           | IO       |               |                  |             |   |    |          |       |
|              |           | MSS_uarta_rx |                  | 2           | I        |               |                  |             |   |    |          |       |
|              |           | MSS_uartb_tx |                  | 6           | O        |               |                  |             |   |    |          |       |
|              |           | BSS_uart_tx  |                  | 7           | O        |               |                  |             |   |    |          |       |
|              |           | CAN_FD_rx    |                  | 8           | I        |               |                  |             |   |    |          |       |
|              |           | H14          |                  | SPIB_cs_n   | GPIO_4   |               |                  | 0xFFFFFEA28 | 0 | IO | 出力ディセーブル | プルアップ |
| SPIB_cs_n    | 1         |              | IO               |             |          |               |                  |             |   |    |          |       |
| MSS_uarta_tx | 2         |              | O                |             |          |               |                  |             |   |    |          |       |
| MSS_uartb_tx | 6         |              | O                |             |          |               |                  |             |   |    |          |       |
| BSS_uart_tx  | 7         |              | IO               |             |          |               |                  |             |   |    |          |       |
| QSPI_clk_ext | 8         |              | I                |             |          |               |                  |             |   |    |          |       |
| CAN_FD_tx    | 9         |              | O                |             |          |               |                  |             |   |    |          |       |

表 6-1. ピン属性 (ABL0161 パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]      | 信号名 [3]       | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6] | ボールリセット状態 [7] | プルアップ/ダウンタイプ [8] |
|-----------|---------------|---------------|------------------|-------------|---------|---------------|------------------|
| G14       | SPIB_miso     | GPIO_22       | 0xFFFFEA20       | 0           | IO      | 出力ディセーブル      | プルアップ            |
|           |               | SPIB_miso     |                  | 1           | IO      |               |                  |
|           |               | I2C_scl       |                  | 2           | IO      |               |                  |
|           |               | DSS_uart_tx   |                  | 6           | O       |               |                  |
| F13       | SPIB_mosi     | GPIO_21       | 0xFFFFEA1C       | 0           | IO      | 出力ディセーブル      | プルアップ            |
|           |               | SPIB_mosi     |                  | 1           | IO      |               |                  |
|           |               | I2C_sda       |                  | 2           | IO      |               |                  |
| P13       | SPI_HOST_INTR | GPIO_12       | 0xFFFFEA00       | 0           | IO      | 出力ディセーブル      | プルダウン            |
|           |               | SPI_HOST_INTR |                  | 1           | O       |               |                  |
|           |               | ADC_VALID     |                  | 2           | O       |               |                  |
|           |               | SPIB_cs_n_1   |                  | 6           | IO      |               |                  |
| P4        | SYNC_in       | GPIO_28       | 0xFFFFEA6C       | 0           | IO      | 出力ディセーブル      | プルダウン            |
|           |               | SYNC_IN       |                  | 1           | I       |               |                  |
|           |               | MSS_uartb_rx  |                  | 6           | IO      |               |                  |
|           |               | DMM_MUX_IN    |                  | 7           | I       |               |                  |
|           |               | SYNC_OUT      |                  | 9           | O       |               |                  |
| G13       | SYNC_OUT      | SOP[1]        | 0xFFFFEA70       | パワーアップ時     | I       | 出力ディセーブル      | プルダウン            |
|           |               | GPIO_29       |                  | 0           | IO      |               |                  |
|           |               | SYNC_OUT      |                  | 1           | O       |               |                  |
|           |               | DMM_MUX_IN    |                  | 9           | I       |               |                  |
|           |               | SPIB_cs_n_1   |                  | 10          | IO      |               |                  |
|           |               | SPIB_cs_n_2   |                  | 11          | IO      |               |                  |
| P10       | TCK           | GPIO_17       | 0xFFFFEA50       | 0           | IO      | 入力ディセーブル      | プルダウン            |
|           |               | TCK           |                  | 1           | I       |               |                  |
|           |               | MSS_uartb_tx  |                  | 2           | O       |               |                  |
|           |               | CAN_FD_tx     |                  | 8           | O       |               |                  |
| R11       | TDI           | GPIO_23       | 0xFFFFEA58       | 0           | IO      | 入力ディセーブル      | プルアップ            |
|           |               | TDI           |                  | 1           | I       |               |                  |
|           |               | MSS_uarte_rx  |                  | 2           | I       |               |                  |
| N13       | TDO           | SOP[0]        | 0xFFFFEA5C       | パワーアップ時     | I       | 出力ディセーブル      |                  |
|           |               | GPIO_24       |                  | 0           | IO      |               |                  |
|           |               | TDO           |                  | 1           | O       |               |                  |
|           |               | MSS_uarte_tx  |                  | 2           | O       |               |                  |
|           |               | MSS_uartb_tx  |                  | 6           | O       |               |                  |
|           |               | BSS_uart_tx   |                  | 7           | O       |               |                  |
|           |               | NDMM_EN       |                  | 9           | I       |               |                  |

表 6-1. ピン属性 (ABL0161 パッケージ) (続き)

| ボール番号 [1] | ボール名 [2]   | 信号名 [3]     | PINCNTL アドレス [4] | モード [5] [9] | タイプ [6] | ボールリセット状態 [7]      | プルアップ/ダウンタイプ [8] |
|-----------|------------|-------------|------------------|-------------|---------|--------------------|------------------|
| N10       | TMS        | GPIO_18     | 0xFFFFEA54       | 0           | IO      | 入力イネーブル            | プルダウン            |
|           |            | TMS         |                  | 1           | I       |                    |                  |
|           |            | BSS_uart_tx |                  | 2           | O       |                    |                  |
|           |            | CAN_FD_rx   |                  | 6           | I       |                    |                  |
| N9        | Warm_Reset | Warm_Reset  | 0xFFFFEA48       | 0           | IO      | Hi-Z 入力 (オープンドレイン) |                  |

以下は、表の列ヘッダーについて説明しています。

- ボール番号:**底面の各信号に関連付けられた底面側のボール番号。
- ボール名:**パッケージデバイスのメカニカル名 (名前は **muxmode 0** に由来します)。
- 信号名:**各ボールで多重化された信号の名前 (ボールの名前は **muxmode 0** での信号名であることにも注意)。
- PINCNTL アドレス:**PinMux 制御用 MSS アドレス
- モード:**多重化モード番号:このボール番号に対応する特定の信号名を選択するために PinMux 制御レジスタに書き込まれる値。モード列にはビット範囲値があります。
- タイプ:**信号の種類と方向:
  - I = 入力
  - O = 出力
  - IO = 入出力
- ボールリセット状態:**パワーオンリセット時の端子の状態
- プルアップ/ダウンタイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
  - プルアップ:内部プルアップ
  - プルダウン:内部プルダウン
  - 空欄はプルアップ/ダウンがないことを意味します。
- ピン多重化制御値はレジスタの下位 4 ビットに割り当てられています。

IO MUX レジスタは MSS メモリ マップで使用可能で、それぞれのデバイス ピンへのマッピングは以下の通りです。

**表 6-2. PAD IO 制御レジスタ**

| デフォルトのピン / ボール名 | パッケージのボール / ピン (アドレス) | ピン多重化構成レジスタ |
|-----------------|-----------------------|-------------|
| SPI_HOST_INTR   | P13                   | 0xFFFFEA00  |
| GPIO_0          | H13                   | 0xFFFFEA04  |
| GPIO_1          | J13                   | 0xFFFFEA08  |
| SPIA_MOSI       | D13                   | 0xFFFFEA0C  |
| SPIA_MISO       | E14                   | 0xFFFFEA10  |
| SPIA_CLK        | E13                   | 0xFFFFEA14  |
| SPIA_CN_EN      | E15                   | 0xFFFFEA18  |
| SPIB_MOSI       | F13                   | 0xFFFFEA1C  |
| SPIB_MISO       | G14                   | 0xFFFFEA20  |
| SPIB_CLK        | F14                   | 0xFFFFEA24  |
| SPIB_CS_N       | H14                   | 0xFFFFEA28  |
| QSPI[0]         | R13                   | 0xFFFFEA2C  |
| QSPI[1]         | N12                   | 0xFFFFEA30  |
| QSPI[2]         | R14                   | 0xFFFFEA34  |
| QSPI[3]         | P12                   | 0xFFFFEA38  |
| QSPI_CLK        | R12                   | 0xFFFFEA3C  |
| QSPI_CS_N       | P11                   | 0xFFFFEA40  |
| NERROR_IN       | N7                    | 0xFFFFEA44  |
| WARM_RESET      | N9                    | 0xFFFFEA48  |
| NERROR_OUT      | N6                    | 0xFFFFEA4C  |
| TCK             | P10                   | 0xFFFFEA50  |
| TMS             | N10                   | 0xFFFFEA54  |
| TDI             | R11                   | 0xFFFFEA58  |
| TDO             | N13                   | 0xFFFFEA5C  |
| MCU_CLKOUT      | N8                    | 0xFFFFEA60  |
| GPIO_2          | K13                   | 0xFFFFEA64  |
| PMIC_CLKOUT     | P9                    | 0xFFFFEA68  |
| SYNC_IN         | P4                    | 0xFFFFEA6C  |
| SYNC_OUT        | G13                   | 0xFFFFEA70  |
| RS232_RX        | N4                    | 0xFFFFEA74  |

**表 6-2. PAD IO 制御レジスタ (続き)**

| デフォルトのピン / ボール名 | パッケージのボール / ピン (アドレス) | ピン多重化構成レジスタ |
|-----------------|-----------------------|-------------|
| RS232_TX        | N5                    | 0xFFFFEA78  |
| GPIO_31         | R4                    | 0xFFFFEA7C  |
| GPIO_32         | P5                    | 0xFFFFEA80  |
| GPIO_33         | R5                    | 0xFFFFEA84  |
| GPIO_34         | P6                    | 0xFFFFEA88  |
| GPIO_35         | R7                    | 0xFFFFEA8C  |
| GPIO_36         | P7                    | 0xFFFFEA90  |
| GPIO_37         | R8                    | 0xFFFFEA94  |
| GPIO_38         | P8                    | 0xFFFFEA98  |
| GPIO_47         | N15                   | 0xFFFFEABC  |
| DMM_SYNC        | N14                   | 0xFFFFEAC0  |

レジスタのレイアウトは次の通りです。

**表 6-3. PAD IO レジスタ ビットの説明**

| ビット   | フィールド            | タイプ | リセット (パワー オン デフォルト) | 説明                                                                                                              |
|-------|------------------|-----|---------------------|-----------------------------------------------------------------------------------------------------------------|
| 31-11 | NU               | RW  | 0                   | 予約済み                                                                                                            |
| 10    | SC               | RW  | 0                   | IO スルー レート制御:<br>0 = 高いスルーレート<br>1 = 低いスルーレート                                                                   |
| 9     | PUPDSEL          | RW  | 0                   | プルアップ / プルダウン 選択<br>0 = プルダウン<br>1 = プルアップ (このフィールドは、プル禁止 が 0 に設定されている場合のみ有効)                                   |
| 8     | PI               | RW  | 0                   | プル禁止 / プル ディセーブル<br>0 = イネーブル<br>1 = ディセーブル                                                                     |
| 7     | OE_OVERRIDE      | RW  | 1                   | 出力オーバーライド                                                                                                       |
| 6     | OE_OVERRIDE_CTRL | RW  | 1                   | 出力オーバーライド制御:<br>(ここで 1 が設定されている場合、この IO に関連付けられているペリフェラル ブロックハードウェア (例えば SPI チップ セレクト) によるいかなる出力操作もオーバーライドされます) |
| 5     | IE_OVERRIDE      | RW  | 0                   | 入力オーバーライド                                                                                                       |
| 4     | IE_OVERRIDE_CTRL | RW  | 0                   | 入力オーバーライド制御:<br>(ここで 1 が設定されている場合、この IO の入力値は指定された値でオーバーライドされます)                                                |

表 6-3. PAD IO レジスタ ビットの説明 (続き)

| ビット | フィールド    | タイプ | リセット (パワー オン デフォルト) | 説明                         |
|-----|----------|-----|---------------------|----------------------------|
| 3-0 | FUNC_SEL | RW  | 1                   | ピン多重化の機能選択 (「ピン多重化シート」を参照) |



## 7 仕様

### 7.1 絶対最大定格

| パラメータ (1) (2)    |                                                                                                                                     | 最小値    | 最大値                         | 単位  |
|------------------|-------------------------------------------------------------------------------------------------------------------------------------|--------|-----------------------------|-----|
| VDDIN            | 1.2V デジタル電源                                                                                                                         | -0.5   | 1.4                         | V   |
| VIN_SRAM         | 内蔵 SRAM 用 1.2V 電源レール                                                                                                                | -0.5   | 1.4                         | V   |
| VNWA             | SRAM アレイのバック バイアス用 1.2V 電源レール                                                                                                       | -0.5   | 1.4                         | V   |
| VIOIN            | I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。                                                                                  | -0.5   | 3.8                         | V   |
| VIOIN_18         | CMOS IO 用 1.8V 電源                                                                                                                   | -0.5   | 2                           | V   |
| VIN_18CLK        | クロック モジュール用 1.8V 電源                                                                                                                 | -0.5   | 2                           | V   |
| VIOIN_18DIFF     | LVDS ポート用 1.8V 電源                                                                                                                   | -0.5   | 2                           | V   |
| VIN_13RF1        | 1.3V アナログおよび RF 電源、VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。                                                                         | -0.5   | 1.45                        | V   |
| VIN_13RF2        |                                                                                                                                     |        |                             |     |
| VIN_13RF1        | 1V 内部 LDO バイパス モード。デバイスは、外付けのパワー マネジメント ブロックが VIN_13RF1 と VIN_13RF2 レールに 1V を供給できるモードをサポートしています。この構成では、デバイスの内部 LDO はバイパスされたままになります。 | -0.5   | 1.4                         | V   |
| VIN_13RF2        |                                                                                                                                     |        |                             |     |
| VIN_18BB         | 1.8V アナログ ベースバンド電源                                                                                                                  | -0.5   | 2                           | V   |
| VIN_18VCO 電源     | 1.8V RF VCO 電源                                                                                                                      | -0.5   | 2                           | V   |
| RX1-4            | RF 入力の外部印加電力                                                                                                                        |        | 10                          | dBm |
| TX1-3            | RF 出力の外部印加電力 (3)                                                                                                                    |        | 10                          | dBm |
| 入力および出力電圧範囲      | デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)                                                                                               | -0.3 V | VIOIN + 0.3                 | V   |
|                  | デュアル電圧 LVCMOS 入力、3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。                                                                |        | VIOIN + 20%<br>信号周期の 20% まで |     |
| CLKP、CLKM        | リファレンス水晶振動子用入力ポート                                                                                                                   | -0.5   | 2                           | V   |
| クランプ電流           | それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。                                                               | -20    | 20                          | mA  |
| T <sub>J</sub>   | 動作ジャンクション温度範囲                                                                                                                       | -40    | 125                         | °C  |
| T <sub>STG</sub> | プリント基板に半田付けた後の保存温度範囲                                                                                                                | -55    | 150                         | °C  |

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 特に記述のない限り、すべての電圧値は V<sub>SS</sub> を基準にしています。
- (3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。

### 7.2 ESD 定格

|                         |                                     | 値     | 単位 |
|-------------------------|-------------------------------------|-------|----|
| V <sub>(ESD)</sub> 静電放電 | 人体モデル (HBM)、AEC Q100-002 準拠 (1)     | ±2000 | V  |
|                         | デバイス帯電モデル (CDM)、AEC Q100-011 準拠 (2) | ±500  |    |

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施することを示しています。
- (2) コーナーピンの定格は ±750V です

### 7.3 電源投入時間 (POH)

| 接合部温度 ( $T_j$ ) <sup>(1) (2)</sup> | 動作条件            | 公称 CVDD 電圧 (V) | パワーオン時間 [POH] (時間) |
|------------------------------------|-----------------|----------------|--------------------|
| -40°C                              | 100% デューティ サイクル | 1.2            | 600 (6%)           |
| 75°C                               |                 |                | 2000 (20%)         |
| 95°C                               |                 |                | 6500 (65%)         |
| 125°C                              |                 |                | 900 (9%)           |

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) POH の規定値は、デフォルトのファームウェアのゲイン表を使って Tx 出力電力を最大値に設定した場合に適用されます。API を使用して Tx ゲイン表が上書きされた場合、POH の規定値は適用されません。

### 7.4 推奨動作条件

|                                   |                                                             | 最小値           | 公称値        | 最大値           | 単位        |
|-----------------------------------|-------------------------------------------------------------|---------------|------------|---------------|-----------|
| VDDIN                             | 1.2V デジタル電源                                                 | 1.14          | 1.2        | 1.32          | V         |
| VIN_SRAM                          | 内蔵 SRAM 用 1.2V 電源レール                                        | 1.14          | 1.2        | 1.32          | V         |
| VNWA                              | SRAM アレイのバック バイアス用 1.2V 電源レール                               | 1.14          | 1.2        | 1.32          | V         |
| VIOIN                             | I/O 電源 (3.3V または 1.8V):<br>すべての CMOS I/O はこの電源で動作します。       | 3.135<br>1.71 | 3.3<br>1.8 | 3.465<br>1.89 | V         |
| VIOIN_18                          | CMOS IO 用 1.8V 電源                                           | 1.71          | 1.8        | 1.9           | V         |
| VIN_18CLK                         | クロック モジュール用 1.8V 電源                                         | 1.71          | 1.8        | 1.9           | V         |
| VIOIN_18DIFF                      | LVDS ポート用 1.8V 電源                                           | 1.71          | 1.8        | 1.9           | V         |
| VIN_13RF1                         | 1.3V アナログおよび RF 電源。VIN_13RF1 と VIN_13RF2 が基板上で短絡する可能性があります。 | 1.23          | 1.3        | 1.36          | V         |
| VIN_13RF2                         |                                                             |               |            |               |           |
| VIN_13RF1<br>(1V 内部 LDO バイパス モード) |                                                             | 0.95          | 1          | 1.05          | V         |
| VIN_13RF2<br>(1V 内部 LDO バイパス モード) |                                                             |               |            |               |           |
| VIN18BB                           | 1.8V アナログ ベースバンド電源                                          | 1.71          | 1.8        | 1.9           | V         |
| VIN_18VCO                         | 1.8V RF VCO 電源                                              | 1.71          | 1.8        | 1.9           | V         |
| V <sub>IH</sub>                   | 電圧入力 High (1.8V モード)                                        | 1.17          |            |               | V         |
|                                   | 電圧入力 High (3.3 V モード)                                       | 2.25          |            |               |           |
| V <sub>IL</sub>                   | 電圧入力 Low (1.8V モード)                                         |               |            | 0.3*VIOIN     | V         |
|                                   | 電圧入力 Low (3.3V モード)                                         |               |            | 0.62          |           |
| V <sub>OH</sub>                   | High レベル出力スレッショルド ( $I_{OH} = 6mA$ )                        | VIOIN - 450   |            |               | mV        |
| V <sub>OL</sub>                   | Low レベル出力スレッショルド ( $I_{OL} = 6mA$ )                         |               |            |               | 450<br>mV |
| NRESET<br>SOP[2:0]                | V <sub>IL</sub> (1.8V モード)                                  |               |            | 0.2           | V         |
|                                   | V <sub>IH</sub> (1.8V モード)                                  | 0.96          |            |               |           |
|                                   | V <sub>IL</sub> (3.3V モード)                                  |               |            | 0.3           |           |
|                                   | V <sub>IH</sub> (3.3V モード)                                  | 1.57          |            |               |           |

## 7.5 電源仕様

表 7-1 では、AWR1843 デバイスの外部電源ブロックからの 4 つのレールについて説明します。

表 7-1. 電源レールの特性：

| 電源                                              | その電源から電力を供給されるデバイス ブロック                     | 本デバイス内の関連 IO                                                                              |
|-------------------------------------------------|---------------------------------------------|-------------------------------------------------------------------------------------------|
| 1.8 V                                           | シンセサイザおよび APLL の VCO、水晶発振器、IF アンブ段、ADC、LVDS | 入力: VIN_18VCO、VIN18CLK、VIN_18BB、VIOIN_18DIFF、VIOIN_18<br>LDO 出力: VOUT_14SYNTH、VOUT_14APLL |
| 1.3V (または、内部 LDO バイパスモードの場合は 1V) <sup>(1)</sup> | パワー アンプ、低ノイズ アンプ、ミキサ、LO 分配                  | 入力: VIN_13RF2、VIN_13RF1<br>LDO 出力: VOUT_PA                                                |
| 3.3V (または、1.8V I/O モードの場合は 1.8V)                | デジタル I/O                                    | 入力 VIOIN                                                                                  |
| 1.2 V                                           | コア デジタルおよび SRAM                             | 入力: VDDIN、VIN_SRAM                                                                        |

(1) 3Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、VOUT PA ピンに 1V 電源を供給する必要があります。

表 7-2 に示す 1.3V (1.0V) および 1.8V 電源リップル仕様は、RX で -105dBc (RF ピン = -15dBm) の目標スプリアスレベルを満たすように定義されています。スプリアス レベルとリップル レベルには、dB 対 dB の関係があります。たとえば、電源リップルが 1dB 増加すると、スプリアス レベルは約 1dB 増加します。記載された値は、指定された周波数で印加された正弦波入力の rms レベルです。

表 7-2. リップル仕様

| 周波数 (kHz) | RF レール                                            |                                     | VCO/IF レール                          |
|-----------|---------------------------------------------------|-------------------------------------|-------------------------------------|
|           | 1.0V (内部 LDO バイパス) ( $\mu\text{V}_{\text{RMS}}$ ) | 1.3V ( $\mu\text{V}_{\text{RMS}}$ ) | 1.8V ( $\mu\text{V}_{\text{RMS}}$ ) |
| 137.5     | 7                                                 | 648                                 | 83                                  |
| 275       | 5                                                 | 76                                  | 21                                  |
| 550       | 3                                                 | 22                                  | 11                                  |
| 1100      | 2                                                 | 4                                   | 6                                   |
| 2200      | 11                                                | 82                                  | 13                                  |
| 4400      | 13                                                | 93                                  | 19                                  |
| 6600      | 22                                                | 117                                 | 29                                  |

## 7.6 消費電力の概略

表 7-3 および 表 7-4 に、電源端子の消費電力をまとめます。

**表 7-3. 電源端子の最大電流定格**

| パラメータ                | 電源名                                                    | 説明                                                                | 最小値 | 標準値 | 最大値  | 単位 |
|----------------------|--------------------------------------------------------|-------------------------------------------------------------------|-----|-----|------|----|
| 消費電流: <sup>(1)</sup> | VDDIN, VIN_SRAM, VNWA                                  | 1.2V レールによって駆動される全ノードが消費する電流の合計値                                  |     |     | 1000 | mA |
|                      | VIN_13RF1, VIN_13RF2                                   | 1.3V または 1.0V レールで駆動される全ノードが消費する合計電流 (2TX, 4RX 同時) <sup>(2)</sup> |     |     | 2000 |    |
|                      | VIOIN_18, VIN_18CLK, VIOIN_18DIFF, VIN_18BB, VIN_18VCO | 1.8V レールによって駆動される全ノードが消費する電流の合計値                                  |     |     | 850  |    |
|                      | VIOIN                                                  | 3.3V レールによって駆動される全ノードが消費する電流の合計値 <sup>(3)</sup>                   |     | 50  |      |    |

(1) 電流の規定値は、代表的な電源電圧レベルにおける値です。

(2) 3Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を VOUT PA ピンに供給する必要があります。この場合、ピーク 1V 電源電流は 2500mA まで上昇します。LDO バイパスモードをイネーブルにするには、[ミッドバンドパッケージのインターフェイス制御のドキュメント](#)を参照してください。

(3) 正確な VIOIN 電流は、使用するペリフェラルとその動作周波数によって異なります。

**表 7-4. 電源端子の平均消費電力**

| パラメータ  | 条件                      |                   | 説明       | 最小値                                                                                                                                                                        | 標準値                                                                                                                                                                        | 最大値  | 単位 |      |
|--------|-------------------------|-------------------|----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|----|------|
| 平均消費電力 | 1.0V 内部 LDO<br>バイパス モード | 25% デューティ<br>サイクル | 1TX, 4RX | 使用事例: 通常モード、6.4MSPS<br>複合トランシーバ、フレーム時間<br>25ms、チャープ数 128、128 サ<br>ンプル/チャープ、アイドル時間<br>5 $\mu$ s (25% デューティ サイクル)、<br>ADC 開始時間および超過ランプ<br>時間 3 $\mu$ s、DSP および HWA ア<br>クティブ |                                                                                                                                                                            | 1.29 | W  |      |
|        |                         |                   | 2TX, 4RX |                                                                                                                                                                            |                                                                                                                                                                            | 1.36 |    |      |
|        |                         |                   | 3TX, 4RX |                                                                                                                                                                            |                                                                                                                                                                            | 1.43 |    |      |
|        |                         | 50% デューティ<br>サイクル | 1TX, 4RX |                                                                                                                                                                            | 使用事例: 通常モード、6.4MSPS<br>複合トランシーバ、フレーム時間<br>25ms、チャープ数 256、128 サ<br>ンプル/チャープ、アイドル時間<br>5 $\mu$ s (50% デューティ サイクル)、<br>ADC 開始時間および超過ランプ<br>時間 3 $\mu$ s、DSP および HWA ア<br>クティブ |      |    | 1.82 |
|        |                         |                   | 2TX, 4RX |                                                                                                                                                                            |                                                                                                                                                                            |      |    | 1.96 |
|        |                         |                   | 3TX, 4RX |                                                                                                                                                                            |                                                                                                                                                                            |      |    | 2.08 |

## 7.7 RF仕様

推奨動作条件範囲内、ランタイム キャリブレーション イネーブル (特に記述のない限り)

| パラメータ           |                                             | 最小値                                                                | 標準値                                               | 最大値  | 単位   |        |
|-----------------|---------------------------------------------|--------------------------------------------------------------------|---------------------------------------------------|------|------|--------|
| レシーバ            | ノイズ指数 <sup>(2)</sup>                        | 76~77GHz                                                           | 14                                                |      | dB   |        |
|                 |                                             | 77~81GHz                                                           | 15                                                |      |      |        |
|                 | 1dB 圧縮ポイント (帯域外 / 10kHz で規定) <sup>(1)</sup> |                                                                    |                                                   | -8   |      | dBm    |
|                 | 最大ゲイン                                       |                                                                    |                                                   | 48   |      | dB     |
|                 | ゲイン範囲                                       |                                                                    |                                                   | 24   |      | dB     |
|                 | ゲイン ステップ サイズ                                |                                                                    |                                                   | 2    |      | dB     |
|                 | イメージ除去比 (IMRR)                              |                                                                    |                                                   | 30   |      | dB     |
|                 | IF 帯域幅 <sup>(3)</sup>                       |                                                                    |                                                   |      | 10   | MHz    |
|                 | ADC サンプルング レート (実数 / 複素数 2x)                |                                                                    |                                                   |      | 25   | Msp/s  |
|                 | ADC サンプルング レート (複素数 1x)                     |                                                                    |                                                   |      | 12.5 | Msp/s  |
|                 | ADC の分解能                                    |                                                                    |                                                   | 12   |      | ビット    |
|                 | 反射損失 (S11)                                  |                                                                    |                                                   | <-10 |      | dB     |
|                 | ゲイン ミスマッチの変動 (温度範囲全体)                       |                                                                    |                                                   | ±0.5 |      | dB     |
|                 | 位相ミスマッチの変動 (温度範囲全体)                         |                                                                    |                                                   | ±3   |      | °      |
|                 | レシーバ                                        | 帯域内 IIP2                                                           | RX ゲイン = 30dB<br>IF = 1.5, 2MHz<br>(-12dBFS において) | 16   |      | dBm    |
| 帯域外 IIP2        |                                             | RX ゲイン = 24dB<br>IF = 10kHz (-10dBm において)、<br>1.9MHz (-30dBm において) | 24                                                |      | dBm  |        |
| アイドル チャネル スプリアス |                                             |                                                                    | -90                                               |      | dBFS |        |
|                 |                                             |                                                                    |                                                   |      |      |        |
| トランスミッタ         | 出力電力                                        |                                                                    |                                                   | 12   |      | dBm    |
|                 | 振幅ノイズ                                       |                                                                    |                                                   | -145 |      | dBc/Hz |
| クロック サブシステム     | 周波数範囲                                       |                                                                    | 76                                                |      | 81   | GHz    |
|                 | ランプレート                                      |                                                                    |                                                   |      | 100  | MHz/μs |
|                 | 1MHz オフセットでの位相ノイズ                           | 76~77GHz                                                           |                                                   | -95  |      | dBc/Hz |
| 77~81GHz        |                                             |                                                                    | -93                                               |      |      |        |

- (1) 1dB 圧縮ポイント (帯域外) は、HPF の最小カットオフ周波数よりも十分低い連続波トーン (10kHz) を供給することにより測定されます。  
(2)仕様は複素数 1x モードで記載しています。  
(3) アナログ IF 段は、1 次ハイパスコーナー周波数を 2 つ個別に設定可能なハイパスフィルタ回路を備えています。一連の使用可能な HPF コーナーは次のように要約されます。  
使用可能な HPF コーナー周波数 (kHz)

| HPF1               | HPF2                 |
|--------------------|----------------------|
| 175, 235, 350, 700 | 350, 700, 1400, 2800 |

デジタル ベースバンド チェーンによるフィルタリングは、以下の特長を実現することを目的としています。

- パスバンドリップル/ドループ ±0.5dB 未満、および
- パスバンドにエイリアスバックする可能性のある任意の周波数に対して、60dB 以上のアンチエイリアシング減衰。

図 7-1 に、設定されたレシーバ ゲインに対するノイズ指数と帯域内 P1dB パラメータのばらつきを示します。

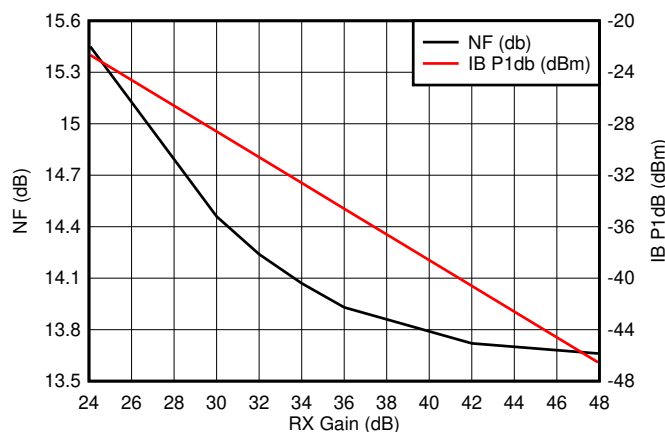


図 7-1. ノイズ指数、帯域内 P1dB とレシーバゲインとの関係

## 7.8 CPU の仕様

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                  |                    | 最小値 | 標準値  | 最大値 | 単位  |
|------------------------|--------------------|-----|------|-----|-----|
| DSP サブシステム (C674 ファミリ) | クロック速度             |     | 600  |     | MHz |
|                        | L1 コード メモリ         |     | 32   |     | KB  |
|                        | L1 データ メモリ         |     | 32   |     | KB  |
|                        | L2 メモリー            |     | 256  |     | KB  |
| メイン サブシステム (R4F ファミリ)  | クロック速度             |     | 200  |     | MHz |
|                        | 密結合メモリ - A (プログラム) |     | 512  |     | KB  |
|                        | 密結合メモリ - B (データ)   |     | 192  |     | KB  |
| 共有メモリ                  | 共有 L3 メモリ          |     | 1024 |     | KB  |

## 7.9 FCBGA パッケージの熱抵抗特性 [ABL0161]

| 熱評価基準 <sup>(1)</sup>      |                | °C/W <sup>(2) (3)</sup> |
|---------------------------|----------------|-------------------------|
| R $\theta$ <sub>JC</sub>  | 接合部とケースとの間     | 4.2                     |
| R $\theta$ <sub>JB</sub>  | 接合部と基板との間      | 5.7                     |
| R $\theta$ <sub>JA</sub>  | 接合部と自由空気との間    | 20.9                    |
| R $\theta$ <sub>JMA</sub> | 接合部と空気流との間     | 14.5 <sup>(4)</sup>     |
| Psi <sub>JT</sub>         | 接合部とパッケージ上面との間 | 0.38                    |
| Psi <sub>JB</sub>         | 接合部と基板との間      | 5.6                     |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

(2) °C/W = 摂氏温度 / ワット。

(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [R $\theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

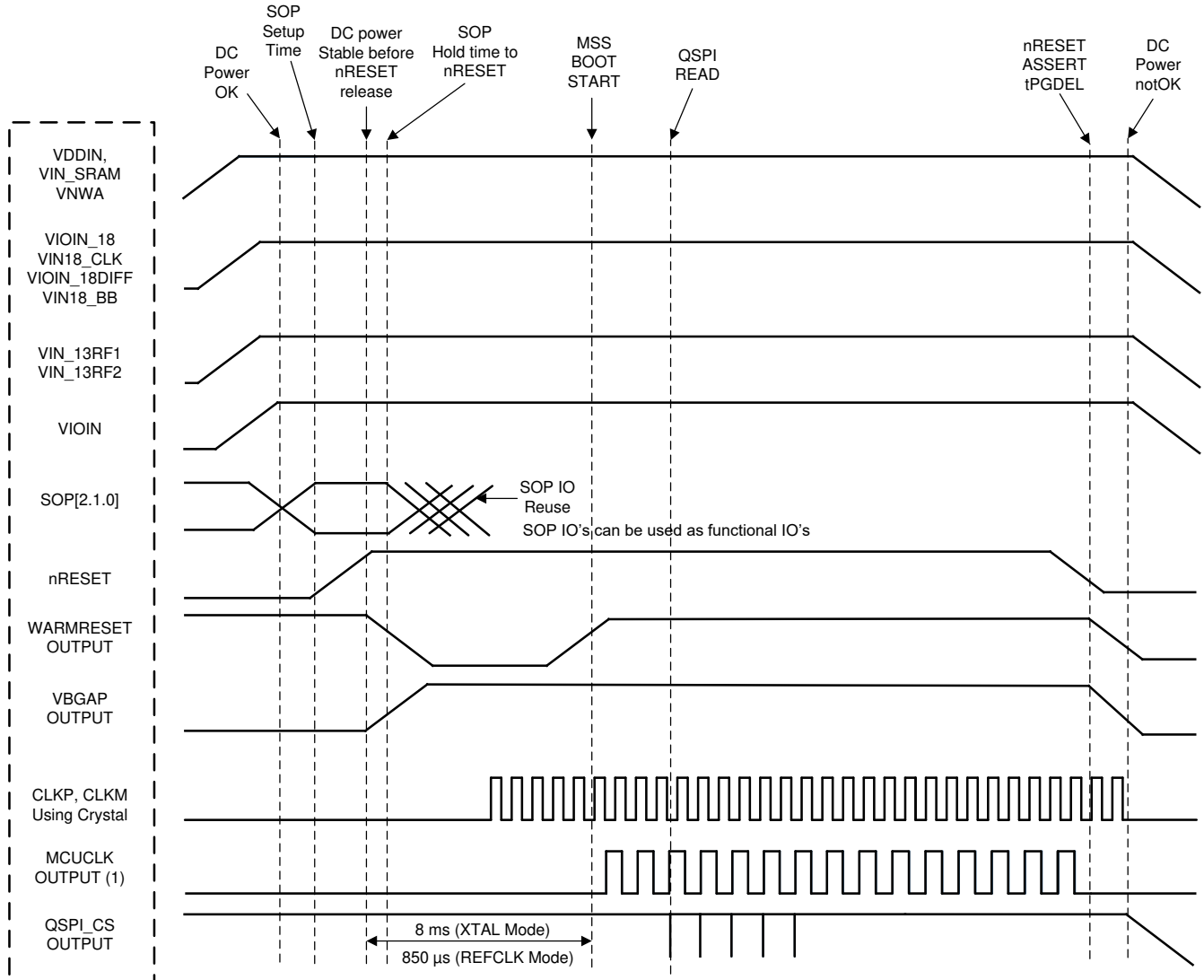
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(4) 空気流 = 1m/s

## 7.10 タイミングおよびスイッチング特性

### 7.10.1 電源シーケンスおよびリセット タイミング

AWR1843 デバイスは、リセットがデアサートされる前に、すべての外部電圧レール および SOP ライン が安定することを想定しています。図 7-2 に、デバイス ウェークアップ シーケンスを示します。



A. MCU\_CLK\_OUT は、AWR1843 のアプリケーションがシリアル フラッシュからブートされる自律モードの場合、デフォルトでは、本デバイスのブートロードによって有効化されません。

図 7-2. デバイス ウェークアップ シーケンス

## 7.10.2 入力クロックおよび発振器

### 7.10.2.1 クロック仕様

AWR1843 は、初期ブートのため、そして本デバイスが内蔵している内部 APLL のリファレンスとして、外部クロック源 (すなわち、40MHz 水晶振動子) を必要とします。外部水晶振動子は、デバイスのピンに接続されています。図 7-3 に、水晶振動子の実装を示します。

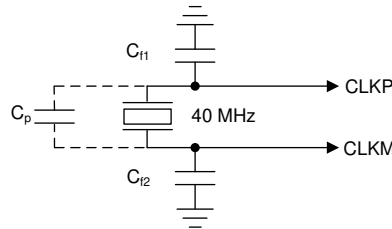


図 7-3. 水晶振動子の実装

#### 注

図 7-3 の負荷コンデンサ  $C_{f1}$  および  $C_{f2}$  は、式 1 が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-5 に、クロック水晶振動子の電気的特性を示します。

表 7-5. 水晶振動子の電気的特性 (発振器モード)

| 名称       | 説明                    | 最小値  | 標準値 | 最大値 | 単位                 |
|----------|-----------------------|------|-----|-----|--------------------|
| $f_p$    | 並列共振水晶振動子周波数          |      | 40  |     | MHz                |
| $C_L$    | 水晶振動子の負荷容量            | 5    | 8   | 12  | pF                 |
| ESR      | 水晶振動子の ESR            |      |     | 50  | $\Omega$           |
| 温度範囲     | 想定される動作温度範囲           | -40  |     | 125 | $^{\circ}\text{C}$ |
| 周波数の許容誤差 | 水晶振動子周波数の許容誤差 (1) (2) | -200 |     | 200 | ppm                |
| 励振レベル    |                       |      | 50  | 200 | $\mu\text{W}$      |

(1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。

(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。40MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 7-6 に、外部クロック信号の電気的特性を示します。



表 7-6. 外部クロック モード仕様

| パラメータ                                                       |                | 仕様   |     |      | 単位      |
|-------------------------------------------------------------|----------------|------|-----|------|---------|
|                                                             |                | 最小値  | 標準値 | 最大値  |         |
| 入力クロック:<br>外部 AC 結合正弦波または DC 結合方<br>形波の<br>位相ノイズ (40MHz 基準) | 周波数            |      | 40  |      | MHz     |
|                                                             | AC 振幅          | 700  |     | 1200 | mV (pp) |
|                                                             | 1kHz での位相ノイズ   |      |     | -132 | dBc/Hz  |
|                                                             | 10kHz での位相ノイズ  |      |     | -143 | dBc/Hz  |
|                                                             | 100kHz での位相ノイズ |      |     | -152 | dBc/Hz  |
|                                                             | 1MHz での位相ノイズ   |      |     | -153 | dBc/Hz  |
|                                                             | デューティ サイクル     | 35   |     | 65   | %       |
|                                                             | 周波数の許容範囲       | -100 |     | 100  | ppm     |

### 7.10.3 マルチバッファ付き / 標準シリアル ペリフェラル インターフェイス (MibSPI)

#### 7.10.3.1 ペリフェラルの概要

SPI はテキサス・インスツルメンツ の MibSPI プロトコルを使用しています。

MibSPI/SPI は高速な同期シリアル入出力ポートであり、プログラムされたビット転送速度で、プログラムされた長さ (2～16 ビット) のシリアル ビット ストリームをデバイスにシフトイン / シフトアウトできます。MibSPI/SPI は、マイクロコントローラと、外部ペリフェラルや他のマイクロコントローラとの間の通信に使用されます。

標準的なモジュールと MibSPI モジュールの主な機能は次の通りです。

- 16 ビット シフトレジスタ
- 受信バッファレジスタ
- 8 ビット ボー クロック ジェネレータ
- SPICLK は、内部で生成される (コントローラ モード) か、外部クロック ソースから受信されます (ペリフェラル モード)。
- 転送される各ワードは、固有のフォーマットを持つことができます。
- 通信で使用されていない SPI I/O は、デジタル入出力信号として使用できます。

#### 7.10.3.2 MibSPI 送信および受信 RAM の構成

マルチバッファ RAM は 256 個のバッファで構成されています。マルチバッファ RAM の各エントリは、16 ビットの送信フィールド、16 ビットの受信フィールド、16 ビットの制御フィールド、16 ビットのステータス フィールドという、4 つの部分で構成されています。マルチバッファ RAM は、それぞれ異なるバッファ数の複数の転送グループに分割できます。

セクション 7.10.3.2.2 とセクション 7.10.3.2.3 は、セクション 7.10.3.2.1 に記載された動作条件を前提としています。

##### 7.10.3.2.1 SPI のタイミング条件

|            |           | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件       |           |     |     |     |    |
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| 出力条件       |           |     |     |     |    |
| $C_{LOAD}$ | 出力負荷容量    | 2   |     | 15  | pF |

##### 7.10.3.2.2 SPI コントローラ モードのスイッチング パラメータ (クロック位相 = 0、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) <sup>(1) (2) (3)</sup>

| 番号               | パラメータ             |                                                  | 最小値                     | 標準値 | 最大値                  | 単位 |
|------------------|-------------------|--------------------------------------------------|-------------------------|-----|----------------------|----|
| 1                | $t_{c(SPC)M}$     | サイクル時間、SPICLK <sup>(4)</sup>                     | 25                      |     | $256t_{c(VCLK)}$     | ns |
| 2 <sup>(4)</sup> | $t_w(SPCH)M$      | パルス幅、SPICLK High (クロック極性 = 0)                    | $0.5t_{c(SPC)M} - 4$    |     | $0.5t_{c(SPC)M} + 4$ | ns |
|                  | $t_w(SPCL)M$      | パルス幅、SPICLK Low (クロック極性 = 1)                     | $0.5t_{c(SPC)M} - 4$    |     | $0.5t_{c(SPC)M} + 4$ |    |
| 3 <sup>(4)</sup> | $t_w(SPCL)M$      | パルス幅、SPICLK Low (クロック極性 = 0)                     | $0.5t_{c(SPC)M} - 4$    |     | $0.5t_{c(SPC)M} + 4$ | ns |
|                  | $t_w(SPCH)M$      | パルス幅、SPICLK High (クロック極性 = 1)                    | $0.5t_{c(SPC)M} - 4$    |     | $0.5t_{c(SPC)M} + 4$ |    |
| 4 <sup>(4)</sup> | $t_d(SPCH-SIMO)M$ | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)     | $0.5t_{c(SPC)M} - 3$    |     |                      | ns |
|                  | $t_d(SPCL-SIMO)M$ | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)    | $0.5t_{c(SPC)M} - 3$    |     |                      |    |
| 5 <sup>(4)</sup> | $t_v(SPCL-SIMO)M$ | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)  | $0.5t_{c(SPC)M} - 10.5$ |     |                      | ns |
|                  | $t_v(SPCH-SIMO)M$ | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1) | $0.5t_{c(SPC)M} - 10.5$ |     |                      |    |

| 番号               | パラメータ                       |                                                    | 最小値                                                                        | 標準値                                                                             | 最大値                                        | 単位 |
|------------------|-----------------------------|----------------------------------------------------|----------------------------------------------------------------------------|---------------------------------------------------------------------------------|--------------------------------------------|----|
| 6 <sup>(5)</sup> | t <sub>C2TDELAY</sub>       | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)    | CSHOLD = 0                                                                 | (C2TDELAY+2)*<br>t <sub>c(VCLK)</sub> - 7.5                                     | (C2TDELAY+2)<br>* t <sub>c(VCLK)</sub> + 7 | ns |
|                  |                             |                                                    | CSHOLD = 1                                                                 | (C2TDELAY + 3)<br>* t <sub>c(VCLK)</sub> - 7.5                                  | (C2TDELAY+3)<br>* t <sub>c(VCLK)</sub> + 7 |    |
|                  |                             | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1)     | CSHOLD = 0                                                                 | (C2TDELAY+2)*<br>t <sub>c(VCLK)</sub> - 7.5                                     | (C2TDELAY+2)<br>* t <sub>c(VCLK)</sub> + 7 |    |
|                  |                             |                                                    | CSHOLD = 1                                                                 | (C2TDELAY + 3)<br>* t <sub>c(VCLK)</sub> - 7.5                                  | (C2TDELAY+3)<br>* t <sub>c(VCLK)</sub> + 7 |    |
| 7 <sup>(5)</sup> | t <sub>T2CDELAY</sub>       | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)      | 0.5*t <sub>c(SPCM)</sub> +<br>(T2CDELAY +<br>1) * t <sub>c(VCLK)</sub> - 7 | 0.5*t <sub>c(SPCM)</sub> +<br>(T2CDELAY +<br>1) * t <sub>c(VCLK)</sub> +<br>7.5 | ns                                         |    |
|                  |                             | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)     | 0.5*t <sub>c(SPCM)</sub> +<br>(T2CDELAY +<br>1) * t <sub>c(VCLK)</sub> - 7 | 0.5*t <sub>c(SPCM)</sub> +<br>(T2CDELAY +<br>1) * t <sub>c(VCLK)</sub> +<br>7.5 |                                            |    |
| 8 <sup>(4)</sup> | t <sub>su(SOMI-SPCLM)</sub> | セットアップ時間、SPISOMI から SPICLK Low まで (クロック極性 = 0)     | 5                                                                          |                                                                                 | ns                                         |    |
|                  | t <sub>su(SOMI-SPCHM)</sub> | セットアップ時間、SPISOMI から SPICLK High まで (クロック極性 = 1)    | 5                                                                          |                                                                                 |                                            |    |
| 9 <sup>(4)</sup> | t <sub>h(SPCL-SOMI)M</sub>  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 0)  | 3                                                                          |                                                                                 | ns                                         |    |
|                  | t <sub>h(SPCH-SOMI)M</sub>  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 1) | 3                                                                          |                                                                                 |                                            |    |

- マスタビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はクリアされています (x = 0 または 1)。
- t<sub>c(MSS\_VCLK)</sub> = メイン サブシステム クロック時間 = 1 / f<sub>(MSS\_VCLK)</sub>。詳細については、『[テクニカル リファレンス マニュアル](#)』を参照してください。
- SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合: t<sub>c(SPCM)</sub> ≥ (PS + 1)t<sub>c(MSS\_VCLK)</sub> ≥ 25ns。ここで、PS は SPIFMTx.[15:8] レジスタビットで設定されたプリスケール値です。PS 値が 0 の場合: t<sub>c(SPCM)</sub> = 2t<sub>c(MSS\_VCLK)</sub> ≥ 25ns。
- 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。
- C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

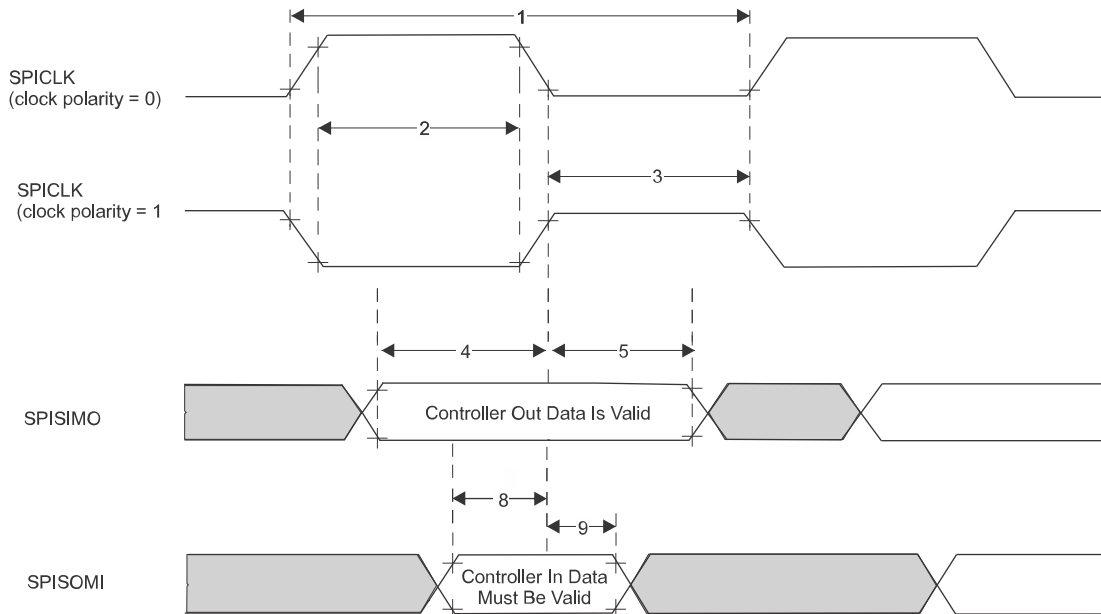


図 7-4. SPI コントローラ モードの外部タイミング (クロック位相 = 0)

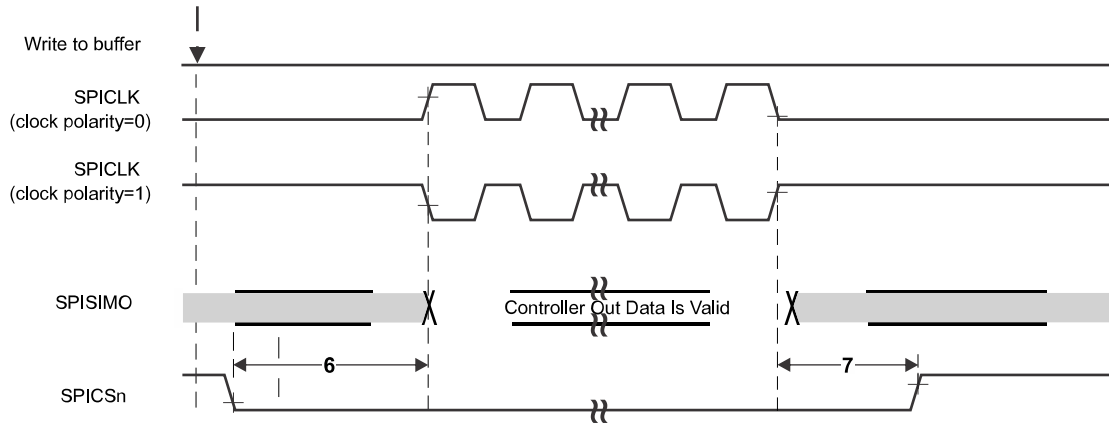


図 7-5. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 0)

7.10.3.2.3 SPI コントローラ モードのスイッチングパラメータ (クロック位相 = 1、SPICLK = 出力、SPISIMO = 出力、SPISOMI = 入力) <sup>(1) (2) (3)</sup>

| 番号               | パラメータ                                          |                                                  | 最小値                                                    | 標準値                                                      | 最大値                                                      | 単位 |
|------------------|------------------------------------------------|--------------------------------------------------|--------------------------------------------------------|----------------------------------------------------------|----------------------------------------------------------|----|
| 1                | $t_{c(SPC)M}$                                  | サイクル時間、SPICLK <sup>(4)</sup>                     | 25                                                     | 256 $t_{c(VCLK)}$                                        |                                                          | ns |
| 2 <sup>(4)</sup> | $t_{w(SPCH)M}$                                 | パルス幅、SPICLK High (クロック極性 = 0)                    | $0.5t_{c(SPC)M} - 4$                                   | $0.5t_{c(SPC)M} + 4$                                     |                                                          | ns |
|                  | $t_{w(SPCL)M}$                                 | パルス幅、SPICLK Low (クロック極性 = 1)                     | $0.5t_{c(SPC)M} - 4$                                   | $0.5t_{c(SPC)M} + 4$                                     |                                                          |    |
| 3 <sup>(4)</sup> | $t_{w(SPCL)M}$                                 | パルス幅、SPICLK Low (クロック極性 = 0)                     | $0.5t_{c(SPC)M} - 4$                                   | $0.5t_{c(SPC)M} + 4$                                     |                                                          | ns |
|                  | $t_{w(SPCH)M}$                                 | パルス幅、SPICLK high (クロック極性 = 1)                    | $0.5t_{c(SPC)M} - 4$                                   | $0.5t_{c(SPC)M} + 4$                                     |                                                          |    |
| 4 <sup>(4)</sup> | $t_{d(SPCH-SIMO)M}$                            | 遅延時間、SPISIMO 有効から SPICLK Low まで (クロック極性 = 0)     | $0.5t_{c(SPC)M} - 3$                                   |                                                          |                                                          | ns |
|                  | $t_{d(SPCL-SIMO)M}$                            | 遅延時間、SPISIMO 有効から SPICLK High まで (クロック極性 = 1)    | $0.5t_{c(SPC)M} - 3$                                   |                                                          |                                                          |    |
| 5 <sup>(4)</sup> | $t_{v(SPCL-SIMO)M}$                            | 有効時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0)  | $0.5t_{c(SPC)M} - 10.5$                                |                                                          |                                                          | ns |
|                  | $t_{v(SPCH-SIMO)M}$                            | 有効時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1) | $0.5t_{c(SPC)M} - 10.5$                                |                                                          |                                                          |    |
| 6 <sup>(5)</sup> | $t_{C2TDELAY}$                                 | セットアップ時間、CS アクティブから SPICLK High まで (クロック極性 = 0)  | CSHOLD = 0                                             | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7$   | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7.5$ | ns |
|                  |                                                |                                                  | CSHOLD = 1                                             | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7$   | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7.5$ |    |
|                  | セットアップ時間、CS アクティブから SPICLK Low まで (クロック極性 = 1) | CSHOLD = 0                                       | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7$ | $0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} + 7.5$ |                                                          |    |
|                  |                                                | CSHOLD = 1                                       | $0.5 * t_{c(SPC)M} + (C2TDELAY + 3) * t_{c(VCLK)} - 7$ | $0.5 * t_{c(SPC)M} + (C2TDELAY + 3) * t_{c(VCLK)} + 7.5$ |                                                          |    |
| 7 <sup>(5)</sup> | $t_{T2CDELAY}$                                 | ホールド時間、SPICLK Low から CS 非アクティブまで (クロック極性 = 0)    | $(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$                   | $(T2CDELAY + 1) * t_{c(VCLK)} + 7$                       | ns                                                       |    |
|                  |                                                | ホールド時間、SPICLK High から CS 非アクティブまで (クロック極性 = 1)   | $(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$                   | $(T2CDELAY + 1) * t_{c(VCLK)} + 7$                       |                                                          |    |

| 番号   | パラメータ                                                                   | 最小値 | 標準値 | 最大値 | 単位 |
|------|-------------------------------------------------------------------------|-----|-----|-----|----|
| 8(4) | $t_{su}(SOMI-SPCL)M$ セットアップ時間、SPISOMI から SPICLK Low まで<br>(クロック極性 = 0)  | 5   |     |     | ns |
|      | $t_{su}(SOMI-SPCH)M$ セットアップ時間、SPISOMI から SPICLK High まで<br>(クロック極性 = 1) | 5   |     |     |    |
| 9(4) | $t_h(SPCL-SOMI)M$ ホールド時間、SPICLK Low から SPISOMI データ有効の間<br>(クロック極性 = 0)  | 3   |     |     | ns |
|      | $t_h(SPCH-SOMI)M$ ホールド時間、SPICLK High から SPISOMI データ有効の間<br>(クロック極性 = 1) | 3   |     |     |    |

- (1) マスタビット (SPIGCRx.0) はセットされ、クロック位相ビット (SPIFMTx.16) はセットされています (x = 0 または 1)。
- (2)  $t_{c}(MSS\_VCLK)$  = メイン サブシステム クロック時間 =  $1 / f_{(MSS\_VCLK)}$ . 詳細については、『[テクニカルリファレンスマニュアル](#)』を参照してください。
- (3) SPI がコントローラ モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合:  $t_{c}(SPC)M \geq (PS + 1)t_{c}(MSS\_VCLK) \geq 25ns$ 。ここで、PS は SPIFMTx.[15:8] レジスタビットで設定されたプリスケール値です。PS 値が 0 の場合:  $t_{c}(SPC)M = 2t_{c}(MSS\_VCLK) \geq 25ns$ 。
- (4) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。
- (5) C2TDELAY および T2CDELAY は、SPIDELAY レジスタでプログラムされます

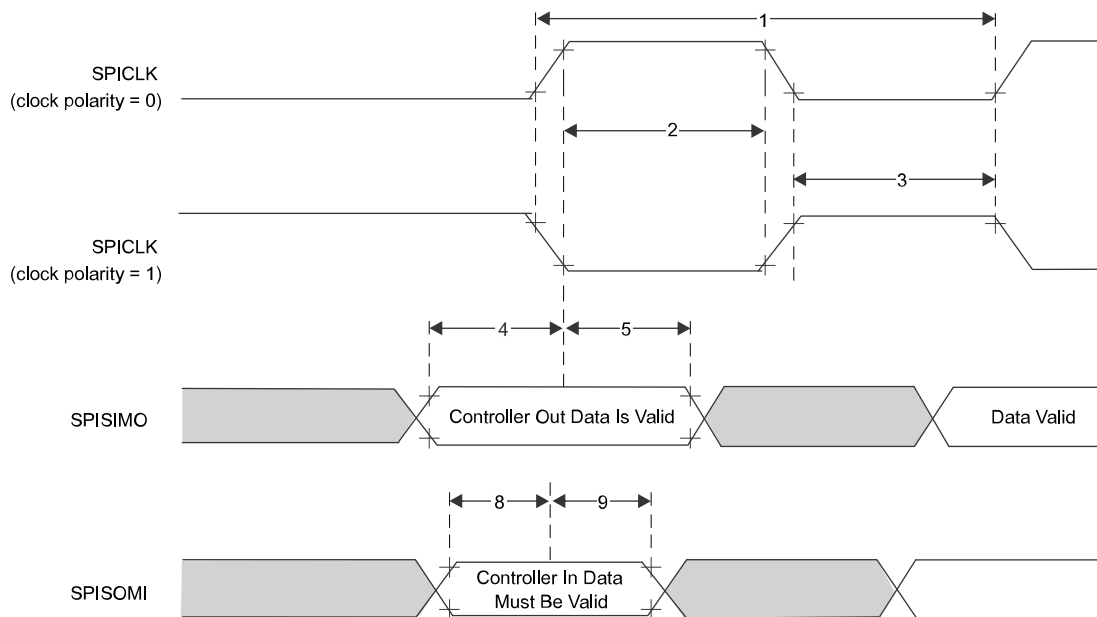


図 7-6. SPI コントローラ モードの外部タイミング (クロック位相 = 1)

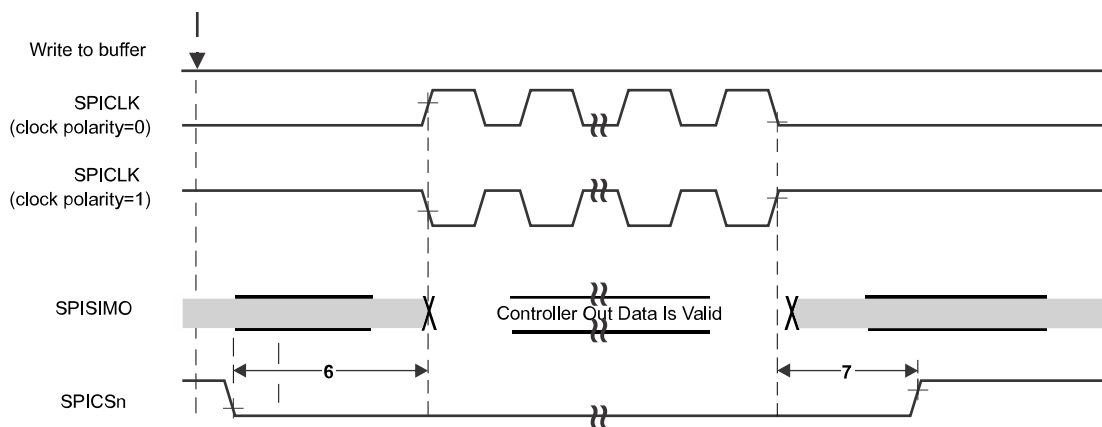


図 7-7. SPI コントローラ モードのチップ セレクト タイミング (クロック位相 = 1)

### 7.10.3.3 SPI ペリフェラル モードの I/O タイミング

#### 7.10.3.3.1 SPI ペリフェラル モードのスウィッチングパラメータ (SPICLK = 入力, SPISIMO = 入力, SPISOMI = 出力) (1) (2) (3)

| 番号               | パラメータ                |                                                                                           | 最小値 | 標準値 | 最大値 | 単位 |
|------------------|----------------------|-------------------------------------------------------------------------------------------|-----|-----|-----|----|
| 1                | $t_{c(SPC)}S$        | サイクル時間、SPICLK <sup>(4)</sup>                                                              | 25  |     |     | ns |
| 2 <sup>(5)</sup> | $t_{w(SPCH)}S$       | パルス幅、SPICLK High (クロック極性 = 0)                                                             | 10  |     |     | ns |
|                  | $t_{w(SPCL)}S$       | パルス幅、SPICLK Low (クロック極性 = 1)                                                              | 10  |     |     |    |
| 3 <sup>(5)</sup> | $t_{w(SPCL)}S$       | パルス幅、SPICLK Low (クロック極性 = 0)                                                              | 10  |     |     | ns |
|                  | $t_{w(SPCH)}S$       | パルス幅、SPICLK High (クロック極性 = 1)                                                             | 10  |     |     |    |
| 4 <sup>(5)</sup> | $t_{d(SPCH-SOMI)}S$  | 遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0)                                             |     |     | 10  | ns |
|                  | $t_{d(SPCL-SOMI)}S$  | 遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 1)                                              |     |     | 10  |    |
| 5 <sup>(5)</sup> | $t_{h(SPCH-SOMI)}S$  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0)                                        | 2   |     |     | ns |
|                  | $t_{h(SPCL-SOMI)}S$  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1)                                         | 2   |     |     |    |
| 4 <sup>(5)</sup> | $t_{d(SPCH-SOMI)}S$  | 遅延時間、SPICLK High から SPISOMI 有効まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)      |     |     | 10  | ns |
|                  | $t_{d(SPCL-SOMI)}S$  | 遅延時間、SPICLK Low から SPISOMI 有効まで (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)       |     |     | 10  |    |
| 5 <sup>(5)</sup> | $t_{h(SPCH-SOMI)}S$  | ホールド時間、SPICLK High から SPISOMI データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1) | 2   |     |     | ns |
|                  | $t_{h(SPCL-SOMI)}S$  | ホールド時間、SPICLK Low から SPISOMI データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)  | 2   |     |     |    |
| 6 <sup>(5)</sup> | $t_{su(SIMO-SPCL)}S$ | セットアップ時間、SPISIMO から SPICLK Low まで (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)     | 3   |     |     | ns |
|                  | $t_{su(SIMO-SPCH)}S$ | セットアップ時間、SPISIMO から SPICLK High まで (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1)    | 3   |     |     |    |
| 7 <sup>(5)</sup> | $t_{h(SPCL-SIMO)}S$  | ホールド時間、SPICLK Low から SPISIMO データ有効の間 (クロック極性 = 0、クロック位相 = 0) または (クロック極性 = 1、クロック位相 = 1)  | 1   |     |     | ns |
|                  | $t_{h(SPCL-SIMO)}S$  | ホールド時間、SPICLK High から SPISIMO データ有効の間 (クロック極性 = 1、クロック位相 = 0) または (クロック極性 = 0、クロック位相 = 1) | 1   |     |     |    |

- (1) マスタビット (SPIGRx.0) がクリアされます ( $x = 0$  または 1)。  
 (2) クロック位相ビット (SPIFMTx.16) は、クロック位相 = 0 またはクロック位相 = 1 の場合、それぞれクリアまたはセットされます。  
 (3)  $t_{c(MSS\_VCLK)}$  = メイン サブシステム クロック タイム =  $1 / f_{(MSS\_VCLK)}$ 。詳細については、『[テクニカル リファレンス マニュアル](#)』を参照してください。  
 (4) SPI がペリフェラル モードの場合、次の条件を満たす必要があります。PS 値が 1~255 の場合:  $t_{c(SPC)}S \geq (PS + 1)t_{c(MSS\_VCLK)} \geq 25ns$ 、ここでは、PS は SPIFMTx.[15:8] レジスタ ビットに設定されたプリスケール値です。PS 値が 0 の場合:  $t_{c(SPC)}S = 2t_{c(MSS\_VCLK)} \geq 25 ns$ 。  
 (5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPIFMTx.17) によって制御されます。

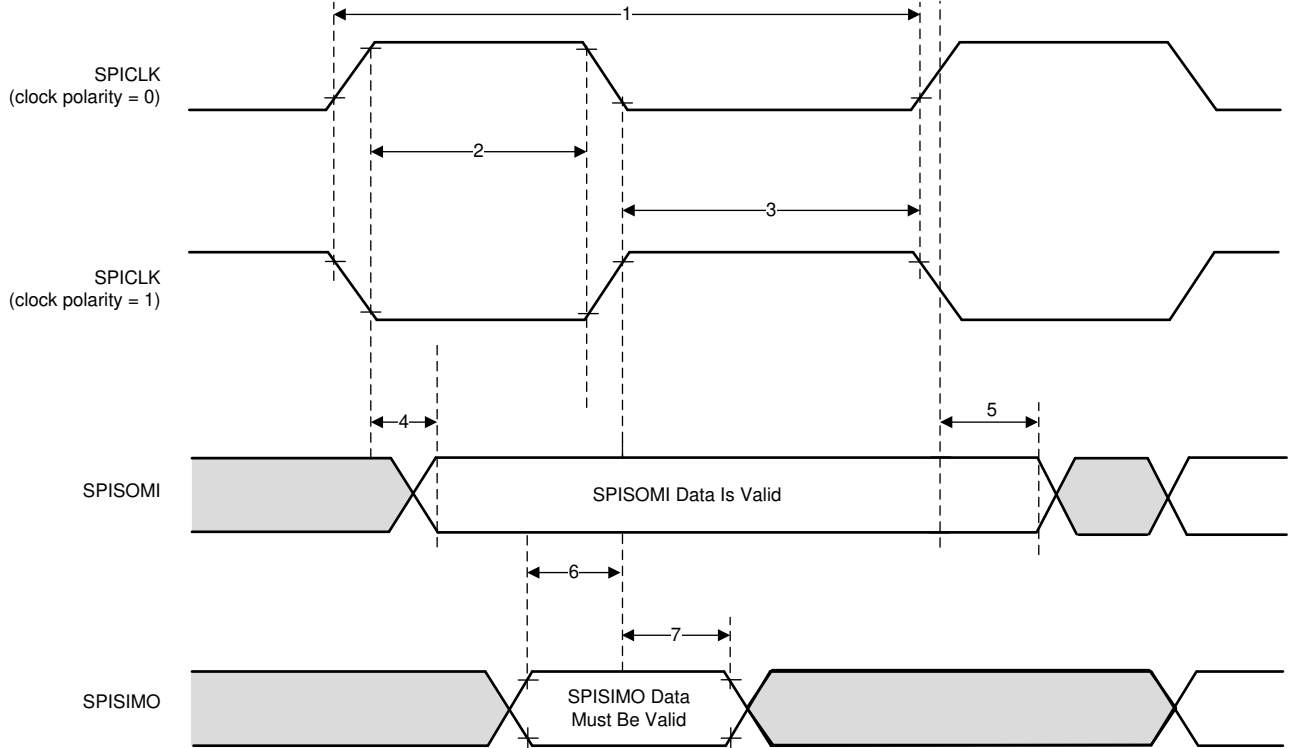


図 7-8. SPI ペリフェラル モードの外部タイミング (クロック位相 = 0)

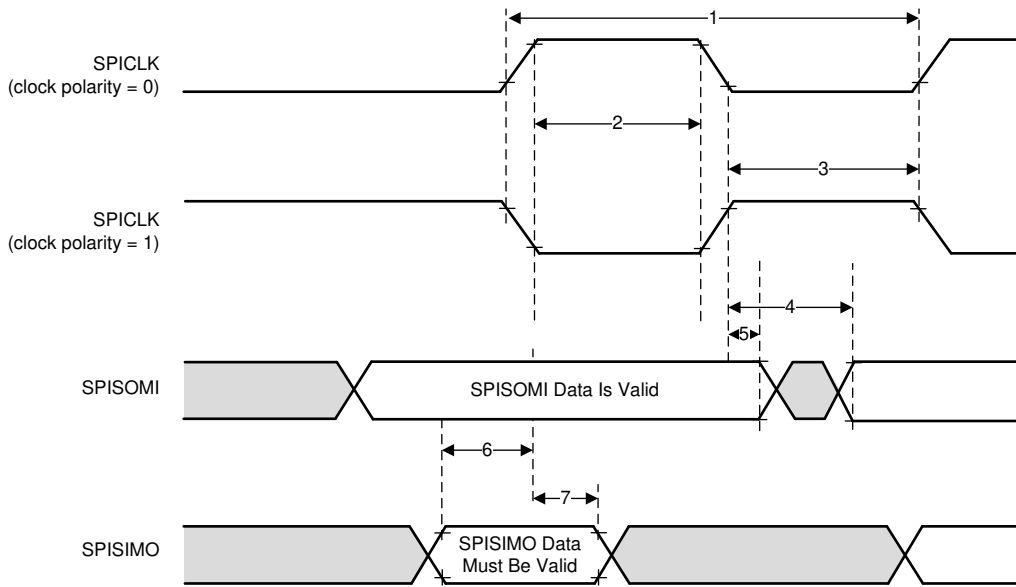


図 7-9. SPI ペリフェラル モードの外部タイミング (クロック位相 = 1)



### 7.10.3.4 代表的なインターフェイス プロトコルの図 (ペリフェラル モード)

1. ホストは、CS が Low になる時点と SPI クロックの開始の間に、SPI クロック 2 つの遅延が存在するようにする必要があります。
2. ホストは、SPI を経由する転送の 16 ビットごとに CS がトグルされるようにする必要があります。

図 7-10 に、標準的なインターフェイス プロトコルの SPI 通信タイミングを示します。

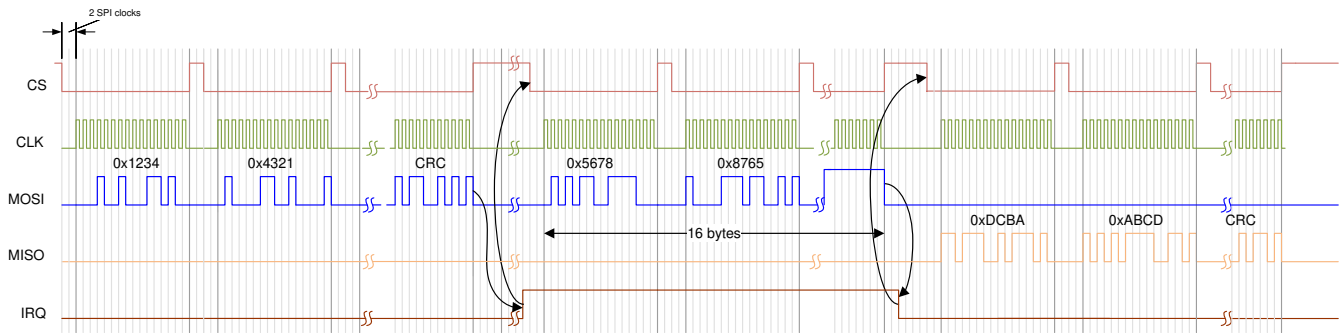


図 7-10. SPI 通信

### 7.10.4 LVDS インターフェイスの構成

サポートされている AWR1843 LVDS レーン構成は、2 つのデータ レーン (LVDS\_TXP/M)、1 つのビット クロック レーン (LVDS\_CLKP/M)、1 つのフレーム クロック レーン (LVDS\_FRCLKP/M) です。LVDS インターフェイスはデバッグに使用されます。LVDS インターフェイスは、以下のデータ レートをサポートしています。

- 900Mbps (450MHz DDR クロック)
- 600Mbps (300MHz DDR クロック)
- 450Mbps (225MHz DDR クロック)
- 400Mbps (200MHz DDR クロック)
- 300Mbps (150MHz DDR クロック)
- 225Mbps (112.5MHz DDR クロック)
- 150Mbps (75MHz DDR クロック)

ビット クロックは DDR 形式であるため、クロックのトグルの数はデータに相当します。

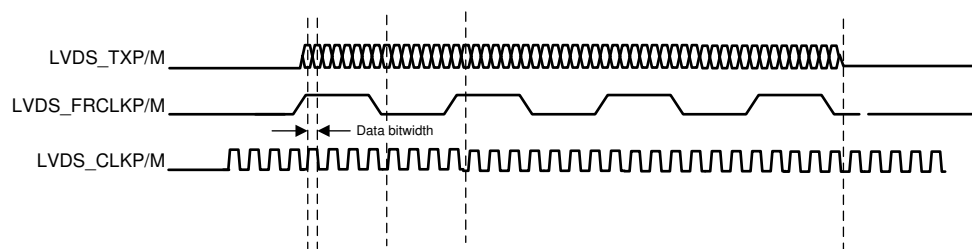


図 7-11. LVDS インターフェイスのレーン構成および相対タイミング

#### 7.10.4.1 LVDS インターフェイスのタイミング

表 7-7. LVDS の電気的特性

| パラメータ         | テスト条件                                 | 最小値  | 標準値 | 最大値  | 単位 |
|---------------|---------------------------------------|------|-----|------|----|
| デューティ サイクル要件  | LVDS レーン上で最大 1pF の集中容量性負荷             | 48%  |     | 52%  |    |
| 出力差動電圧        | 差動ペア間に 100Ω の抵抗性負荷があるピークツーピークのシングルエンド | 250  |     | 450  | mV |
| 出力オフセット電圧     |                                       | 1125 |     | 1275 | mV |
| Trise と Tfall | 20%~80%、900Mbps                       |      | 330 |      | ps |
| ジッタ (pk-pk)   | 900Mbps                               |      | 80  |      | ps |

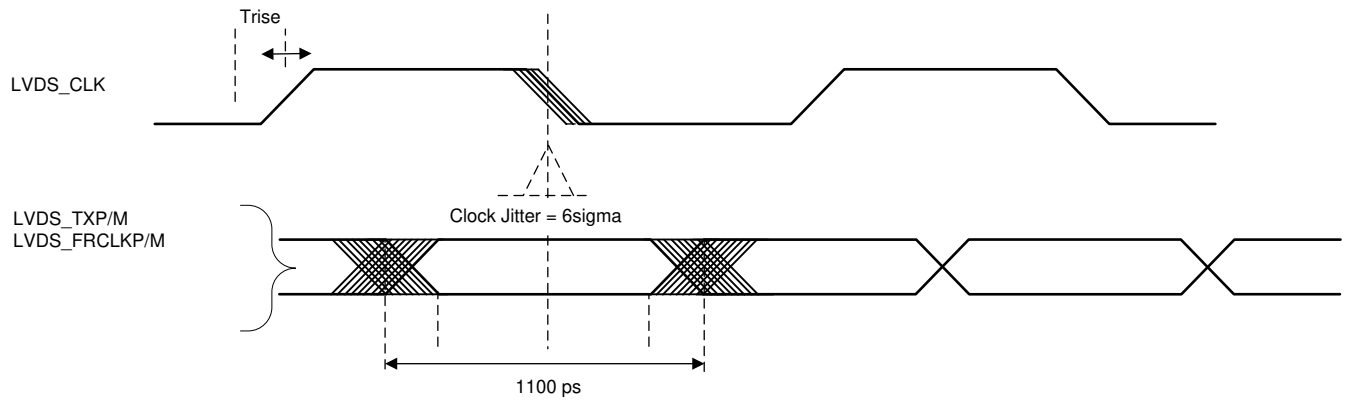


図 7-12. タイミング パラメータ

### 7.10.5 汎用入出力 (General-Purpose Input/Output)

セクション 7.10.5.1 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

#### 7.10.5.1 出力タイミングと負荷容量 ( $C_L$ ) のスイッチング特性

| パラメータ <sup>(1) (2)</sup> |           | テスト条件     | VIOIN = 1.8V        | VIOIN = 3.3V | 単位   |    |
|--------------------------|-----------|-----------|---------------------|--------------|------|----|
| $t_r$                    | 最大立ち上がり時間 | スルー制御 = 0 | $C_L = 20\text{pF}$ | 2.8          | 3.0  | ns |
|                          |           |           | $C_L = 50\text{pF}$ | 6.4          | 6.9  |    |
|                          |           |           | $C_L = 75\text{pF}$ | 9.4          | 10.2 |    |
| $t_f$                    | 最大立ち下がり時間 | スルー制御 = 0 | $C_L = 20\text{pF}$ | 2.8          | 2.8  | ns |
|                          |           |           | $C_L = 50\text{pF}$ | 6.4          | 6.6  |    |
|                          |           |           | $C_L = 75\text{pF}$ | 9.4          | 9.8  |    |
| $t_r$                    | 最大立ち上がり時間 | スルー制御 = 1 | $C_L = 20\text{pF}$ | 3.3          | 3.3  | ns |
|                          |           |           | $C_L = 50\text{pF}$ | 6.7          | 7.2  |    |
|                          |           |           | $C_L = 75\text{pF}$ | 9.6          | 10.5 |    |
| $t_f$                    | 最大立ち下がり時間 | スルー制御 = 1 | $C_L = 20\text{pF}$ | 3.1          | 3.1  | ns |
|                          |           |           | $C_L = 50\text{pF}$ | 6.6          | 6.6  |    |
|                          |           |           | $C_L = 75\text{pF}$ | 9.6          | 9.6  |    |

- (1) PADxx\_CFG\_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。  
 (2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

### 7.10.6 コントローラ エリア ネットワーク インターフェイス (DCAN)

DCAN は、CAN 2.0B プロトコル規格をサポートし、最大 1Mbps の強力な通信速度で分散リアルタイム制御を効率的にサポートする、シリアルマルチコマンド通信プロトコルを使用します。DCAN は、信頼性の高いシリアル通信や多重化配線を必要とする、ノイズの多い過酷な環境で動作するアプリケーションに最適的です。

DCAN の特長は次のとおりです。

- CAN プロトコルバージョン 2.0 パート A および B をサポート
- 最大 1Mbps のビットレート
- 設定可能なメッセージ オブジェクト
- 各メッセージ オブジェクトに個別の識別子マスク
- メッセージ オブジェクト用のプログラム可能な FIFO モード
- デバッグをサポートするためのサスペンド モード
- プログラム可能なループバック モードによる自己テスト動作
- テスト モードでメッセージ RAM に直接アクセス
- 2 本の割り込みライン (レベル 0、レベル 1) をサポート
- メッセージ RAM の自動初期化

#### 7.10.6.1 DCANx TX ピンおよび RX ピンの動的特性

| パラメータ                 |                                     | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------------|-------------------------------------|-----|-----|-----|----|
| $t_d(\text{CAN\_tx})$ | 遅延時間、送信シフトレジスタから CAN_tx ピンまで<br>(1) |     |     | 15  | ns |
| $t_d(\text{CAN\_rx})$ | 遅延時間、CAN_rx ピンから受信シフトレジスタまで (1)     |     |     | 10  | ns |

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

### 7.10.7 CAN-FD (Controller Area Network - Flexible Data-rate)

CAN-FD モジュールは、従来型 CAN と CAN FD (フレキシブルなデータレートの CAN) の両方の仕様をサポートしています。CAN FD 機能により、データフレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

CAN-FD の主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
- 完全な CAN FD のサポート (フレームあたり最大 64 データバイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 エレメント
- 構成可能な送信キュー、最大 32 エレメント
- 構成可能な送信イベント FIFO、最大 32 エレメント
- 最大 64 個の専用受信バッファ
- 2 つの構成可能な受信 FIFO、それぞれ最大 64 エレメント
- 最大 128 の 11 ビットフィルタ素子
- 自己テスト用内部ループバック モード
- マスク可能割り込み、2 本の割り込みライン
- 2 つのクロックドメイン (CAN クロック / ホスト クロック)
- パリティ / ECC のサポート - メッセージ RAM のシングル エラー訂正およびダブル エラー検出 (SECEDED) 機能
- 全メッセージ メモリ容量 (4352 ワード)。

#### 7.10.7.1 CANx TX および RX ピンの動的特性

| パラメータ                     |                                     | 最小値 | 標準値 | 最大値 | 単位 |
|---------------------------|-------------------------------------|-----|-----|-----|----|
| $t_d(\text{CAN\_FD\_tx})$ | 遅延時間、送信シフトレジスタから CAN_FD_tx ピンまで (1) |     |     | 15  | ns |
| $t_d(\text{CAN\_FD\_rx})$ | 遅延時間、CAN_FD_rx ピンから受信シフトレジスタまで (1)  |     |     | 10  | ns |

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

### 7.10.8 シリアル通信インターフェイス (SCI)

SCI の特長は次のとおりです。

- 標準的な UART (Universal Asynchronous Receiver-Transmitter) 通信
- 標準的な NRZ (non-return to zero) 形式
- ダブル バッファ付き受信および送信機能
- CLK ピンを使わない非同期または同期通信モード
- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 2 本の外部ピン: RS232\_RX、RS232\_TX

#### 7.10.8.1 SCI のタイミング要件

|        |                       | 最小値 | 標準値   | 最大値 | 単位  |
|--------|-----------------------|-----|-------|-----|-----|
| f (ボー) | サポートされているボーレート (20pF) |     | 921.6 |     | kHz |

### 7.10.9 I2C (Inter-Integrated Circuit Interface)

I2C (Inter-Integrated Circuit) モジュールは、Philips Semiconductors 社の I2C バス仕様バージョン 2.1 に準拠しかつ I<sup>2</sup>C-bus™ で接続されたデバイス間のインターフェイスとして機能するマルチコントローラ通信モジュールです。このモジュールは、すべてのターゲットまたはコントローラ I2C 互換デバイスをサポートしています。

I2C には次の特長があります。

- Philips I2C バス仕様 v2.1 (I2C 仕様、Philips ドキュメント番号 9398 393 40011) に準拠
  - ビット / バイト形式の転送
  - 7 ビットおよび 10 ビットのデバイス アドレスリング モード
  - ゼネラルコール
  - START バイト
  - マルチコントローラトランスミッタ / ターゲット レシーバ モード
  - マルチコントローラ レシーバ / ターゲット トランスミッタ モード
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 100kbps ~ 最大 400kbps (Philips ファースト モード) の転送レートをサポート
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープンドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

---

#### 注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
  - C バス互換モード
  - 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)
-

7.10.9.1 I2C のタイミング要件 (1)

|                            |                                                        | スタンダード モード |                     | ファスト モード |     | 単位            |
|----------------------------|--------------------------------------------------------|------------|---------------------|----------|-----|---------------|
|                            |                                                        | 最小値        | 最大値                 | 最小値      | 最大値 |               |
| $t_c(\text{SCL})$          | サイクル時間、SCL                                             | 10         |                     | 2.5      |     | $\mu\text{s}$ |
| $t_{su}(\text{SCLH-SDAL})$ | セットアップ時間、SCL High から SDA Low まで<br>(繰り返しスタート条件の場合)     | 4.7        |                     | 0.6      |     | $\mu\text{s}$ |
| $t_h(\text{SCLL-SDAL})$    | ホールド時間、SDA Low から SCL Low の間<br>(スタートおよび繰り返しスタート条件の場合) | 4          |                     | 0.6      |     | $\mu\text{s}$ |
| $t_w(\text{SCLL})$         | パルス幅、SCL low                                           | 4.7        |                     | 1.3      |     | $\mu\text{s}$ |
| $t_w(\text{SCLH})$         | パルス幅、SCL high                                          | 4          |                     | 0.6      |     | $\mu\text{s}$ |
| $t_{su}(\text{SDA-SCLH})$  | セットアップ時間、SDA 有効から SCL High まで                          | 250        |                     | 100      |     | $\mu\text{s}$ |
| $t_h(\text{SCLL-SDA})$     | ホールド時間、SCL low から SDA 有効の間                             | 0          | 3.45 <sup>(1)</sup> | 0        | 0.9 | $\mu\text{s}$ |
| $t_w(\text{SDAH})$         | パルス幅、ストップ条件とスタート条件の間の SDA High の<br>期間                 | 4.7        |                     | 1.3      |     | $\mu\text{s}$ |
| $t_{su}(\text{SCLH-SDAH})$ | セットアップ時間、SCL High から SDA High まで<br>(ストップ条件の場合)        | 4          |                     | 0.6      |     | $\mu\text{s}$ |
| $t_w(\text{SP})$           | パルス幅、スパイク (抑制が必要)                                      |            |                     | 0        | 50  | ns            |
| $C_b$ (2) (3)              | 各バスラインの容量性負荷                                           |            | 400                 |          | 400 | pF            |

- (1) I2C ピンの SDA および SCL は、フェールセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
- (2) I2C バス デバイスの  $t_h(\text{SDA-SCLL})$  の最大値を満たす必要があるのは、SCL 信号の Low 期間 ( $t_w(\text{SCLL})$ ) を本デバイスがストレッチ (延長) しない場合に限られます。
- (3)  $C_b = 1$  本のバスラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

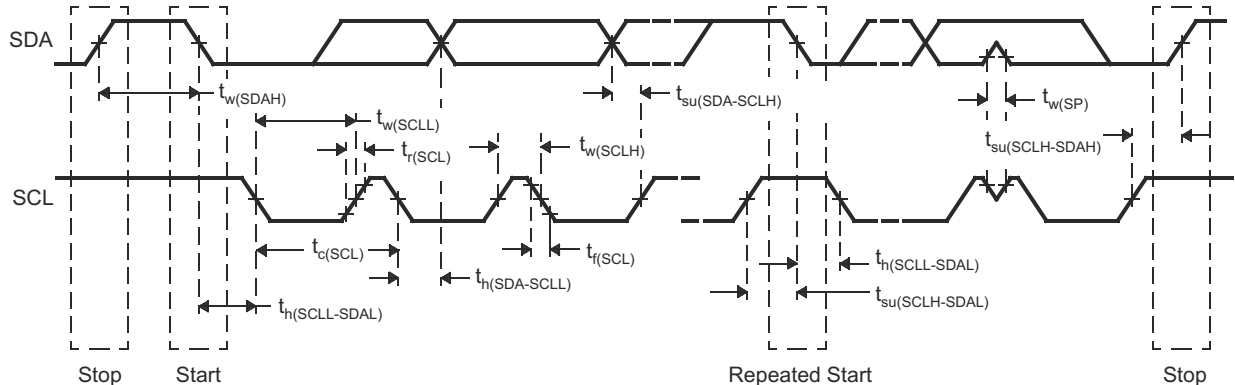


図 7-13. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の  $V_{IHmin}$  を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_h(\text{SDA-SCLL})$  の最大値を満たす必要があるのは、SCL 信号の Low 期間 ( $t_w(\text{SCLL})$ ) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、 $t_{su}(\text{SDA-SCLH}) \geq 250\text{ns}$  の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータビットを SDA ラインに  $t_r \max + t_{su}(\text{SDA-SCLH})$  の間出力する必要があります。

### 7.10.10 クワッド シリアル ペリフェラル インターフェイス (QSPI)

本クワッド シリアル ペリフェラル インターフェイス (QSPI) モジュールは、外部 SPI デバイスへのシングル、デュアル、クワッドの読み取りアクセスを可能にする SPI モジュールの一種です。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部 SPI デバイスからデータにアクセスするための直接インターフェイスとして機能するため、ソフトウェア要件が簡素化されます。QSPI はコントローラとしてのみ動作します。本デバイス内の QSPI は、クワッド SPI フラッシュ メモリからの高速ブートを主な目的としています。

QSPI は、以下の機能をサポートしています。

- プログラマブルなクロック分周回路
- 6 ピン インターフェイス
- 転送されるワード長をプログラム可能 (1~128 ビット)
- 転送されるワード数をプログラム可能 (1~4096)
- 3 ピン、4 ピン、6 ピンの SPI インターフェイスをサポート
- ワードまたはフレーム (ワード数) 完了時の任意の割り込み生成
- チップ セレクトのアクティブ化と出力データの間の遅延をプログラム可能 (0~3 QSPI クロック サイクル)

セクション 7.10.10.2 とセクション 7.10.10.3 は、セクション 7.10.10.1 に記載された動作条件を前提としています。

#### 7.10.10.1 QSPI のタイミング条件

|            |           | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件       |           |     |     |     |    |
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| 出力条件       |           |     |     |     |    |
| $C_{LOAD}$ | 出力負荷容量    | 2   |     | 15  | pF |

#### 7.10.10.2 QSPI 入力 (読み取り) タイミングのタイミング要件 <sup>(1) (2)</sup>

|                  |                                                | 最小値                    | 標準値 | 最大値 | 単位 |
|------------------|------------------------------------------------|------------------------|-----|-----|----|
| $t_{su}(D-SCLK)$ | セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで (Q12)     | 7.3                    |     |     | ns |
| $t_h(SCLK-D)$    | ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間 (Q13)       | 1.5                    |     |     | ns |
| $t_{su}(D-SCLK)$ | セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで | 7.3 - P <sup>(3)</sup> |     |     | ns |
| $t_h(SCLK-D)$    | ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間   | 1.5 + P <sup>(3)</sup> |     |     | ns |

(1) クロック モード 0 (clk 極性 = 0, clk 位相 = 0) が動作モードです。

(2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。立ち下がりエッジに基づく本デバイスのセットアップおよびホールド時間タイミングは標準ではありませんが、クロック モード 0 の立ち下がりエッジでデータ出力する標準 SPI デバイスと接続できるように設計されています。

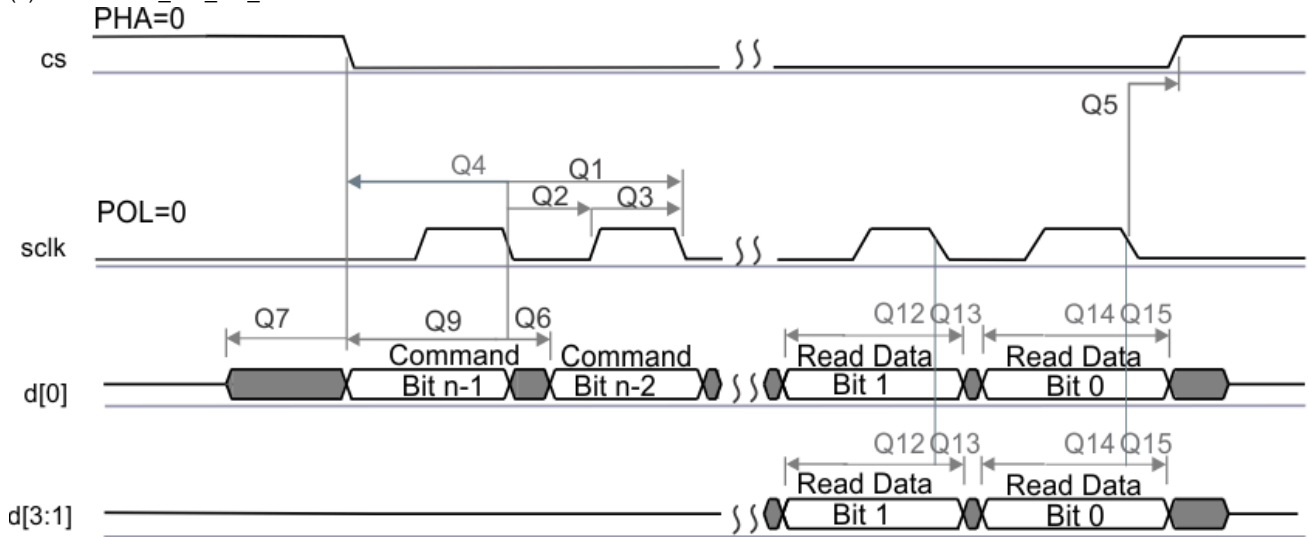
(3) P = SCLK 周期 (ns 単位)。



### 7.10.10.3 QSPI スイッチング特性

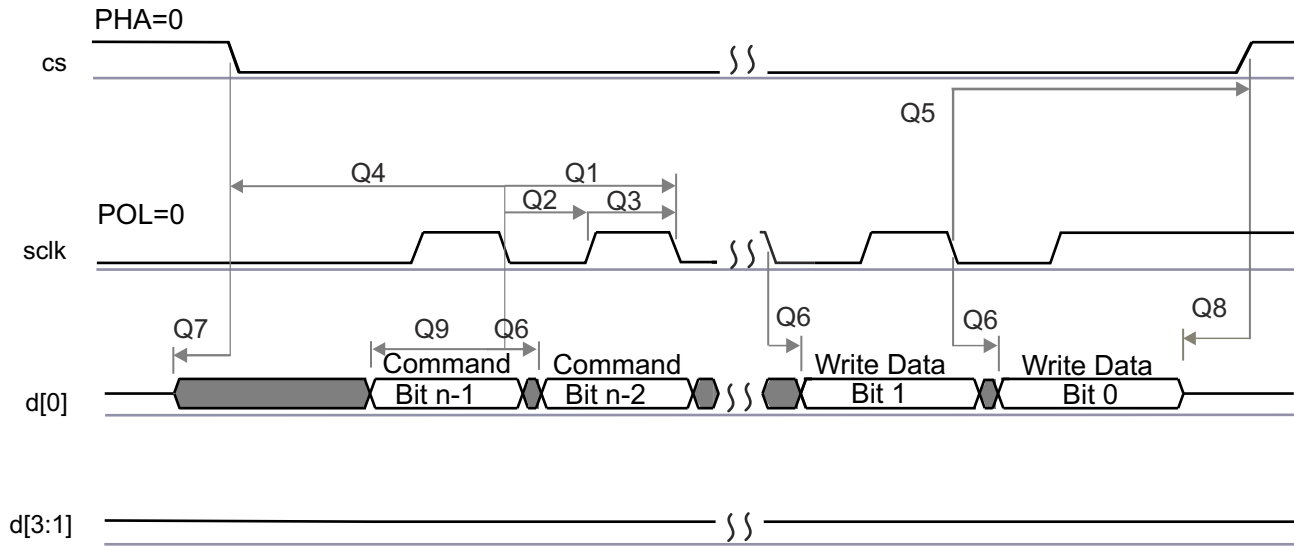
| 番号 | パラメータ                            | 最小値                                                   | 標準値               | 最大値                | 単位 |
|----|----------------------------------|-------------------------------------------------------|-------------------|--------------------|----|
| Q1 | $t_c(\text{SCLK})$               | サイクル時間、sclk                                           | 25                |                    | ns |
| Q2 | $t_w(\text{SCLKL})$              | パルス幅、sclk Low                                         | $0.5 * P - 3$ (1) |                    | ns |
| Q3 | $t_w(\text{SCLKH})$              | パルス幅、sclk High                                        | $0.5 * P - 3$     |                    | ns |
| Q4 | $t_d(\text{CS-SCLK})$            | 遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで                   | $-M * P - 1$ (2)  | $-M * P + 2.5$ (2) | ns |
| Q5 | $t_d(\text{SCLK-CS})$            | 遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで                  | $N * P - 1$ (2)   | $N * P + 2.5$ (2)  | ns |
| Q6 | $t_d(\text{SCLK-D1})$            | 遅延時間、sclk 立ち下がりエッジから d[0] 遷移まで                        | -3.5              | 7                  | ns |
| Q7 | $t_{\text{ena}}(\text{CS-D1LZ})$ | イネーブル時間、cs アクティブ エッジから d[0] 駆動 (ロー インピーダンス) まで        | $-P - 4$ (2)      | $-P + 1$ (2)       | ns |
| Q8 | $t_{\text{dis}}(\text{CS-D1Z})$  | ディセーブル時間、cs アクティブ エッジから d[0] トライステート (ハイ インピーダンス) まで  | $-P - 4$ (2)      | $-P + 1$ (2)       | ns |
| Q9 | $t_d(\text{SCLK-D1})$            | 遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ) | $-3.5 - P$ (2)    | $7 - P$ (2)        | ns |

- (1)  $P = \text{SCLK 周期 (ns 単位)}$ 。  
 (2)  $M = \text{QSPI\_SPI\_DC\_REG.DDx} + 1, N = 2$



SPRS85v TIMING QSPI1 02

図 7-14. QSPI 読み出し (クロック モード 0)



SPRS85v\_TIMING\_OSP11\_04

図 7-15. QSPI 書き込み (クロック モード 0)

### 7.10.11 ETM トレース インターフェイス

セクション 7.10.11.2 と 1 は、セクション 7.10.11.1 に記載された推奨動作条件を前提としています。

#### 7.10.11.1 ETMTRACE のタイミング条件

|                   |        | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------|--------|-----|-----|-----|----|
| 出力条件              |        |     |     |     |    |
| C <sub>LOAD</sub> | 出力負荷容量 | 2   |     | 20  | pF |

#### 7.10.11.2 ETM TRACE のスイッチング特性

| 番号 | パラメータ                                                                          | 最小値 | 標準値 | 最大値 | 単位 |
|----|--------------------------------------------------------------------------------|-----|-----|-----|----|
| 1  | t <sub>cyc</sub> (ETM) サイクル時間、TRACECLK 周期                                      | 20  |     |     | ns |
| 2  | t <sub>h</sub> (ETM) パルス幅、TRACECLK High                                        | 9   |     |     | ns |
| 3  | t <sub>l</sub> (ETM) パルス幅、TRACECLK Low                                         | 9   |     |     | ns |
| 4  | t <sub>r</sub> (ETM) クロック / データの立ち上がり時間                                        |     |     | 3.3 | ns |
| 5  | t <sub>f</sub> (ETM) クロック / データの立ち下がり時間                                        |     |     | 3.3 | ns |
| 6  | t <sub>d</sub> (ETMTRACE 遅延時間、ETM トレース クロック High から ETM データ有効まで CLKH-ETMDATAV) | 1   |     | 7   | ns |
| 7  | t <sub>d</sub> (ETMTRACE 遅延時間、ETM トレース クロック Low から ETM データ有効まで CLKI-ETMDATAV)  | 1   |     | 7   | ns |

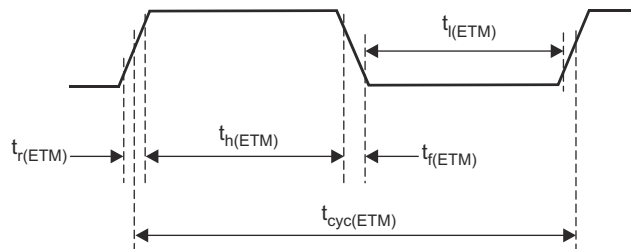


図 7-16. ETMTRACECLKOUT のタイミング

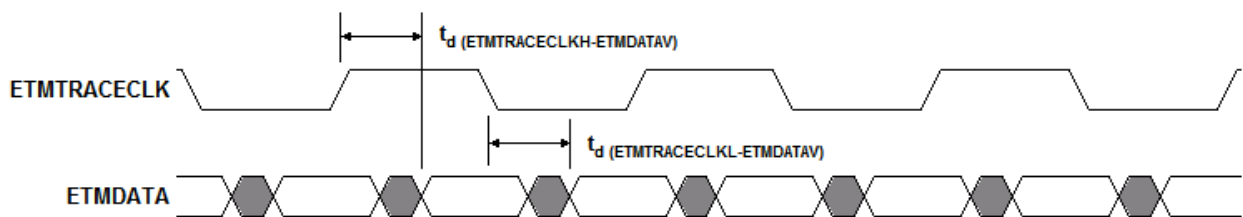


図 7-17. ETMDATA のタイミング

### 7.10.12 データ変更モジュール (DMM)

データ変更モジュール (DMM) により、デバイス メモリに外部データを書き込むことができます。

DMM の特長は次のとおりです。

- バスコントローラとして動作するため、CPU を介さずに 4GB のアドレス空間への直接書き込みが可能
- 受信パケットで指定されたメモリ位置への書き込み (RAM トレース ポート [RTP] モジュールのトレース モードで定義されたパケットを利用)
- DMM が指定した連続するアドレスへの受信データの書き込み (RTP モジュールの直接データ モードで定義されたパケットを利用)
- 構成可能なポート幅 (1、2、4、8、16 ピン)
- 最大 65 Mbit/s のピン データ レート

#### 7.10.12.1 DMM のタイミング要件

|                       |                                         | 最小値  | 標準値 | 最大値 | 単位 |
|-----------------------|-----------------------------------------|------|-----|-----|----|
| $t_{\text{cyc(DMM)}}$ | クロック周期                                  | 15.4 |     |     | ns |
| $t_{\text{R}}$        | クロック立ち上がり時間                             | 1    |     | 3   | ns |
| $t_{\text{F}}$        | クロック立ち下がり時間                             | 1    |     | 3   | ns |
| $t_{\text{h(DMM)}}$   | High パルス幅                               | 6    |     |     | ns |
| $t_{\text{l(DMM)}}$   | Low パルス幅                                | 6    |     |     | ns |
| $t_{\text{ssu(DMM)}}$ | SYNC アクティブから CLK 立ち下がりエッジまでのセットアップ時間    | 2    |     |     | ns |
| $t_{\text{sh(DMM)}}$  | DMM CLK 立ち下がりエッジから SYNC 非アクティブまでのホールド時間 | 3    |     |     | ns |
| $t_{\text{dsu(DMM)}}$ | データ有効から DMM CLK 立ち下がりエッジまでのセットアップ時間     | 2    |     |     | ns |
| $t_{\text{dh(DMM)}}$  | DMM CLK 立ち下がりエッジからデータ有効の間のホールド時間        | 3    |     |     | ns |

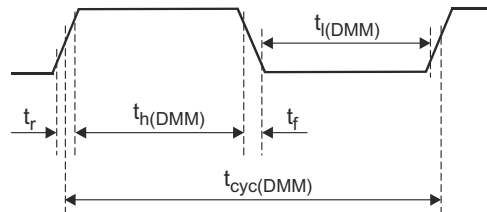


図 7-18. DMMCLK のタイミング

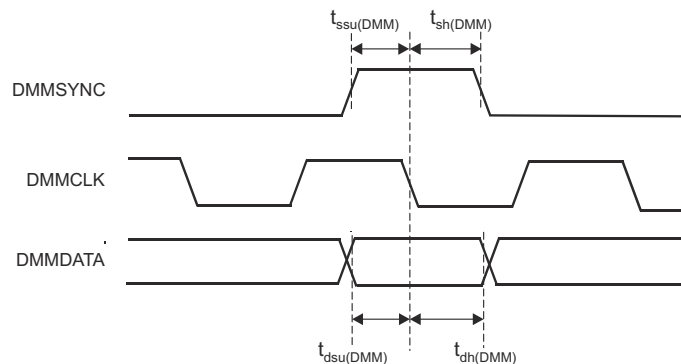


図 7-19. DMMDATA のタイミング

### 7.10.13 JTAG インターフェイス

セクション 7.10.13.2 とセクション 7.10.13.3 は、セクション 7.10.13.1 に記載された動作条件を前提としています。

#### 7.10.13.1 JTAG のタイミング条件

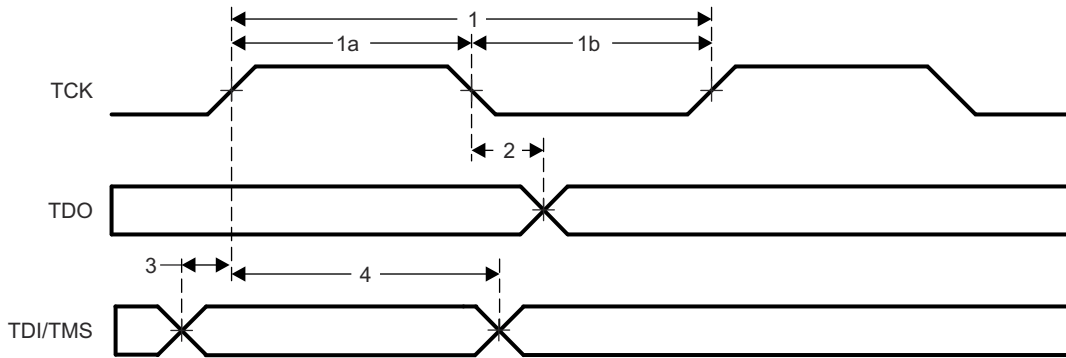
|            |           | 最小値 | 標準値 | 最大値 | 単位 |
|------------|-----------|-----|-----|-----|----|
| 入力条件       |           |     |     |     |    |
| $t_R$      | 入力立ち上がり時間 | 1   |     | 3   | ns |
| $t_F$      | 入力立ち下がり時間 | 1   |     | 3   | ns |
| 出力条件       |           |     |     |     |    |
| $C_{LOAD}$ | 出力負荷容量    | 2   |     | 15  | pF |

#### 7.10.13.2 IEEE 1149.1 JTAG のタイミング要件

| 番号 | パラメータ             | 説明                              | 最小値   | 標準値 | 最大値 | 単位 |
|----|-------------------|---------------------------------|-------|-----|-----|----|
| 1  | $t_c(TCK)$        | サイクル時間 TCK                      | 66.66 |     |     | ns |
| 1a | $t_w(TCKH)$       | パルス幅、TCK High ( $t_c$ の 40%)    | 26.67 |     |     | ns |
| 1b | $t_w(TCKL)$       | パルス幅、TCK Low ( $t_c$ の 40%)     | 26.67 |     |     | ns |
| 3  | $t_{su}(TDI-TCK)$ | 入力セットアップ時間、TDI 有効から TCK High まで | 2.5   |     |     | ns |
|    | $t_{su}(TMS-TCK)$ | 入力セットアップ時間、TMS 有効から TCK High まで | 2.5   |     |     | ns |
| 4  | $t_h(TCK-TDI)$    | 入力ホールド時間、TCK High から TDI 有効の間   | 18    |     |     | ns |
|    | $t_h(TCK-TMS)$    | 入力ホールド時間、TCK High から TMS 有効の間   | 18    |     |     | ns |

#### 7.10.13.3 IEEE 1149.1 JTAG の推奨動作条件に対するスイッチング特性

| 番号 | パラメータ            | 説明                       | 最小値 | 標準値 | 最大値 | 単位 |
|----|------------------|--------------------------|-----|-----|-----|----|
| 2  | $t_d(TCKL-TDOV)$ | 遅延時間、TCK LOW から TDO 有効まで | 0   |     | 25  | ns |



SPRS91v\_JTAG\_01

図 7-20. JTAG のタイミング

## 8 詳細説明

### 8.1 概要

AWR1843 デバイスには、ミリ波ブロック全体と、2 個のトランスミッタと 4 個のレシーバのためのアナログ ベースバンド シグナル チェーン、およびお客様がプログラム可能な MCU が含まれています。このデバイスは、メモリ、処理能力、アプリケーション コード サイズの要件が厳しくない使用事例において、オンチップ レーダーとして使用できます。これらの使用事例には、24GHz 狭帯域実装から進化しつつあるコスト重視の車載用アプリケーションおよび新たに出現した単純な超短距離レーダー アプリケーションが含まれます。このデバイスの代表的なアプリケーション例として、基本的なブラインド スポット検出やパーキング アシストなどがあります。

拡張性の観点から見ると、AWR1843 デバイスは、より大きいアプリケーション ソフトウェア フットプリントのための追加のメモリと、より速いインターフェイスとを必要とする場合があるより複雑なアプリケーションに対応するため、外付けのローエンド MCU と組み合わせて使用できます。AWR1843 デバイスは、シリアル LVDS などの高速データ インターフェイスも搭載しているので、より高性能な外部処理ブロックとのインターフェイスに適しています。ここでシステム設計者は、AWR1843 を選択して ADC の未加工データを提供できます。

### 8.2 機能ブロック図

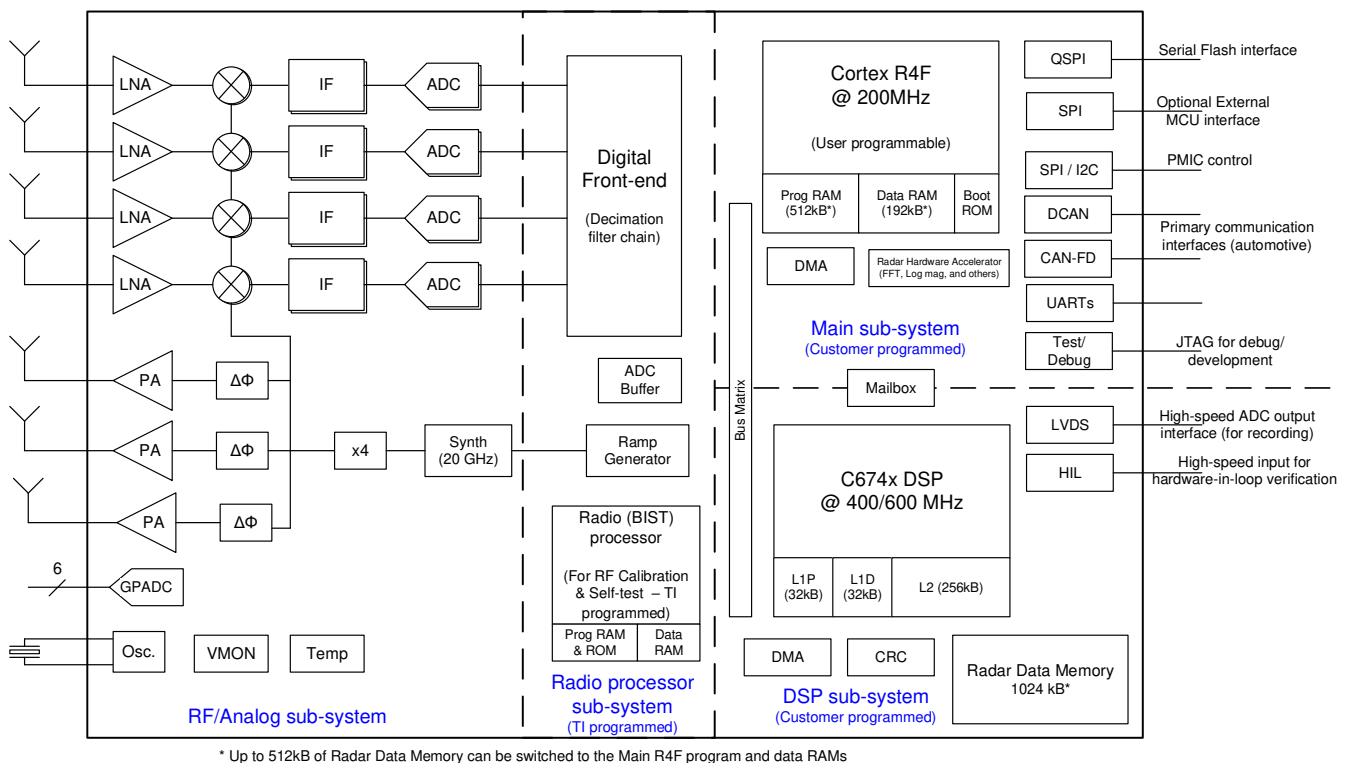


図 8-1. 機能ブロック図

## 8.3 サブシステム

### 8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。3 つの送信チャネルは、必要に応じて送信ビームフォーミングの目的で最大 2 つまで同時に動作させることができます。一方、4 つの受信チャネルはすべて同時に動作させることができます。

### 8.3.1.1 クロック サブシステム

AWR1843 のクロック サブシステムは、40MHz 水晶振動子の入力リファレンスから 76~81GHz を生成します。このサブシステムは、発振器回路と、それに続くクリーンアップ PLL および RF シンセサイザ回路を内蔵しています。次に、RF シンセサイザの出力は X4 通倍器で処理され、76~81GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、効果的なセンサ動作に必要な波形を生成するため、タイミング エンジン ブロックによって変調されます。

システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

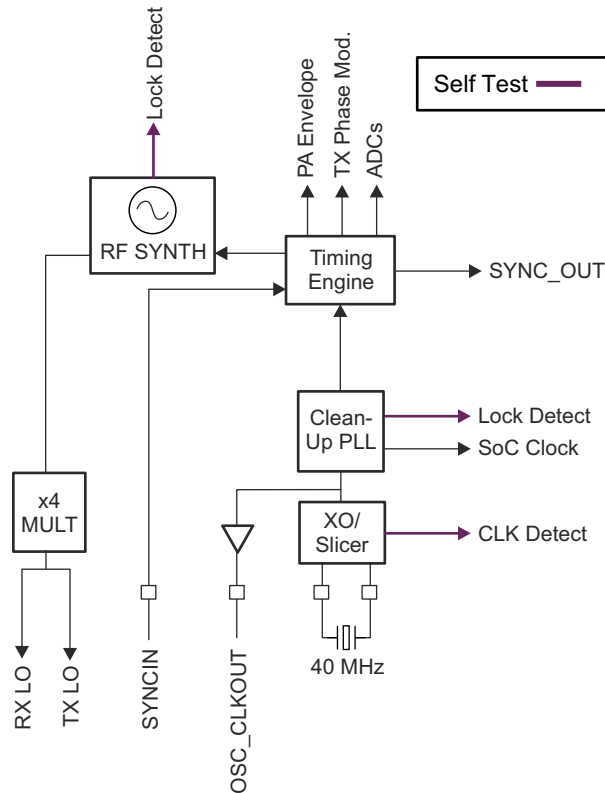


図 8-2. クロック サブシステム



### 8.3.1.2 送信サブシステム

AWR1843 の送信サブシステムは 3 つの並列送信チェーンで構成され、それぞれが独立して位相および振幅制御を行います。3 つのトランスミッタはすべて同時に使用できます。AWR1843 の場合、追加の位相シフタが Tx チャンネルに関連付けられており、チャープごとにプログラムできます。

各送信チェーンは、PCB のアンテナ ポートで最大 12dBm を供給できます。送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

図 8-3 に、送信サブシステムを示します。

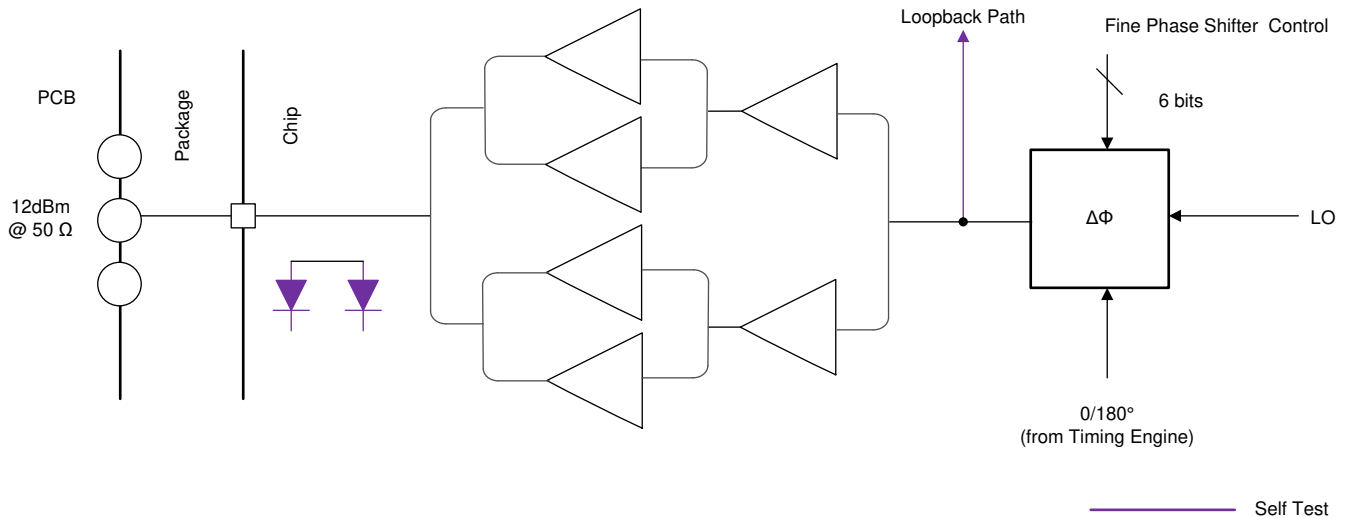


図 8-3. 送信サブシステム (チャネルごと)

### 8.3.1.3 受信サブシステム

AWR1843 の受信サブシステムは、4 つの並列チャンネルで構成されています。1 つの受信チャンネルは LNA、ミキサ、IF フィルタ、ADC 変換、デシメーションで構成されています。4 つの受信チャンネルはすべて同時に動作させることができ、個別のパワーダウン オプションも使用できて、システムの最適化が可能です。

従来型の実数のみのレシーバとは異なり、AWR1843 デバイスは複素ベースバンド アーキテクチャをサポートしており、直交ミキサおよびデュアル IF と ADC チェーンを使用して、各レシーバ チャンネルに複素数の I および Q 出力を提供します。AWR1843 は、高速チャープ システムを対象としています。バンドパス IF チェーンは下側カットオフ周波数を 175kHz よりも高く設定でき、最大 10 MHz の帯域幅をサポートできます。

図 8-4 に、受信サブシステムを示します。

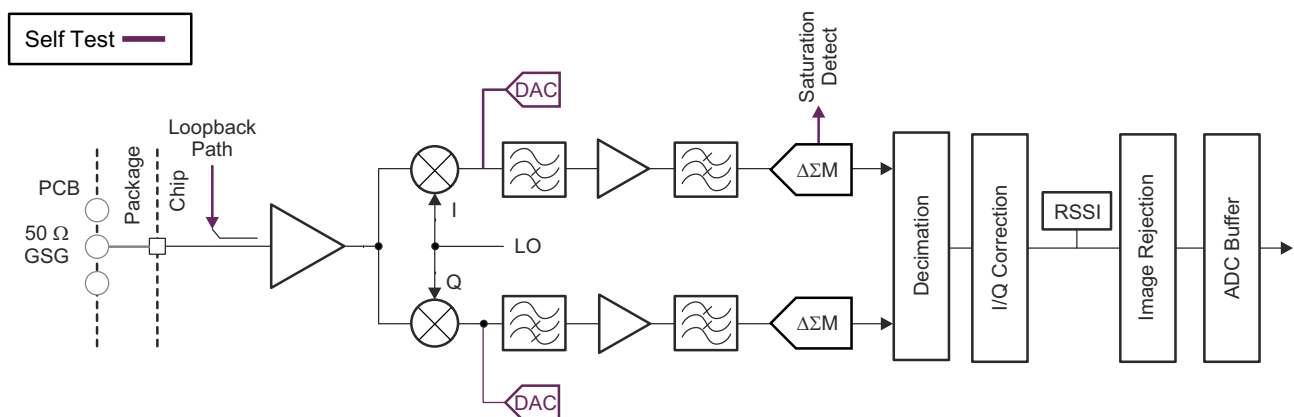


図 8-4. 受信サブシステム (チャネルごと)

### 8.3.2 プロセッサ サブシステム

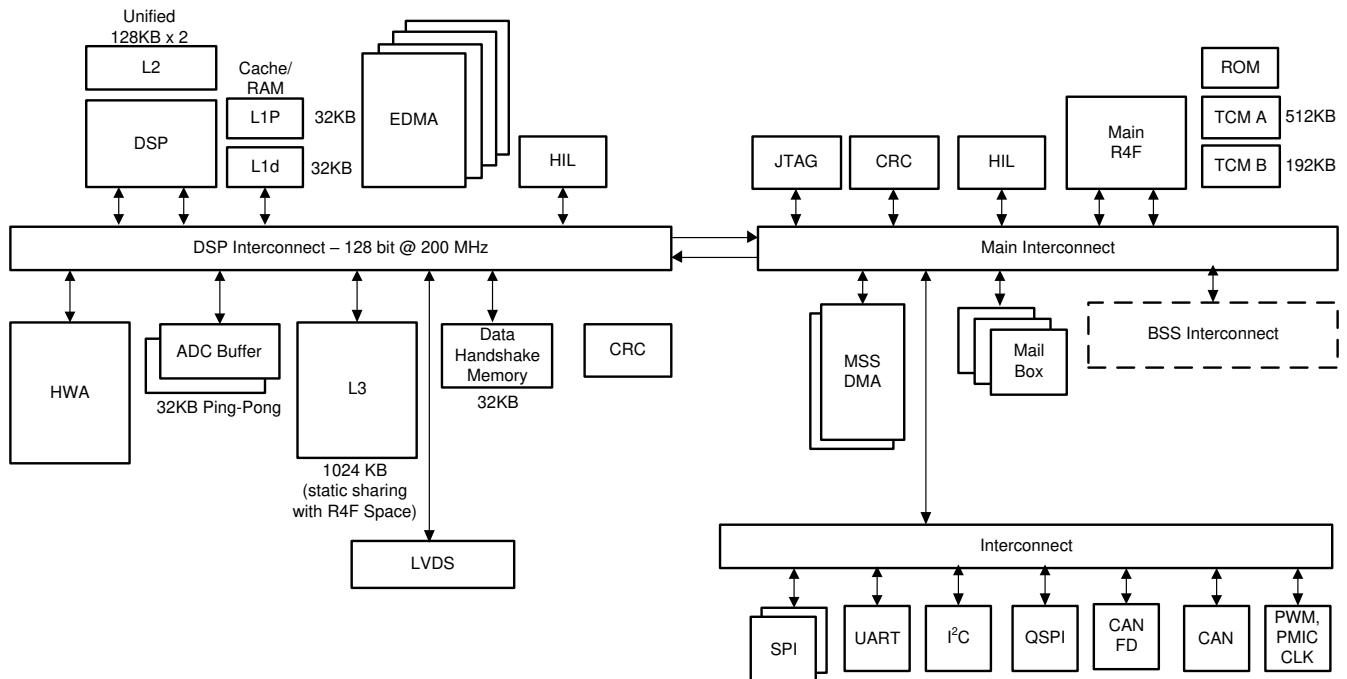


図 8-5. プロセッサ サブシステム

図 8-5 に、AWR1843 デバイスのカスタマー プログラマブル プロセッサ サブシステムのブロック図を示します。概念的には、2 つのカスタマー プログラマブル プロセッサ サブシステムが存在し、図に示すように点線で区切られています。左側は DSP サブシステムを示しており、テキサス・インスツルメンツの高性能 C674x DSP、高度なパフォーマンスを可能にする高帯域幅インターコネクต์ (128 ビット、200MHz)、および関連ペリフェラル (データ転送用 DMA 4 つ) が搭載されています。測定データ出力用の LVDS インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク メモリ (インターコネクต์上に搭載された追加メモリ)。

図の右側はメイン サブシステムを示しています。メイン サブシステムは、その名の通り、デバイスの頭脳であり、デバイスのすべてのペリフェラルとハウスキーピング動作を制御します。メイン サブシステムには、Cortex-R4F (メイン R4F) プロセッサと関連ペリフェラルおよびハウスキーピング コンポーネント (例: DMA、CRC、および PCR (ペリフェラル センtral リソース) インターコネクต์を介してメイン インターコネクต์に接続されたペリフェラル (I<sup>2</sup>C、UART、SPI、CAN、PMIC クロック モジュール、PWM など)) が含まれます。

DSP CPU コアの詳細については、<https://www.ti.com/product/TMS320C6748> を参照してください。

両方のサブシステムには HIL モジュールが示されており、RF サブシステムを介さずに、外部からデバイスにキャプチャしたデータを供給するレーダー動作を実行するために使用できます。メイン SS 上の HIL は構成の制御用、DSPSS 上の HIL はデバイスへの高速 ADC データ入力用です。どちらの HIL モジュールもデバイス上で同じ IO を使用しており、追加の IO (DMM\_MUX\_IN) を 1 つ使用することで、2 つのうちのいずれかを選択できます。

### 8.3.3 車載用インターフェイス

AWR1843 は、以下のメイン インターフェイスを介して車載ネットワークと通信します。

- CAN および CAN-FD

### 8.3.4 メイン サブシステム Cortex-R4F メモリ マップ

表 8-1 に、メイン サブシステム、Cortex-R4F メモリ マップを示します。

注

メイン サブシステムには、別個の Cortex-R4F アドレスと DMA MSS アドレスがあります。詳細なリストについては、『[テクニカル リファレンス マニュアル](#)』を参照してください。

表 8-1. メイン サブシステム、Cortex-R4F メモリ マップ

| 名称                             | フレーム アドレス (HEX) |                                  | サイズ    | 説明                                |
|--------------------------------|-----------------|----------------------------------|--------|-----------------------------------|
|                                | START           | 終了                               |        |                                   |
| <b>CPU 密結合メモリ</b>              |                 |                                  |        |                                   |
| TCMA ROM                       | 0x0000_0000     | 0x0001_FFFF                      | 128KiB | プログラム ROM                         |
| TCM RAM-A                      | 0x0020_0000     | 0x0023_FFFF (または<br>0x0027_FFFF) | 512KiB | 256/512KB バリエーションに基づく             |
| TCM RAM-B                      | 0x0800_0000     | 0x0802_FFFF                      | 192KB  | データ RAM                           |
| <b>ソフトウェア スクラッチ パッド メモリ</b>    |                 |                                  |        |                                   |
| SW_Buffer                      | 0x0C20_0000     | 0x0C20_1FFF                      | 8KB    | ソフトウェア スクラッチパッド メモリ               |
| <b>システム ペリフェラル</b>             |                 |                                  |        |                                   |
| メール ボックス<br>MSS<->RADARSS      | 0xF060_1000     | 0xF060_17FF                      | 2KB    | RADARSS から MSS へのメールボックス メモリ領域    |
|                                | 0xF060_2000     | 0xF060_27FF                      |        | MSS から RADARSS へのメールボックス メモリ領域    |
|                                | 0xF060_8000     | 0xF060_80FF                      | 188B   | MSS から RADARSS へのメールボックス構成レジスタ    |
|                                | 0xF060_8060     | 0xF060_86FF                      |        | RADARSS から MSS へのメールボックスの構成レジスタ   |
| メールボックス<br>MSS<->DSPSS         | 0xF060_4000     | 0xF060_47FF                      | 2KB    | DSPSS から MSS へのメールボックス メモリ領域      |
|                                | 0xF060_5000     | 0xF060_57FF                      |        | MSS から DSPSS へのメールボックス メモリ領域      |
|                                | 0xF060_8400     | 0xF060_84FF                      | 188B   | MSS から DSPSS へのメールボックス構成レジスタ      |
|                                | 0xF060_8300     | 0xF060_83FF                      |        | DSPSS から MSS へのメールボックス構成レジスタ      |
| メールボックス<br>RADARSS<-><br>DSPSS | 0xF060_6000     | 0xF060_67FF                      | 2KB    | RADARSS から DSPSS へのメールボックス メモリ領域  |
|                                | 0xF060_7000     | 0xF060_7FFF                      |        | DSPSS から RADARSS へのメールボックス メモリ領域  |
|                                | 0xF060_8200     | 0xF060_82FF                      | 188B   | RADARSS から DSPSS へのメールボックスの構成レジスタ |
|                                | 0xF060_8100     | 0xF060_81FF                      |        | DSPSS から RADARSS へのメールボックス構成レジスタ  |
| PRCM および制御モ<br>ジュール            | 0xFFFF_E100     | 0xFFFF_E2FF                      | 756B   | トップレベルのリセット、クロック管理レジスタ            |
|                                | 0xFFFF_FF00     | 0xFFFF_FFFF                      | 256B   | MSS リセット、クロック管理レジスタ               |
|                                | 0xFFFF_EA00     | 0xFFFF_EBFF                      | 512KB  | IO マルチプレクサ モジュール レジスタ             |
|                                | 0xFFFF_F800     | 0xFFFF_FBFF                      | 352B   | 汎用制御レジスタ                          |
| GIO                            | 0xFFFF7_BC00    | 0xFFFF7_BDFF                     | 180B   | GIO モジュール構成レジスタ                   |
| DMA-1                          | 0xFFFF_F000     | 0xFFFF_F3FF                      | 1KB    | DMA-1 モジュール構成レジスタ                 |
| DMA-2                          | 0xFCFF_F800     | 0xFCFF_FBFF                      | 1KB    | DMA-2 モジュール構成レジスタ                 |
| DMM-1                          | 0xFCFF_F700     | 0xFCFF_F7FF                      | 472B   | DMM-1 モジュール構成レジスタ                 |
| DMM-2                          | 0xFCFF_F600     | 0xFCFF_F6FF                      | 472B   | DMM-2 モジュール構成レジスタ                 |
| VIM                            | 0xFFFF_FD00     | 0xFFFF_FEFF                      | 512B   | VIM モジュール構成レジスタ                   |
| RTI-A/WD                       | 0xFFFF_FC00     | 0xFFFF_FCFF                      | 192B   | RTI-A モジュール構成レジスタ                 |
| RTI-B                          | 0xFFFF_EE00     | 0xFFFF_EEFF                      | 192B   | RTI-B モジュール構成レジスタ                 |
| <b>シリアル インターフェイスと接続性</b>       |                 |                                  |        |                                   |

表 8-1. メイン サブシステム、Cortex-R4F メモリ マップ (続き)

| 名称             | フレーム アドレス (HEX) |              | サイズ                | 説明                   |
|----------------|-----------------|--------------|--------------------|----------------------|
|                | START           | 終了           |                    |                      |
| QSPI           | 0xC000_0000     | 0xC07F_FFFF  | 8MB                | QSPI – フラッシュ メモリ領域   |
|                | 0xC080_0000     | 0xC0FF_FFFF  | 116B               | QSPI モジュール構成レジスタ     |
| MIBSPI-A       | 0xFFFF7_F400    | 0xFFFF7_F5FF | 512B               | MIBSPI-A モジュール構成レジスタ |
| MIBSPI-B       | 0xFFFF7_F600    | 0xFFFF7_F7FF | 512B               | MIBSPI-B モジュール構成レジスタ |
| SCI-A          | 0xFFFF7_E500    | 0xFFFF7_E5FF | 148B               | SCI-A モジュール構成レジスタ    |
| SCI-B          | 0xFFFF7_E700    | 0xFFFF7_E7FF | 148B               | SCI-B モジュール構成レジスタ    |
| CAN            | 0xFFFF7_DC00    | 0xFFFF7_DFFF | 512B               | CAN モジュール構成レジスタ      |
| CAN_FD (MCAN)  | 0xFFFF7_C800    | 0xFFFF7_CFFF | 768B               | CAN-FD モジュール構成レジスタ   |
|                | 0xFFFF7_A000    | 0xFFFF7_A1FF | 452B               | MCAN ECC モジュール レジスタ  |
| I2C            | 0xFFFF7_D400    | 0xFFFF7_D4FF | 112B               | I2C モジュール構成レジスタ      |
| インターコネク        |                 |              |                    |                      |
| PCR-1          | 0xFFFF7_8000    | 0xFFFF7_87FF | 1KiB               | PCR-1 インターコネク構成ポート   |
| PCR-2          | 0xFCFF_1000     | 0xFCFF_17FF  | 1KiB               | PCR-2 インターコネク構成ポート   |
| 安全モジュール        |                 |              |                    |                      |
| CRC            | 0xFE00_0000     | 0xFEFF_FFFF  | 16KiB              | CRC モジュール構成レジスタ      |
| PBIST          | 0xFFFF_E400     | 0xFFFF_E5FF  | 464B               | PBIST モジュール構成レジスタ    |
| STC            | 0xFFFF_E600     | 0xFFFF_E7FF  | 284B               | STC モジュール構成レジスタ      |
| DCC-A          | 0xFFFF_EC00     | 0xFFFF_ECFE  | 44B                | DCC-A モジュール構成レジスタ    |
| DCC-B          | 0xFFFF_F400     | 0xFFFF_F4FF  | 44B                | DCC-B モジュール構成レジスタ    |
| ESM            | 0xFFFF_F500     | 0xFFFF_F5FF  | 156B               | ESM モジュール構成レジスタ      |
| CCMR4          | 0xFFFF_F600     | 0xFFFF_F6FF  | 136B               | CCMR4 モジュール構成レジスタ    |
| セキュリティ モジュール   |                 |              |                    |                      |
| 暗号化            | 0xFD00_0000     | 0xFDFF_FFFF  | 3KiB               | 暗号化モジュール構成レジスタ       |
| その他のサブシステム     |                 |              |                    |                      |
| DSS_TPTC0      | 0x5000 0000     | 0x5000 0317  | 792B               | TPTC0 モジュール構成領域      |
| DSS_REG        | 0x5000 0400     | 0x5000 075F  | 864B               | DSPSS 制御モジュール レジスタ   |
| DSS_TPTC1      | 0x5000 0800     | 0x5000 0B17  | 792B               | TPTC1 モジュール構成領域      |
| DSS_REG2       | 0x5000 0C00     | 0x5000 0EA3  | 676B               | DSPSS 制御モジュール レジスタ   |
| DSS_TPCC0      | 0x5001 0000     | 0x5001 3FFF  | 16KB               | TPCC0 モジュール構成領域      |
| DSS_RTIA/WDT   | 0x5002 0000     | 0x5002 00BF  | 192B               | DSS_RTIA/WDT 構成領域    |
| DSS_SCI        | 0x5003 0000     | 0x5003 0093  | 148B               | SCI メモリ領域            |
| DSS_STC        | 0x5004 0000     | 0x5004 011B  | 284B               | STC モジュール構成領域        |
| DSS_CBUFF      | 0x5007 0000     | 0x5007 0233  | 564B               | 共通バッファ モジュール構成レジスタ   |
| DSS_TPTC2      | 0x5009 0000     | 0x5009 0317  | 792B               | TPTC2 モジュール構成領域      |
| DSS_TPTC3      | 0x5009 0400     | 0x5009 0717  | 792B               | TPTC3 モジュール構成領域      |
| DSS_TPCC1      | 0x500A 0000     | 0x500A 3FFF  | 16KB               | TPCC1 モジュール構成領域      |
| DSS_ESM        | 0x500D 0000     | 0x500D 005B  | 92B                | ESM モジュール構成レジスタ      |
| DSS_RTIB       | 0x500F 0000     | 0x500F 00BF  | 192B               | RTI-B モジュール構成レジスタ    |
| DSS_L3RAM 共有メモ | 0x5100 0000     | 0x511F FFFF  | 2MB <sup>(1)</sup> | L3 共有メモリ領域           |
| DSS_ADCBUF バッ  | 0x5200 0000     | 0x5200 7FFF  | 32KB               | ADC バッファ メモリ領域       |

表 8-1. メイン サブシステム、Cortex-R4F メモリ マップ (続き)

| 名称                        | フレーム アドレス (HEX) |              | サイズ   | 説明                       |
|---------------------------|-----------------|--------------|-------|--------------------------|
|                           | START           | 終了           |       |                          |
| DSS_CBUFF_FIFO            | 0x5202 0000     | 0x5202 3FFF  | 16KB  | 共通バッファ FIFO 領域           |
| DSS_HSRAM1                | 0x5208 0000     | 0x5208 7FFF  | 32KB  | ハンドシェイク メモリ領域            |
| DSS_DSP_L2_UMA<br>P1      | 0x577E 0000     | 0x577F FFFF  | 128KB | L2 RAM 領域                |
| DSS_DSP_L2_UMA<br>P0      | 0x5780 0000     | 0x5781 FFFF  | 128KB | L2 RAM 領域                |
| DSS_DSP_L1P               | 0x57E0 0000     | 0x57E0 7FFF  | 32KB  | L1 プログラム メモリ領域           |
| DSS_DSP_L1D               | 0x57F0 0000     | 0x57F0 7FFF  | 32KB  | L1 データ メモリ領域             |
| ペリフェラル メモリ (システムおよび非システム) |                 |              |       |                          |
| CAN RAM                   | 0xFF1E_0000     | 0xFF1F_FFFF  | 128KB | CAN RAM メモリ領域            |
| CAN-FD RAM                | 0xFF50_0000     | 0xFF51_FFFF  | 68KB  | CAN-FD RAM メモリ領域         |
| DMA1 RAM                  | 0xFFFF8_0000    | 0xFFFF8_0FFF | 4KB   | DMA1 RAM メモリ領域           |
| DMA2 RAM                  | 0xFCF8_1000     | 0xFCF8_0FFF  | 4KB   | DMA2 RAM メモリ領域           |
| VIM RAM                   | 0xFFFF8_2000    | 0xFFFF8_2FFF | 2KB   | VIM RAM メモリ領域            |
| MIBSPIB-TX RAM            | 0xFF0C_0000     | 0xFF0C_01FF  | 0.5KB | MIBSPIB-TX RAM メモリ領域     |
| MIBSPIB-RX RAM            | 0xFF0C_0200     | 0xFF0C_03FF  | 0.5KB | MIBSPIB-RX RAM メモリ領域     |
| MIBSPIA-TX RAM            | 0xFF0E_0000     | 0xFF0E_01FF  | 0.5KB | MIBSPIA-TX RAM メモリ領域     |
| MIBSPIA-RX RAM            | 0xFF0E_0200     | 0xFF0E_03FF  | 0.5KB | MIBSPIA-RX RAM メモリ領域     |
| デバッグ モジュール                |                 |              |       |                          |
| デバッグ サブシステム               | 0xFFA0_0000     | 0xFFAF_FFFF  | 244KB | デバッグ サブシステムのメモリ領域およびレジスタ |

(1) 768KB のメモリ (2MB のメモリ領域内)

### 8.3.5 DSP サブシステムのメモリ マップ

表 8-2 に、DSP C674x メモリ マップを示します。

表 8-2. DSP C674x メモリ マップ

| 名称             | フレーム アドレス (16 進) |             | サイズ    | 概要              |
|----------------|------------------|-------------|--------|-----------------|
|                | START            | End         |        |                 |
| <b>DSP メモリ</b> |                  |             |        |                 |
| DSP_L1D        | 0x00F0_0000      | 0x00F0_7FFF | 32KiB  | L1 データ メモリ領域    |
| DSP_L1P        | 0x00E0_0000      | 0x00E0_7FFF | 32KiB  | L1 プログラム メモリ領域  |
| DSP_L2_UMAP0   | 0x0080_0000      | 0x0081_FFFF | 128KiB | L2 RAM 領域       |
| DSP_L2_UMAP1   | 0x007E_0000      | 0x007F_FFFF | 128KiB | L2 RAM 領域       |
| <b>EDMA</b>    |                  |             |        |                 |
| TPCC0          | 0x0201_0000      | 0x0201_3FFF | 16KiB  | TPCC0 モジュール構成領域 |
| TPCC1          | 0x020A_0000      | 0x020A_3FFF | 16KiB  | TPCC1 モジュール構成領域 |
| TPTC0          | 0x0200 0000      | 0x0200 03FF | 1KiB   | TPTC0 モジュール構成領域 |
| TPTC1          | 0x0200 0800      | 0x0200 0BFF | 1KiB   | TPTC1 モジュール構成領域 |
| TPTC2          | 0x0209_0000      | 0x0209_03FF | 1KiB   | TPTC2 モジュール構成領域 |

表 8-2. DSP C674x メモリ マップ (続き)

| 名称                         | フレーム アドレス (16 進) |             | サイズ   | 概要                               |
|----------------------------|------------------|-------------|-------|----------------------------------|
|                            | START            | End         |       |                                  |
| TPTC3                      | 0x0209_0400      | 0x0209_07FF | 1KiB  | TPTC3 モジュール構成領域                  |
| <b>制御レジスタ</b>              |                  |             |       |                                  |
| DSS_REG                    | 0x0200_0400      | 0x0200_07FF | 864B  | DSPSS 制御モジュールレジスタ                |
| DSS_REG2                   | 0x0200_0C00      | 0x0200_0FFF | 624B  | DSPSS 制御モジュールレジスタ                |
| <b>システム メモリ</b>            |                  |             |       |                                  |
| ADC バッファ                   | 0x2100_0000      | 0x2100_7FFC | 32KiB | ADC バッファ メモリ領域                   |
| CBUFF-FIFO                 | 0x2102_0000      | 0x2102_3FFC | 16KiB | 共通バッファ FIFO 領域                   |
| L3 共有メモリ (1)               | 0x2000_0000      | 0x201F_FFFF | 2MB   | L3 共有メモリ領域                       |
| HS-RAM                     | 0x2108_0000      | 0x2108_7FFC | 32KiB | ハンドシェイク メモリ領域                    |
| <b>システム ペリフェラル</b>         |                  |             |       |                                  |
| RTI-AWD                    | 0x0202_0000      | 0x0202_00FF | 192B  | RTI-A モジュール構成レジスタ                |
| RTI-B                      | 0x020F_0000      | 0x020F_00FF | 192B  | RTI-B モジュール構成レジスタ                |
| CBUFF                      | 0x0207_0000      | 0x0207_03FF | 564B  | 共通バッファ モジュール構成レジスタ               |
| メールボックス<br>MSS<->RADARSS   | 0x5060_1000      | 0x5060_17FF | 2KiB  | RADARSS から MSS へのメールボックス メモリ領域   |
|                            | 0x5060_2000      | 0x5060_27FF |       | MSS から RADARSS へのメールボックス メモリ領域   |
|                            | 0x0460_8000      | 0x0460_80FF | 188B  | MSS から RADARSS へのメールボックス構成レジスタ   |
|                            | 0x0460_8060      | 0x0460_86FF |       | RADARSS から MSS へのメールボックス構成レジスタ   |
| メールボックス<br>MSS<->DSPSS     | 0x5060_4000      | 0x5060_47FF | 2KiB  | DSPSS から MSS へのメールボックス メモリ領域     |
|                            | 0x5060_5000      | 0x5060_57FF |       | MSS から DSPSS へのメールボックス メモリ領域     |
|                            | 0x0460_8400      | 0x0460_84FF | 188B  | MSS から DSPSS へのメールボックス構成レジスタ     |
|                            | 0x0460_8300      | 0x0460_83FF |       | DSPSS から MSS へのメールボックス構成レジスタ     |
| メールボックス<br>RADARSS<->DSPSS | 0x5060_6000      | 0x5060_67FF | 2KiB  | RADARSS から DSPSS へのメールボックス メモリ領域 |
|                            | 0x5060_7000      | 0x5060_7FFF |       | DSPSS から RADARSS へのメールボックス メモリ領域 |
|                            | 0x0460_8200      | 0x0460_82FF | 188B  | RADARSS から DSPSS へのメールボックス構成レジスタ |
|                            | 0x0460_8100      | 0x0460_81FF |       | DSPSS から RADARSS へのメールボックス構成レジスタ |
| <b>安全モジュール</b>             |                  |             |       |                                  |
| ESM                        | 0x020D_0000      |             | 92B   | ESM モジュール構成レジスタ                  |

表 8-2. DSP C674x メモリ マップ (続き)

| 名称           | フレームアドレス (16 進) |             | サイズ  | 概要              |
|--------------|-----------------|-------------|------|-----------------|
|              | START           | End         |      |                 |
| CRC          | 0x2200_0000     | 0x2200_03FF | 1KiB | CRC モジュール構成レジスタ |
| STC          | 0x0204_0000     | 0x0204_01FF | 284B | STC モジュール構成レジスタ |
| 非システム ペリフェラル |                 |             |      |                 |
| SCI          | 0x0203_0000     | 0x0203_00FF | 148B | SCI モジュール構成レジスタ |

(1) 2MB メモリ領域内の 768KB メモリ

## 8.4 その他のサブシステム

### 8.4.1 ユーザー アプリケーション向け ADC チャンネル (サービス)

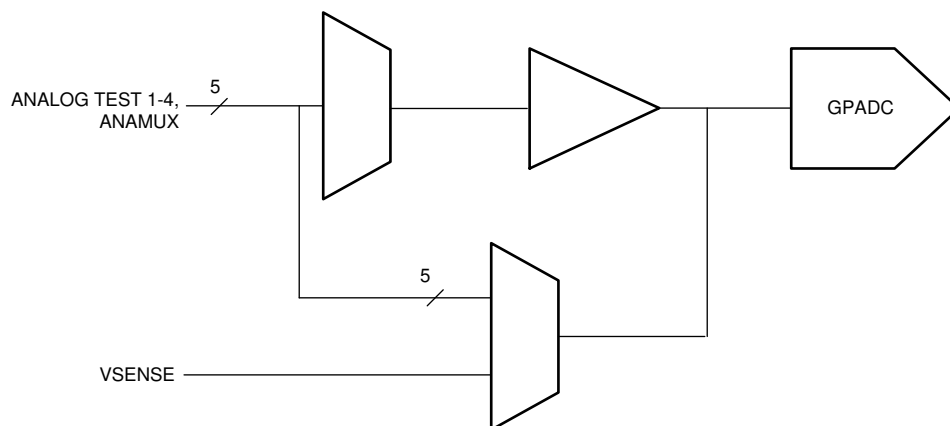
AWR1843 デバイスには、ユーザー アプリケーション向け ADC サービスのための装備が含まれています。

ここでは、デバイス内部に搭載された GPADC エンジンを使って、最大 6 つの外部電圧を測定できます。この目的で、ADC1、ADC2、ADC3、ADC4、ADC5、ADC6 の各ピンを使用します。

- ADC 自体は、BIST サブシステム内で実行されるテキサス・インスツルメンツのファームウェアによって制御され、ユーザーが外部電圧を監視するためのアクセスは、BIST サブシステムに転送される「監視 API」コールによって行われます。この API は、MSS R4F で動作しているユーザー アプリケーションとリンクさせることができます。
- BIST サブシステム ファームウェアは、これらの測定とともに、他の RF やアナログ監視動作を内部でスケジュールします。この API を使用すると、セリング時間 (スキップする ADC サンプル数) と取得する連続サンプル数を設定できます。フレームの最後に、監視対象の各電圧について、測定値の最小値、最大値、平均値が報告されます。

GPADC Specifications:

- 625Ksps SAR ADC
- 入力範囲: 0~1.8V
- 10 ビット分解能
- 6 個の入力のうち 5 個について、オプションの内部バッファを使用できます。バッファがない場合、ADC には、5pF のサンプリング容量と 12pF の寄生容量でモデル化されたスイッチト キャパシタ入力負荷があります (GPADC チャンネル 6 では内部バッファは利用できません)。



A. GPADC 構造は、内部温度センサの出力を測定するために使われます。これらの測定の精度は、 $\pm 7^{\circ}\text{C}$ です。

図 8-6. ADC パス

### 8.4.1.1 GP-ADC パラメータ

自由気流での動作温度範囲内 (特に記述のない限り)

| パラメータ                               | 標準値     | 単位   |
|-------------------------------------|---------|------|
| ADC 電源                              | 1.8     | V    |
| ADC の入力電圧範囲 (バッファなし)                | 0~1.8   | V    |
| ADC の入力電圧範囲 (バッファ付き) <sup>(1)</sup> | 0.4~1.3 | V    |
| ADC の分解能                            | 10      | ビット  |
| ADC のオフセット誤差                        | ±5      | LSB  |
| ADC のゲイン誤差                          | ±5      | LSB  |
| ADC の DNL                           | -1/+2.5 | LSB  |
| ADC の INL                           | ±2.5    | LSB  |
| ADC のサンプリングレート <sup>(2)</sup>       | 625     | kSPS |
| ADC のサンプリング時間 <sup>(2)</sup>        | 400     | ns   |
| ADC の内部コンデンサ                        | 10      | pF   |
| ADC の入力静電容量                         | 2       | pF   |
| ADC の入力リーク電流                        | 3       | μA   |

(1) 規定の範囲を外れると、バッファ出力は非線形になります。

(2) ADC 自体は、BIST サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御されます。詳細については、API コールを参照してください。



## 9 監視と診断

### 9.1 監視と診断のメカニズム

表 9-1 に、機能安全準拠デバイスで使用可能な主な監視および診断メカニズムのリストを示します。

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム

| NO | 機能                              | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|----|---------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1  | MSS R4F コアおよび関連 VIM 用ブート時 LBIST | デバイス アーキテクチャは、ハードウェア ロジック BIST (LBIST) エンジン セルフ テスト コントローラ (STC) をサポートしています。このロジックを使って、MSS R4F CPU コアとベクタ割り込みモジュール (VIM) において、トランジスタレベルで非常に高い診断範囲 (>90%) を実現しています。CPU および VIM 用の LBIST は、機能安全アプリケーションを開始する前に、アプリケーションコードによってトリガする必要があります。CPU は、フォルトが検出されると、ループ内にとどまり、それ以上処理を進めることはありません。                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 2  | MSS R4F TCM メモリ用ブート時 PBIST      | MSS R4F には、TCMA、TCMB0、TCMB1 の 3 つの密結合メモリ (TCM) が搭載されています。デバイスのアーキテクチャは、ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしています。実装されている MSS R4F TCM において、このロジックを使って、トランジスタレベルで非常に高い診断範囲 (March-13n) を実現しています。TCM メモリの PBIST は、フラッシュまたはペリフェラル インターフェイスからアプリケーションのダウンロードを開始する前のブート時にブートローダによってトリガされます。CPU は、フォルトが検出されると、ループ内にとどまり、それ以上処理を進めることはありません。                                                                                                                                                                                                                                                                                                                                                                                |
| 3  | MSS R4F TCM メモリ用エンドツー エンド ECC   | TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECDED) ECC 診断によってサポートされています。64 ビットのデータパスで計算された ECC データを保存するために 8 ビットのコードワードが使用されます。ECC の評価は、CPU 内部の ECC 制御ロジックによって行われます。この方式により、CPU と TCM 間の通信においてエンド ツー エンドの診断が可能になります。CPU は、シングル ビットおよびダブル ビットのエラー状態に対して、あらかじめ決められた応答 (無視または中止) を行うように構成できます。                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 4  | MSS R4F TCM ビット多重化              | 論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクのアドレス デコード障害に対する固有の診断メカニズムが提供されます。バンク アドレッシングのフォルトは、CPU によって ECC フォルトとして検出されます。さらに、論理 (CPU) ワードを生成するためにアクセスされるビットが物理的に隣接しないように、ビット多重化方式が実装されています。この方式は、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減し、その代わりに、複数のシングルビット フォルトとして現れるようにします。SECDED TCM ECC は論理ワード内のシングルビットフォルトを修正できるので、この方式により TCM ECC 診断の有用性が向上します。これらの機能はどちらもハードウェア機能であり、アプリケーション ソフトウェアで有効または無効にすることはできません。                                                                                                                                                                                                                                                                |
| 5  | クロック モニタ                        | デバイス アーキテクチャは、3 つのデジタル クロック コンパレータ (DCC) と 1 つの内部 RCOSC をサポートしています。これらのモジュールでは、クロック検出とクロック監視という 2 つの機能が使用できます。DCCint は、ブート時にリファレンス クロックの可用性 / 範囲をチェックするために使用されます。そうでない場合は、デバイスはリンプ モードに移行します (デバイスはブートを続けますが、RCOSC クロック ソースは 10MHz です。この状態ではデバッグ機能が提供されます)。DCCint はブート時にブートローダによってのみ使用されます。APLL がイネーブルになり、ロックされると、このブロックはディセーブルになります。DCC1 は APLL ロック検出監視専用であり、デバイスのリファレンス入力クロックと分周された APLL 出力を比較します。最初に (APLL の構成前)、ブートローダは DCC1 を使用して、内蔵 RCOSC クロック ソースに対するリファレンス入力クロックの正確な周波数を識別します。DCC1 に障害が検出されると、デバイスはリンプ モードに移行します。DCC2 モジュールは、ユーザー ソフトウェアで利用できるものです。詳細仕様に記載されているクロック オプションのリストから、任意の 2 つのクロックを比較できます。使用例の 1 つは、CPU クロックをリファレンスまたは内部 RCOSC クロック ソースと比較することです。フォルトが検出されると、エラー信号モジュール (ESM) により MSS R4F CPU に通知されます。 |

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

| NO | 機能                                      | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
|----|-----------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 7  | MSS R4F 用 RTI/WD                        | デバイス アーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された内部ウォッチドッグの使用をサポートしています。内部ウォッチドッグには、デジタル ウォッチドッグ (DWD) とデジタル ウィンドウ付きウォッチドッグ (DWWD) という 2 つの動作モードがあります。これらの動作モードは相互に排他的です。設計者はいずれかのモードを選択できますが、同時に両方のモードを使用することはできません。<br>ウォッチドッグは、障害を検出すると、内部 (ウォーム) システム リセットまたは CPU マスク不可割り込みのいずれかを発行できます。<br>ウォッチドッグは、ブート時にブートローダによって DWD モードでイネーブルになり、ブートプロセスを追跡します。アプリケーション コードが制御を開始した後、特定の顧客要件に基づいて、ウォッチドッグのモードおよびタイミングを再構成できます。                                                                                                     |
| 8  | MSS R4F 用 MPU                           | Cortex-R4F CPU には MPU が搭載されています。MPU ロジックを使用すると、デバイス メモリ内のソフトウェア タスクを空間的に分離できます。Cortex-R4F MPU は 12 の領域をサポートしています。オペレーティング システムが MPU を制御し、各タスクのニーズに基づいて MPU 設定を変更するよう想定されています。構成済みメモリ保護ポリシーに違反すると、CPU が停止します。                                                                                                                                                                                                                                                                                                         |
| 9  | ペリフェラル インターフェイス SRAM 用 PBIST - SPI, CAN | デバイス アーキテクチャは、ペリフェラル SRAM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンもサポートしています。<br>ペリフェラル SRAM メモリ用 PBIST は、アプリケーションによってトリガできます。ユーザーは、PBIST 診断に割り当てられる実行時間に基づいて、1 つの SRAM に対して PBIST を実行するか、複数の SRAM に対して実行するかを選択できます。PBIST テストはメモリ内容を破壊する可能性があるため、通常はブート時のみ実行されます。ただし、ペリフェラル通信が妨げられる可能性がある場合は、いつでもテストを開始できます。<br>PBIST によってフォルトが検出された場合、PBIST ステータス レジスタにエラーが示されます。                                                                                                                                                      |
| 10 | ペリフェラル インターフェイス SRAM 用 ECC - SPI, CAN   | ペリフェラル インターフェイス SRAM の診断は、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断によってサポートされています。シングル ビットまたはダブル ビット エラーが検出されると、ESM (エラー信号モジュール) 経由で MSS R4F に通知されます。この機能はリセット後はディセーブルになっています。ソフトウェアは、ペリフェラル および ESM モジュールでこの機能を設定して、イネーブルにする必要があります。ECC 障害 (シングル ビット訂正済みエラーとダブルビット訂正不可能エラーの両方) は、ESM モジュール経由の割り込みとして MSS R4F に通知されます。                                                                                                                                                                                                    |
| 11 | メイン SS ペリフェラルの構成レジスタ保護                  | すべてのメイン SS ペリフェラル (SPI, CAN, I2C, DMA, RTI/WD, DCC, IOMUX など) は、ペリフェラル センtral リソース (PCR) 経由で相互接続されています。これにより、ペリフェラルへのアクセスを制限できる 2 つの診断メカニズムが提供されます。ペリフェラルは、PCR 内のペリフェラル チップ セレクトによってクロックをゲートできます。これを利用すれば、未使用の機能を無効にして干渉を回避できます。また、トランザクションの特権レベルに基づいてアクセスを制限するように、各ペリフェラルのチップ セレクトをプログラムできます。この機能を使用すると、すべてのペリフェラルへのアクセスを、特権付きオペレーティング システム コードのみに制限できます。<br>これらの診断メカニズムは、リセット後はディセーブルになっています。ソフトウェアは、これらのメカニズムを設定して、有効にする必要があります。また、保護違反が発生すれば、「エラー」を生成して、MSS R4F を停止させたり、あるいは、DMA などの他のペリフェラルに対するエラー応答を発生させたりします。 |
| 12 | 巡回冗長検査 - メイン SS                         | デバイス アーキテクチャは、メイン SS でハードウェア CRC エンジンをサポートし、以下の多項式を実装しています。<br><ul style="list-style-type: none"> <li>• CRC16 CCITT – 0x10</li> <li>• CRC32 Ethernet – 0x04C11DB7</li> <li>• CRC64</li> <li>• CRC 32C – CASTAGNOLI – 0x1EDC6F4</li> <li>• CRC32P4 – E2E Profile4 – 0xF4ACFB1</li> <li>• CRC-8 – H2F Autosar – 0x2F</li> <li>• CRC-8 – VDA CAN – 0x1D</li> </ul> CRC への SRAM 内容の読み取り動作は、CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。                                                    |
| 13 | DMA 用 MPU                               | デバイス アーキテクチャは、メイン SS DMA の MPU をサポートしています。MPU によって障害が検出されると、ESM 経由の割り込みとして MSS R4F CPU コアに通知されます。<br>DSPSS の高性能 EDMA では、読み取りポートと書き込みポートの両方に MPU が搭載されています。EDMA MPU は 8 つの領域をサポートしています。MPU によって障害が検出されると、ローカル ESM 経由の割り込みとして DSP コアに通知されます。                                                                                                                                                                                                                                                                           |

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

| NO | 機能                               | 説明                                                                                                                                                                                                                                                                                                                                                                                            |
|----|----------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 14 | BIST R4F コアおよび関連 VIM 用ブート時 LBIST | デバイス アーキテクチャは、BIST R4F コアおよび関連する VIM モジュールでもハードウェア ロジック BIST (LBIST) をサポートしています。このロジックは、BIST R4F CPU コアおよび VIM において、非常に高い診断範囲 (>90%) を実現しています。これは、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。                                                                                                                                                                               |
| 15 | BIST R4F TCM メモリ用ブート時 PBIST      | デバイスのアーキテクチャは、BIST R4F TCM 用ハードウェア プログラマブル メモリ BIST (PBIST) エンジンをサポートしており、BIST R4F TCM で非常に高い診断範囲 (March-13n) を実現しています。PBIST は、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。                                                                                                                                                                                                  |
| 16 | BIST R4F TCM メモリ用エンドツー エンド ECC   | BIST R4F TCM の診断は、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断によってサポートされています。シングル ビット エラーは BIST R4F CPU に対して、ダブル ビット エラーは MSS R4F に対して、割り込みとして通知されるので、アプリケーションコードはこれを認識し、適切なアクションを実行します。                                                                                                                                                                                                              |
| 17 | BIST R4F TCM ビット多重化              | 論理 TCM ワードとそれに関連する ECC コードは分割され、2 つの物理的な SRAM バンクに保存されます。この方式では、物理的な SRAM バンクにおけるアドレス デコード障害の固有の診断メカニズムが提供され、物理的なマルチビット フォルトに起因して論理的なマルチビット フォルトが発生する可能性を低減します。                                                                                                                                                                                                                               |
| 18 | BIST R4F 用 RTI/WD                | デバイス アーキテクチャは、BIST R4F 用の内部ウォッチドッグをサポートしています。MSS R4F への割り込みを通じてタイムアウト状態を通知します。その先はアプリケーション コードに任せて、BIST SS の SW リセット、またはデバイスの障害状態を解消するためのウォーム リセットのいずれかを実施できます。                                                                                                                                                                                                                               |
| 19 | L1P、L1D、L2、L3 メモリのブート時 PBIST     | デバイス アーキテクチャは、DSPSS の L1P、L1D、L2、L3 メモリ BIST (PBIST) エンジンをサポートしており、非常に高い診断範囲 (March-13n) を実現しています。PBIST は、MSS R4F ブートローダによってブート時にトリガされ、フォルトが検出された場合、それ以上処理を進めることはありません。                                                                                                                                                                                                                       |
| 20 | L1P のパリティ                        | デバイス アーキテクチャは、DSP の L1P メモリでパリティ診断をサポートします。パリティ エラーは、割り込みとして CPU に通知されます。<br>注:L1D メモリは、パリティまたは ECC の対象ではないので、アプリケーション レベルの診断で対応する必要があります。                                                                                                                                                                                                                                                    |
| 21 | DSP の L2 メモリの ECC                | デバイス アーキテクチャは、DSP の L2 メモリにおいて、パリティとシングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断の両方をサポートします。L2 メモリは、DSP のプログラム セクションとデータ セクションを保存するために使用される統合型 256KB のメモリです。256 ビットのデータバス (論理命令フェッチ サイズ) に対して計算された ECC データを保存するために、12 ビットのコードワードを使用します。L2 アクセスの ECC ロジックは DSP 内に配置されており、DSP 内部の ECC 制御ロジックを使用して評価を行います。この方式により、DSP と L2 の間の送信について、エンドツー エンドの診断が可能になります。バイト整列パリティメカニズムは、データ セクションを処理するために L2 でも利用できます。 |
| 22 | レーダー データ キューブ (L3) メモリの ECC      | L3 メモリは、デバイスのレーダー データ セクションとして使用されます。デバイス アーキテクチャは、L3 メモリにおいて、シングル エラー訂正ダブル エラー検出 (SECEDED) ECC 診断をサポートしています。64 ビットのデータバスで計算された ECC データを保存するために、8 ビットのコードワードを使用します。ECC ロジックで障害が検出されると、ESM 経由の割り込みとして MSS R4F CPU コアに通知されます。                                                                                                                                                                   |
| 23 | DSP コア用 RTI/WD                   | デバイス アーキテクチャは、リアルタイム割り込み (RTI) モジュールに実装された BIST R4F の内部ウォッチドッグの使用をサポートしています。このウォッチドッグは、メイン SS で使用されるのと同じモジュールの複製です。このモジュールは、MSS/BIST R4F 用 RTI /WD と同じ機能をサポートしています。このウォッチドッグは、ユーザーのアプリケーション コードによって有効化され、MSS R4F への割り込みを通じてタイムアウト状態を通知します。その先は MSS R4F のアプリケーション コードに任せて、DSP SS の SW リセット、または、デバイスの障害状態を解消するためのウォーム リセットのいずれかを実施できます。                                                         |

表 9-1. 機能安全準拠デバイス向けの監視と診断のメカニズム (続き)

| NO | 機能                            | 説明                                                                                                                                                                                                                                                                                                                                                                   |
|----|-------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 24 | DSP サブシステムの CRC               | デバイス アーキテクチャは、DSPSS で専用ハードウェア CRC をサポートし、以下の多項式を実装しています。<br><ul style="list-style-type: none"> <li>• CRC16 CCITT - 0x10</li> <li>• CRC32 Ethernet - 0x04C11DB7</li> <li>• CRC64</li> </ul> CRC への SRAM 内容の読み取りは、DSP CPU または DMA によって行うことができます。結果の比較、フォルトの表示、およびフォルト応答は、テストを管理するソフトウェアの責任となります。                                                                       |
| 25 | DSP の MPU                     | デバイス アーキテクチャは、DSP メモリ アクセス (L1D、L1P、L2) 用の MPU をサポートします。L2 メモリは 64 の領域、L1P および L1D はそれぞれ 16 の領域をサポートしています。MPU によって障害が検出されると、処理中断として DSP コアに通知されます。                                                                                                                                                                                                                   |
| 26 | 温度センサ                         | デバイス アーキテクチャは、デバイス全体にわたってさまざまな温度センサ (PA や DSP などの電力消費の多いモジュールの付近に配置) をサポートします。これらは、フレームとフレームの間の期間中に監視されます。(1)                                                                                                                                                                                                                                                        |
| 27 | TX 電力モニタ                      | デバイス アーキテクチャは、Tx 出力での電力検出器をサポートしています。(2)                                                                                                                                                                                                                                                                                                                             |
| 28 | エラー信号<br>エラー出力                | 診断で故障が検出された場合は、エラーを通知する必要があります。デバイス アーキテクチャは、エラー信号モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部の監視 / 診断メカニズムからのフォルト通知をまとめて処理します。ESM は、重大度によってフォルトを分類するメカニズムを備えており、プログラム可能なエラー応答が実現できます。ESM モジュールは、ユーザーのアプリケーション コードの設定により、特定のエラー信号の有効または無効を選択して、MSS R4F CPU への割り込み (低 / 高優先度) を生成することができます。デバイスは nERROR 出力信号 (IO) をサポートしています。この信号を外部で監視することにより、R4F では処理できなかった重大度の高い異常を識別できます。 |
| 29 | シンセサイザ (チャープ) 周波数のモニタ         | シンセサイザの周波数ランプにおいて、(分周) クロック サイクルをカウントし、理想的な周波数ランプと比較して監視します。特定のしきい値を超える過剰な周波数エラーが検出された場合、報告されます。                                                                                                                                                                                                                                                                     |
| 30 | TX ポート用ボール破損検出 (TX ボール破損のモニタ) | デバイス アーキテクチャは、TX 出力のインピーダンス測定に基づくボール破損検出メカニズムをサポートしており、ボール破損を示している可能性のある大きな偏差を検出して報告します。監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われ、障害はメールボックスを介して MSS R4F に通知されます。BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。                                                                                                                                     |
| 31 | RX ループバック テスト                 | TX から RX へのループバックを内蔵しており、ゲイン、RX 間バランスなど、RX パスの障害を検出できます。                                                                                                                                                                                                                                                                                                             |
| 32 | IF ループバック テスト                 | 内蔵の IF (方形波) テストトーン入力により、IF フィルタの周波数応答を監視して障害を検出します。                                                                                                                                                                                                                                                                                                                 |
| 33 | RX 飽和検出                       | 過大な受信信号レベルや干渉による ADC 飽和を検出する機能。                                                                                                                                                                                                                                                                                                                                      |
| 34 | DSP コア用のブート時 LBIST            | デバイスは、DSP コア用のブート時 LBIST をサポートしています。LBIST は、ブート時に MSS R4F アプリケーション コードでトリガできます。                                                                                                                                                                                                                                                                                      |

(1) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。ユーザー アプリケーションによって API を介して検出された温度を報告するように構成できる 2 つのモードがあります。

- N フレームごとに検出された温度を報告します。
- 温度がプログラムされたスレッシュホールドを超えた場合、その状態を通知します。

BIST R4F からメールボックス経由のメッセージに基づいて適切なアクションを決定することは、ユーザーの SW に完全に任されています。

(2) 監視は、BIST R4F で実行されるテキサス・インスツルメンツのコードによって行われます。ユーザー アプリケーションによって API を介して検出された出力電力を報告するように構成できる 2 つのモードがあります。

- N フレームごとに検出された電力を報告します。
- 設定されたスレッシュホールドを超えて出力電力が低下した場合、その状態を通知します。

BIST R4F からのメッセージに基づいて、適切なアクションを決定することは、ユーザーの SW に完全に任されています。

**注**

すべての診断機能の適用可能性の詳細については、『デバイス安全マニュアル』またはその他の関連資料を参照してください。認証の詳細については、デバイスの製品フォルダを参照してください。

### 9.1.1 エラー通知モジュール

診断でフォルトが検出された場合は、エラーを表示する必要があります。AWR1843 のアーキテクチャは、エラー通知モジュール (ESM) と呼ばれるペリフェラル ロジックを使用して、内部診断メカニズムからのフォルト表示をまとめて示します。ESM は、重大度によってフォルトを分類するメカニズムを備えており、プログラム可能なエラー応答が実現できます。以下に、ESM の概略ブロック図を示します。

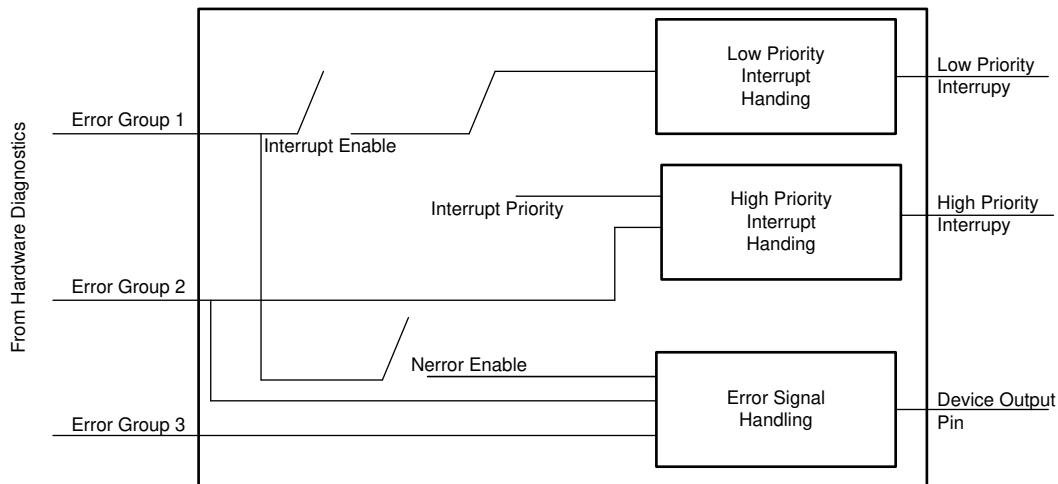


図 9-1. ESM のブロック図

## 10 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 10.1 アプリケーション情報

以下のアプリケーションにおけるデバイスの主な機能は次の通りです。

- レーダー フロント エンドとプログラマブル MCU の統合
- 柔軟なブート モード: シリアル フラッシュを使用した自律アプリケーションのブート、または SPI 経由の外部ブート。

### 10.2 短距離および中距離レーダー

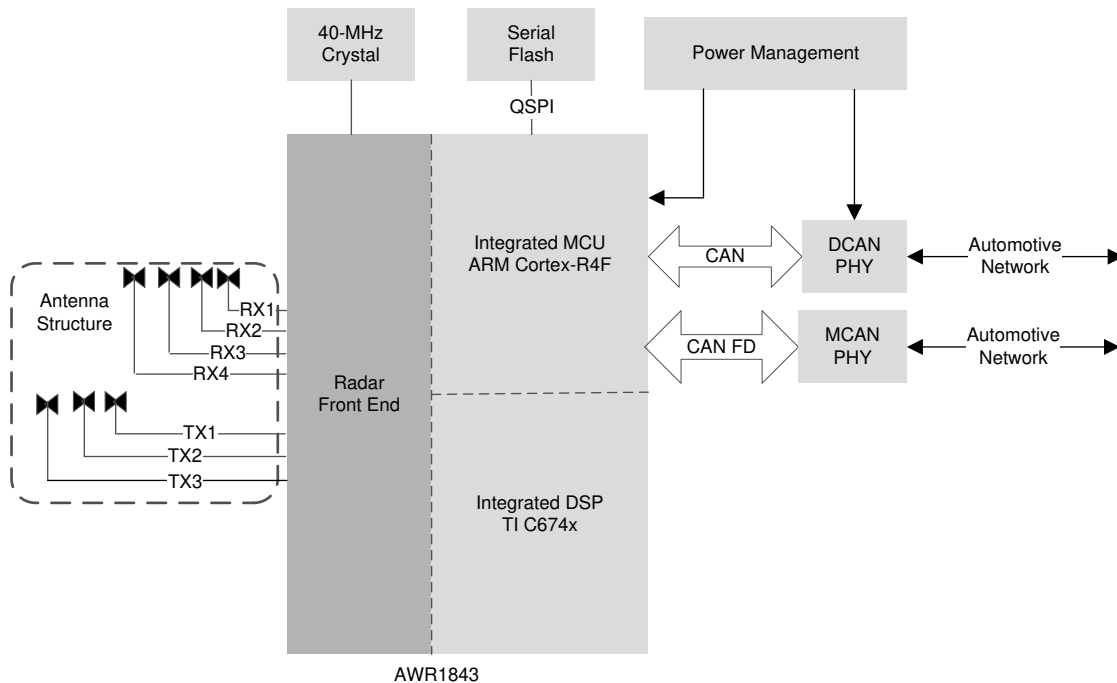


図 10-1. 短距離および中距離レーダー

### 10.3 リファレンス回路図

リファレンス回路図と電源に関する情報は、『[AWR1843 EVM 資料](#)』に掲載されています。

ご参考までに、PCB の設計ファイル、回路図、レイアウト、スタック アップを以下に示します。

- [Altium AWR1843 EVM 設計ファイル](#)
- [AWR1843 EVM の回路図、組立図、部品表](#)



## 11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。

### 11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには 3 つ接頭辞 X、P、空白 (接頭辞なし) (たとえば、AWR1843 の場合) のいずれかがあります。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイスツール(TMDS)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

テキサス・インスツルメンツのデバイスの命名規則には、デバイス ファミリの接尾辞も含まれます。この接尾辞は、パッケージのタイプ (例: ABL0161 ALB0161) と温度範囲を表しています (たとえば、空白はデフォルトの民生用温度範囲を示します)。図 11-1 に、AWR1843 デバイスについて、完全なデバイス名を読み取るための凡例を示します。

AWR1843 デバイスの注文可能な部品番号 (ABL0161 パッケージ タイプ) については、本書の「パッケージ オプションについての付録」、テキサス・インスツルメンツの Web サイト ([www.ti.com](http://www.ti.com))、またはテキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『AWR1843 デバイス エラッタ』を参照してください。

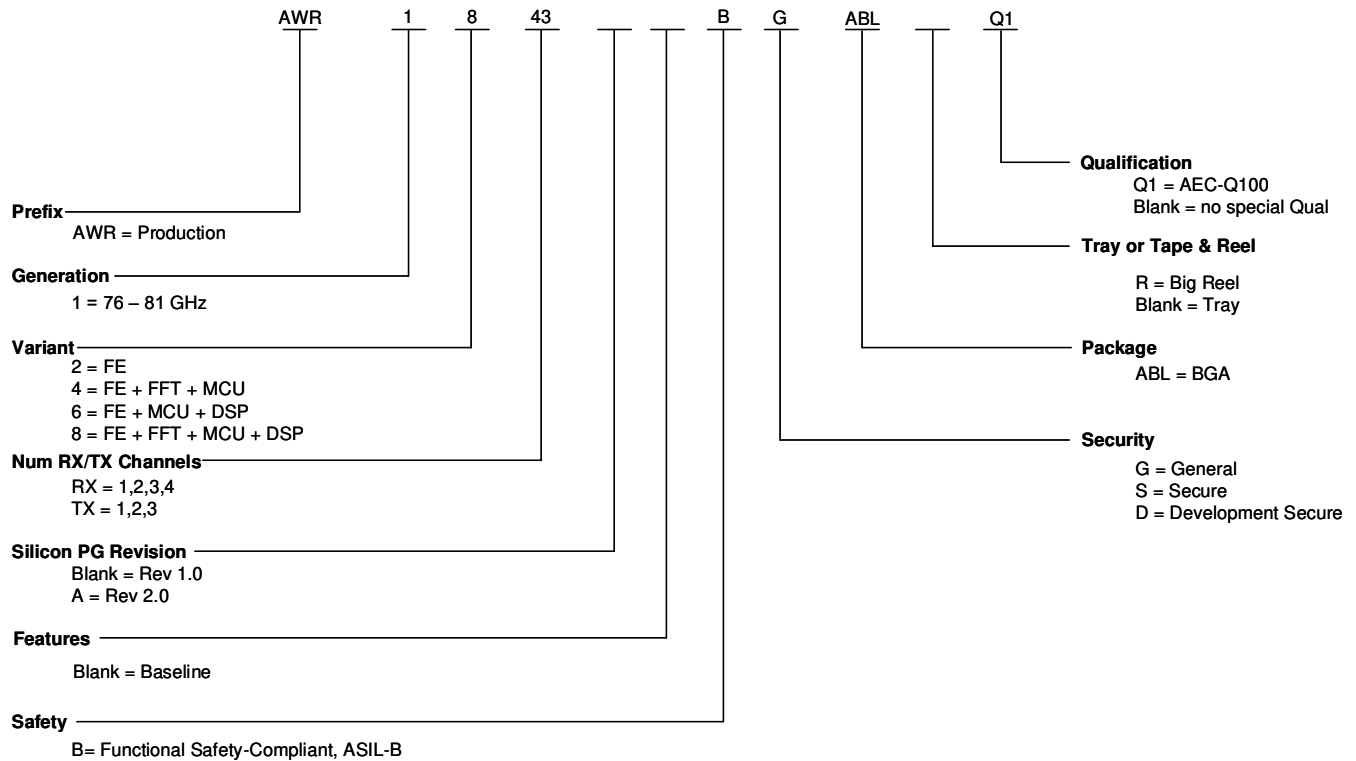


図 11-1. デバイスの命名規則

## 11.2 ツールとソフトウェア

### モデル

**AWR1843 BSDL モデル** 個別デバイスの IEEE 1149.1 でテスト可能な入力および出力ピンのバウンダリ スキャン データベース。

**AWR1843 IBIS モデル** デバイスの IO バッファの IO バッファ情報モデル。基板上でのシミュレーションについては、IBIS Open Forum を参照してください。

## 11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

DSP、関連ペリフェラル、その他の技術的事項を説明した最新のドキュメントを以下に示します。

### エラー

**AWR1843 デバイス正誤表** シリコンに関する既知の勧告、制限、注意事項を説明し、回避策を示しています。

## 11.4 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム** は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 11.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
Arm® and Cortex® are registered trademarks of ARM Limited.  
すべての商標は、それぞれの所有者に帰属します。

## 11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 11.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 12 改訂履歴

### Changes from DECEMBER 31, 2021 to SEPTEMBER 11, 2024 (from Revision C (December 2021) to Revision D (September 2024))

Page

- (RF 仕様):ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係を更新.....29

**Changes from MAY 1, 2020 to DECEMBER 31, 2021 (from Revision B (May 2020) to Revision C (December 2021))**

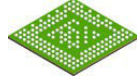
**Page**

|                                                                                                          |    |
|----------------------------------------------------------------------------------------------------------|----|
| • グローバル:機能安全準拠を反映するように更新.....                                                                            | 1  |
| • グローバル:「A2D」を「ADC」に置き換え、マスタ サブシステムおよびマスタ R4F をメイン サブシステムおよびメイン R4F に変更、マスタ / スレーブの用語をより包括的な言葉遣いに移行..... | 1  |
| • (特長):機能安全準拠認証資料を更新。ミリ波センサ固有の動作温度範囲について記載。「デバイスのセキュリティ」の詳細情報を更新。.....                                   | 1  |
| • (製品情報):ミリ波センサにセキュア量産部品を追加.....                                                                         | 2  |
| • 機能ブロック図を包括的な用語に更新 / 変更.....                                                                            | 3  |
| • (デバイスの比較):機能安全準拠の行を削除し、代わりに機能安全および LVDS インターフェイスに関する表の注を追加。デバイスのセキュリティに関する情報を追加.....                   | 5  |
| • (信号の説明):CLKP および CLKM の説明を更新 / 変更.....                                                                 | 14 |
| • (絶対最大定格):RF 入力 (TX および RX) に外部から供給される電源のエントリを追加し、TX に適用される信号レベルに表注を追加。.....                            | 25 |
| • (電源端子の平均消費電力):標準の平均電力値を更新 / 変更.....                                                                    | 28 |
| • (RF 仕様):導入段落と「ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係」の画像を追加。.....                                                | 29 |
| • (クロックの仕様):デバイスの適切な動作温度範囲を反映するように表 7-5 を更新 / 変更。.....                                                   | 32 |
| • (表外部クロック モードの仕様):周波数の許容誤差の仕様を $\pm 50$ から $\pm 100$ ppm に変更.....                                       | 32 |
| • 「DSP C674x メモリ マップ」の L3 共有メモリに脚注を追加.....                                                               | 61 |
| • (監視と診断のメカニズム):機能安全準拠を反映するように表のヘッダーと説明を更新 / 変更。安全関連の資料への参照についての注を追加.....                                | 65 |
| • (リファレンス回路図):デバイス EVM のドキュメントの付属資料へのウェブリンクを追加.....                                                      | 72 |
| • (デバイスの命名規則):「デバイスの命名規則」を更新 / 変更.....                                                                   | 73 |

## 13 メカニカル、パッケージ、および注文情報

### 13.1 パッケージ情報

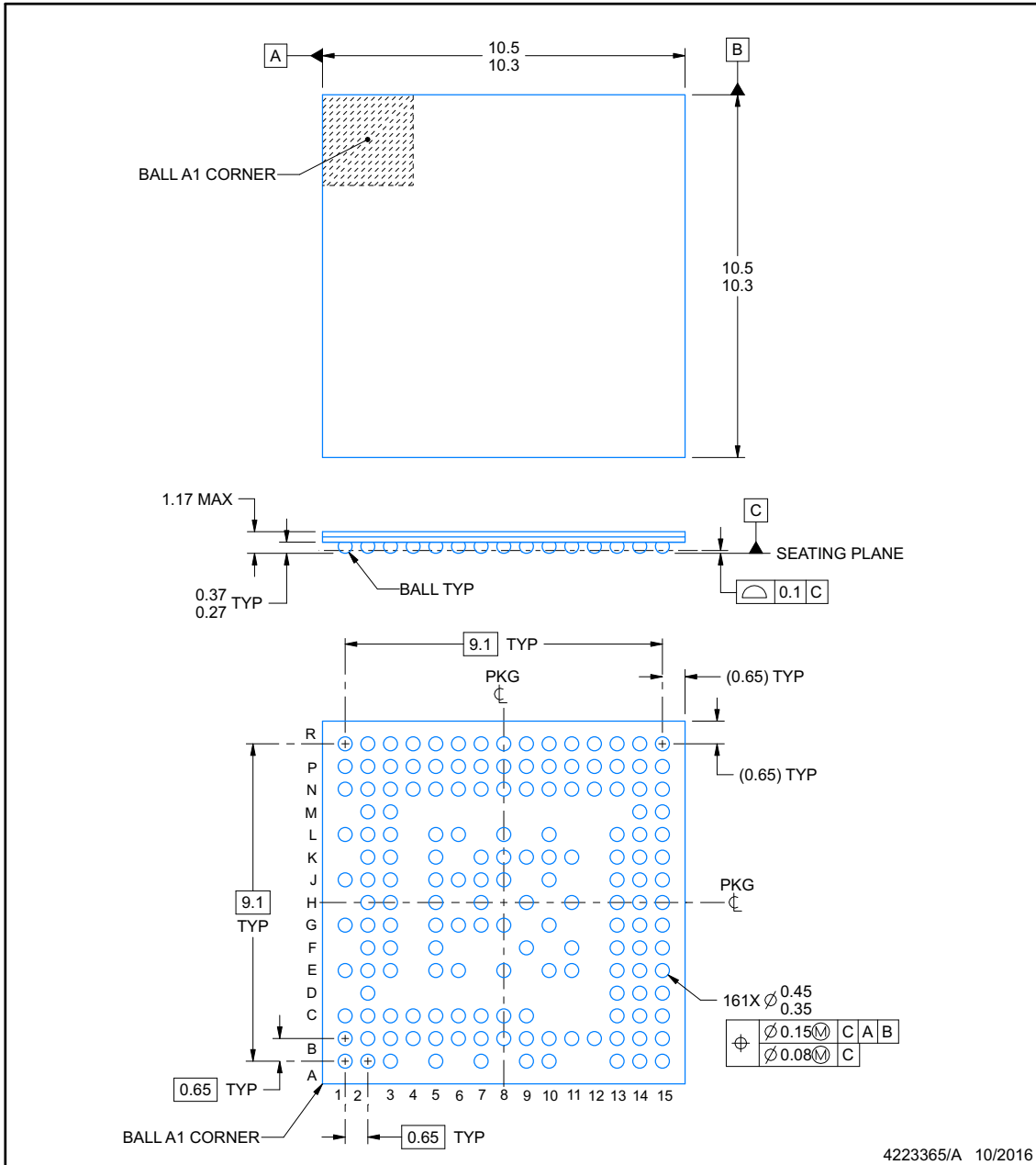
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



**ABL0161B**

**PACKAGE OUTLINE**  
**FCBGA - 1.17 mm max height**

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

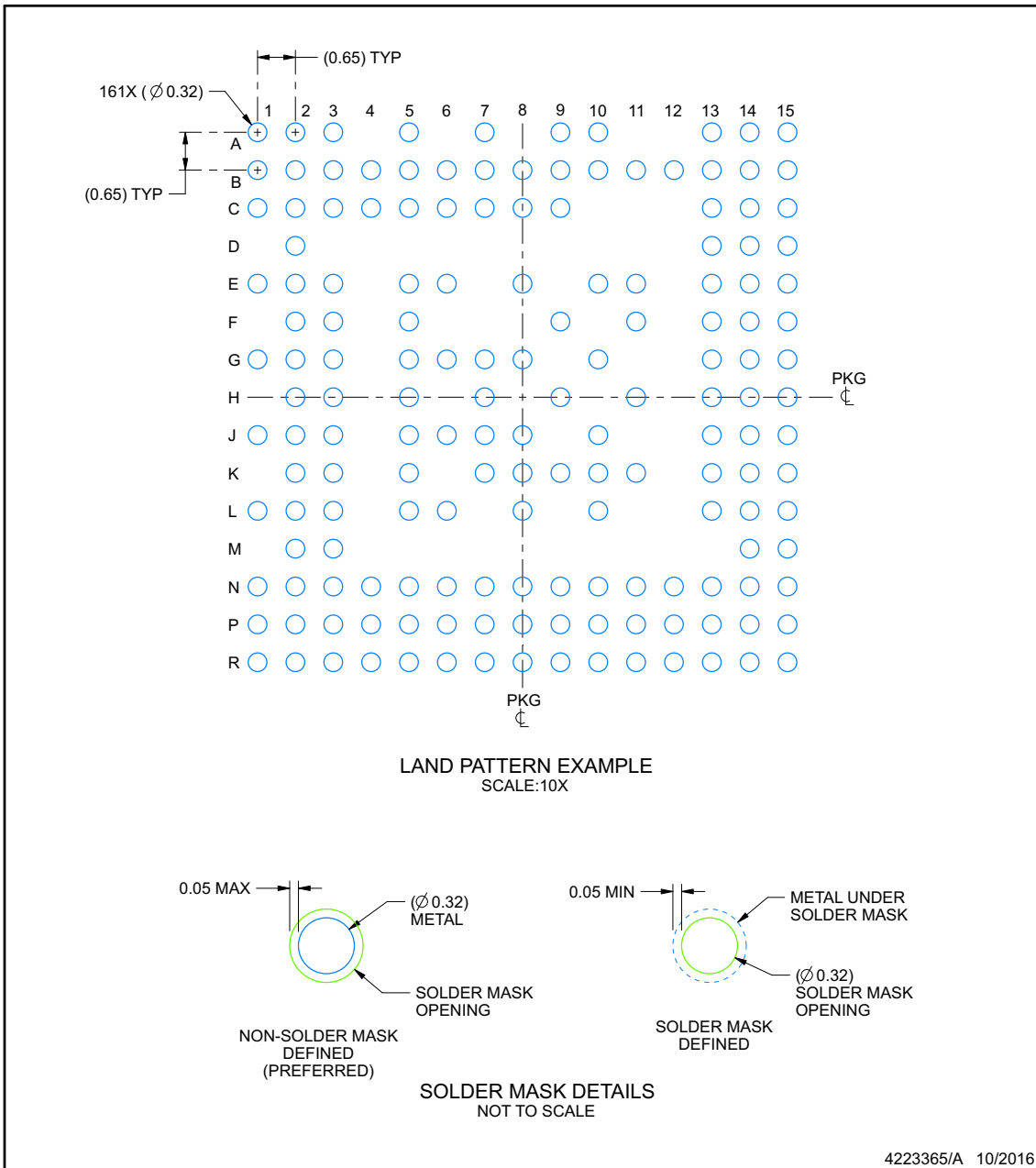
www.ti.com

# EXAMPLE BOARD LAYOUT

## ABL0161B

## FCBGA - 1.17 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

- 3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 ([www.ti.com/lit/spraa99](http://www.ti.com/lit/spraa99)).

www.ti.com

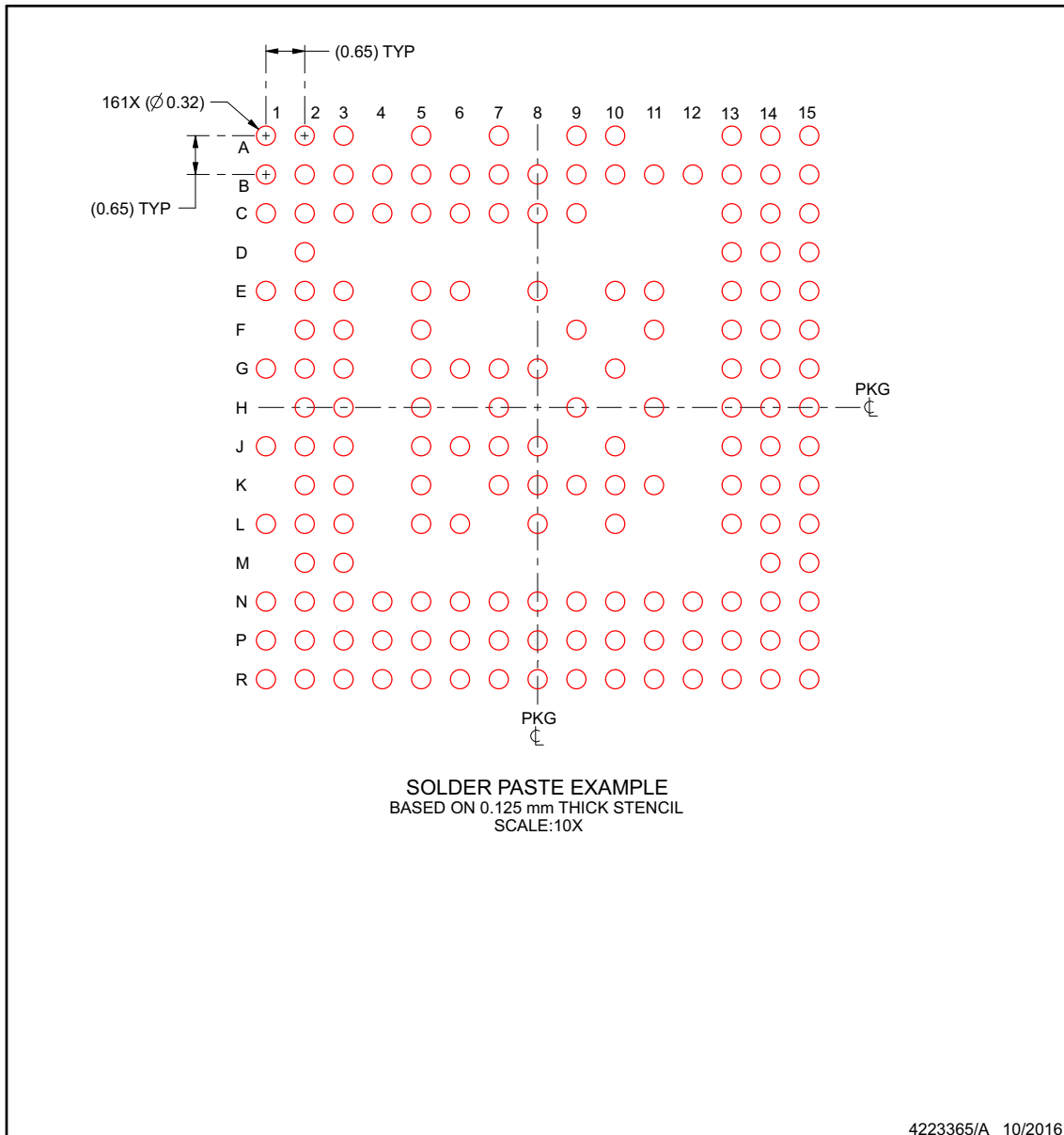


## EXAMPLE STENCIL DESIGN

**ABL0161B**

**FCBGA - 1.17 mm max height**

PLASTIC BALL GRID ARRAY

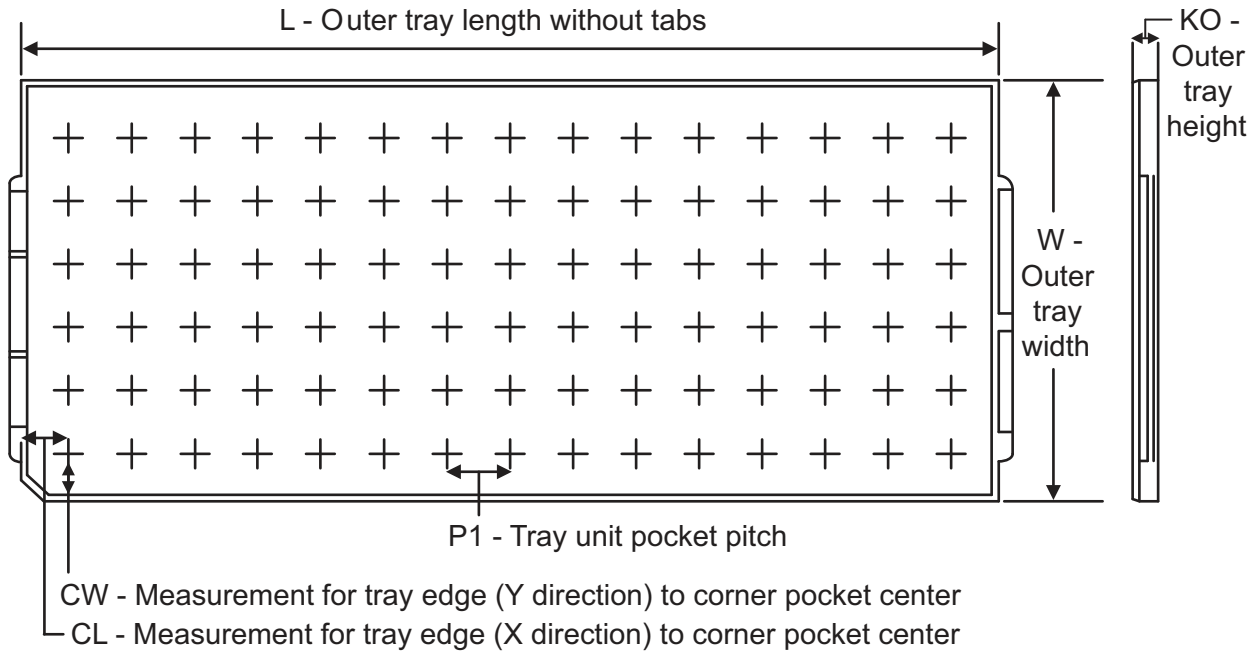


NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

[www.ti.com](http://www.ti.com)

## 13.2 のトレイ情報



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。




テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

| Orderable Device | Status<br>(1) | Package Type | Package Drawing | Pins | Package Qty | Eco Plan<br>(2) | Lead finish/<br>Ball material<br>(6) | MSL Peak Temp<br>(3) | Op Temp (°C) | Device Marking<br>(4/5)     | Samples                                                                             |
|------------------|---------------|--------------|-----------------|------|-------------|-----------------|--------------------------------------|----------------------|--------------|-----------------------------|-------------------------------------------------------------------------------------|
| AWR1843ABGABLQ1  | ACTIVE        | FCCSP        | ABL             | 161  | 176         | RoHS & Green    | Call TI                              | Level-3-260C-168 HR  | -40 to 125   | AWR1843<br>IG<br>502AD      |  |
| AWR1843ABGABLRQ1 | ACTIVE        | FCCSP        | ABL             | 161  | 1000        | RoHS & Green    | Call TI                              | Level-3-260C-168 HR  | -40 to 125   | AWR1843<br>IG<br>502AD<br>D |  |
| AWR1843ABSABLQ1  | ACTIVE        | FCCSP        | ABL             | 161  | 176         | RoHS & Green    | Call TI                              | Level-3-260C-168 HR  | -40 to 125   | AWR1843<br>IS<br>502AD      |  |

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

| Device           | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|------------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| AWR1843ABGABLRQ1 | FCCSP        | ABL             | 161  | 1000 | 330.0              | 24.4               | 10.7    | 10.7    | 1.65    | 16.0    | 24.0   | Q1            |

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

| Device           | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|------------------|--------------|-----------------|------|------|-------------|------------|-------------|
| AWR1843ABGABLRQ1 | FCCSP        | ABL             | 161  | 1000 | 336.6       | 336.6      | 41.3        |

**TRAY**



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

| Device          | Package Name | Package Type | Pins | SPQ | Unit array matrix | Max temperature (°C) | L (mm) | W (mm) | K0 (µm) | P1 (mm) | CL (mm) | CW (mm) |
|-----------------|--------------|--------------|------|-----|-------------------|----------------------|--------|--------|---------|---------|---------|---------|
| AWR1843ABGABLQ1 | ABL          | FCCSP        | 161  | 176 | 8 x 22            | 150                  | 315    | 135.9  | 7620    | 13.4    | 16.8    | 17.2    |



## GENERIC PACKAGE VIEW

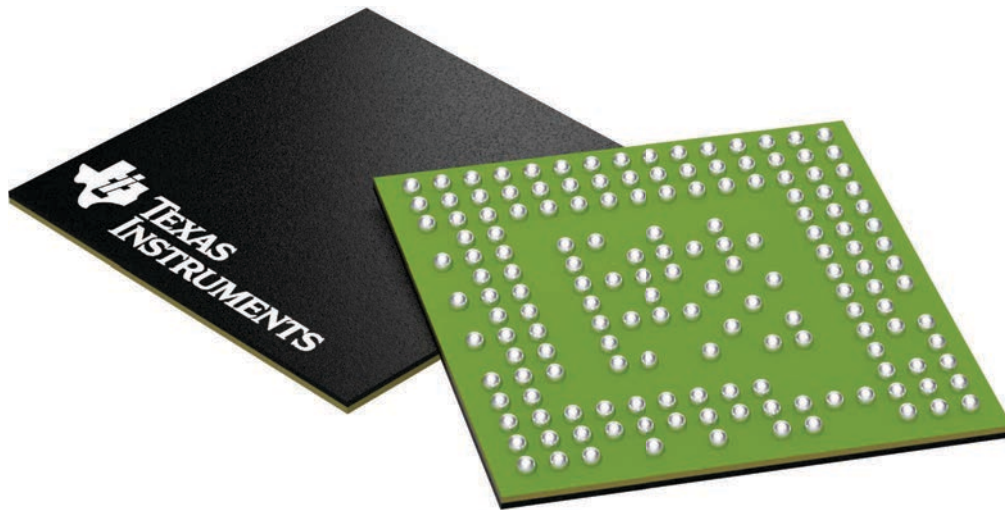
**ABL 161**

**FCBGA - 1.17 mm max height**

10.4 x 10.4, 0.65 mm pitch

PLASTIC BALL GRID ARRAY

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225978/A

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated