

DRV8932 クワッド・ハーフ・ブリッジ・ドライバ、電流検出機能を内蔵

1 特長

- クワッド・ハーフブリッジ・ドライバ
 - 最大 4 つのソレノイド負荷、2 つの DC モータ、1 つのステッピング・モータ、または他の負荷を駆動可能
- 電流検出およびレギュレーション機能を内蔵
- 4.5V~33V の動作電源電圧範囲
- 低い $R_{DS(ON)}$: 24V、25°C で 900mΩ HS + LS
- 24V、25°C で最大駆動電流 1.5A
- 以下とピン互換:
 - DRV8955: 48V、330mΩ HS + LS
 - DRV8935: 33V、330mΩ HS + LS
- 構成可能なオフ時間 PWM チョッピング
 - 7、16、24、32μs
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (2μA)
- 拡散スペクトラム・クロック処理による低い EMI
- 小さなパッケージと占有面積
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- 冷蔵庫のダンパーおよび製氷室
- 工業用マシン
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス
- ゲーム機
- 洗濯機、乾燥機、食器洗い機
- 汎用ソレノイド負荷

3 概要

DRV8932 は、産業用アプリケーション向けに 4 つのハーフブリッジ・ドライバを提供します。このデバイスは、最大 4 つのソレノイド負荷、2 つの DC モータ、1 つのステッピング・モータ、または他の負荷を駆動するために使用できます。

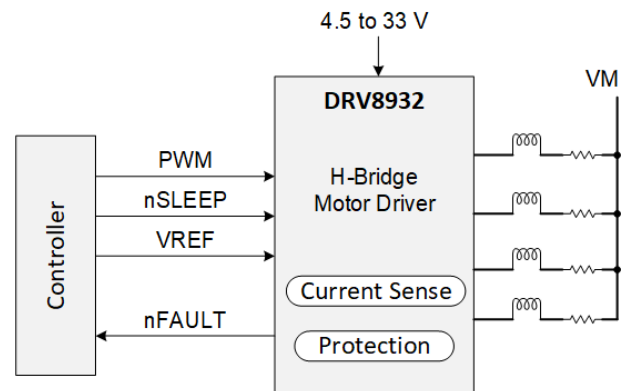
各チャネルの出力段は、ハーフブリッジに構成された N チャネルのパワー MOSFET で構成されています。単純な PWM インターフェイスにより、コントローラと簡単に接続できます。DRV8932 は単一の電源で動作し、4.5~33V の広い入力電源電圧範囲をサポートします。DRV8932 は、チャネルごとに最大 1.5A のピーク電流または 1.05A の RMS 出力電流を供給できます (PCB 設計に依存)。

低消費電力のスリープ・モードがあり、内部回路の多くをシャットダウンして、静止電流を低減できます。低電圧誤動作防止、各 FET の過電流保護、短絡保護、過熱に対する保護機能が内蔵されています。フォルト条件は、nFAULT ピンで通知されます。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
DRV8932PPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8932PRGER	VQFN (24)	4.0mm × 4.0mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



DRV8932 の概略回路図



目次

1 特長.....	1	7.3 機能説明.....	14
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	21
3 概要.....	1	8 アプリケーションと実装.....	23
4 改訂履歴.....	2	8.1 アプリケーション情報.....	23
5 ピン構成および機能.....	3	8.2 代表的なアプリケーション.....	23
ピン機能.....	4	9 電源に関する推奨事項.....	26
6 仕様.....	6	9.1 バルク・コンデンサ.....	26
6.1 絶対最大定格.....	6	10 レイアウト.....	27
6.2 ESD 定格.....	6	10.1 レイアウトの注意点.....	27
6.3 推奨動作条件.....	7	11 デバイスおよびドキュメントのサポート.....	29
6.4 熱に関する情報.....	7	11.1 ドキュメントのサポート.....	29
6.5 電気的特性.....	8	11.2 ドキュメントの更新通知を受け取る方法.....	29
6.6 代表的特性.....	9	11.3 コミュニティ・リソース.....	29
7 詳細説明.....	12	11.4 商標.....	29
7.1 概要.....	12	12 メカニカル、パッケージ、および注文情報.....	30
7.2 機能ブロック図.....	13		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2020) to Revision B (May 2022)	Page
• 「代表的特性」セクションを追加.....	9
• HTSSOP および QFN のレイアウト例を更新.....	27
• 「関連資料」セクションを更新.....	29

Changes from Revision * (May 2020) to Revision A (November 2020)	Page
• デバイスのステータスを「量産データ」に変更.....	1

5 ピン構成および機能

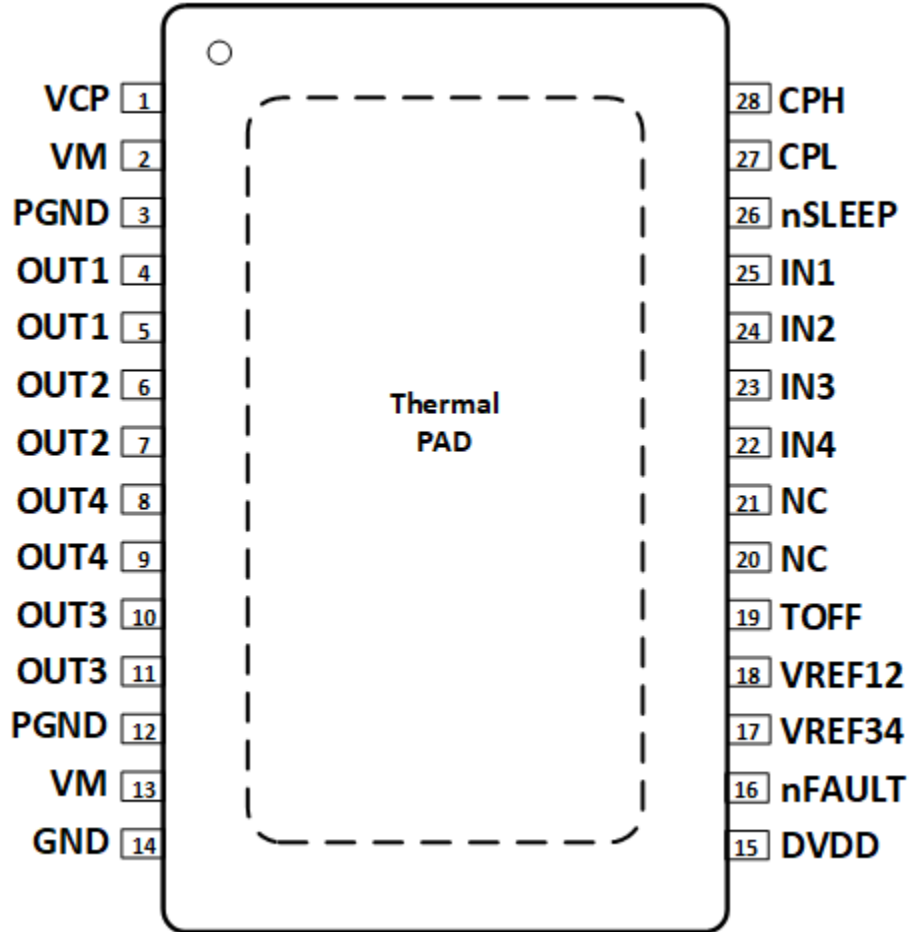


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図 DRV8932

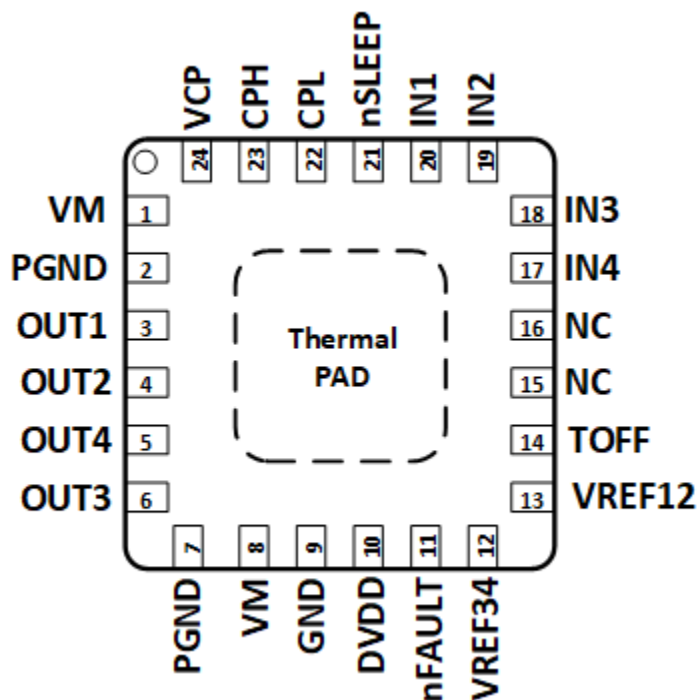


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図 DRV8932

ピン機能

名称	ピン		タイプ	説明
	PWP	RGE		
IN1	25	20	I	PWM 入力。ハーフブリッジ 1 の状態をロジック制御します。内部プルダウン。
IN2	24	19	I	PWM 入力。ハーフブリッジ 2 の状態をロジック制御します。内部プルダウン。
IN3	23	18	I	PWM 入力。ハーフブリッジ 3 の状態をロジック制御します。内部プルダウン。
IN4	22	17	I	PWM 入力。ハーフブリッジ 4 の状態をロジック制御します。内部プルダウン。
OUT1	4, 5	3	O	ハーフブリッジ 1 の出力。
OUT2	6, 7	4	O	ハーフブリッジ 2 の出力。
OUT3	10, 11	6	O	ハーフブリッジ 3 の出力。
OUT4	8, 9	5	O	ハーフブリッジ 4 の出力。
VREF12	18	13	I	基準電圧入力ピン。ハーフブリッジ 1 および 2 の電流レベルを制御します。
VREF34	17	12	I	基準電圧入力ピン。ハーフブリッジ 3 および 4 の電流レベルを制御します。
NC	20, 21	15, 16	-	未接続。
CPH	28	23	PWR	チャージ・ポンプのスイッチング・ノード。X7R、0.022 μ F、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	22		
GND	14	9	PWR	デバイスのグランド。システム・グランドに接続します。
TOFF	19	14	I	電流チョッピング中のオフ時間を設定します。クワッド・レベル・ピン。
DVDD	15	10	PWR	ロジック電源電圧。X7R、0.47 μ F \sim 1 μ F、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
VCP	1	24	O	チャージ・ポンプの出力。X7R、0.22 μ F、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	1, 8	PWR	電源。電源電圧に接続し、VM 定格の 2 つの 0.01 μ F セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して PGND にバイパスします。

名称	ピン		タイプ	説明
	PWP	RGE		
PGND	3, 12	2, 7	PWR	4つのハーフブリッジすべての共通電源グランド・ピン。システム・グランドに接続します。
nFAULT	16	11	O	フォルト通知。フォルト条件により論理 Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	26	21	I	スリープ・モード入力。ロジック High でデバイスをイネーブル。ロジック Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。
PAD	-	-	-	サーマル・パッド。システム・グランドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内、GND 基準 (特に記述のない限り)

	最小	最大	単位
電源電圧 (VM)	-0.3	35	V
チャージ・ポンプ電圧 (VCP、CPH)	-0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
制御ピン電圧 (IN1、IN2、IN3、IN4、nFAULT、TOFF)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF12、VREF34)	-0.3	5.75	V
巻線出力ピン電圧 (連続) (OUT1、OUT2、OUT3、OUT4)	-1	$V_{VM} + 1$	V
巻線出力ピン電圧 (過渡 100ns) (OUT1、OUT2、OUT3、OUT4)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (OUT1、OUT2、OUT3、OUT4)	内部的に制限		A
動作時周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	角のピン		±750
			その他のピン		±500

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	33	V
V_I	論理レベル入力電圧	0	5.5	V
V_{REF}	基準 RMS 電圧範囲 (VREF)	0.05	3.3	V
f_{PWM}	適用される PWM 信号 (IN1、IN2、IN3、IN4)	0	100	kHz
I_{FS}	ピーク出力電流	0	1.5	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

6.4 熱に関する情報

THERMAL METRIC		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.0	43.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	28.0	35.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.9	19.9	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	0.7	1.0	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	12.8	19.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.9	6.7	°C/W

6.5 電気的特性

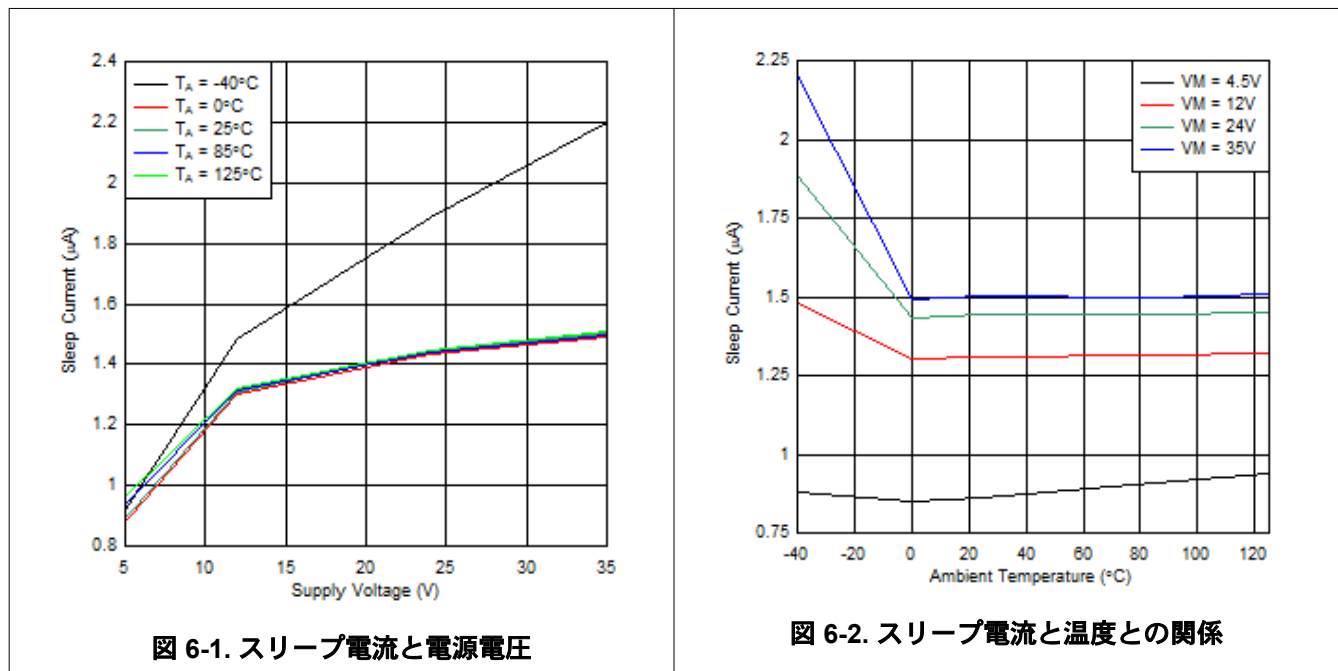
標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM, DVDD)						
I_{VM}	VM 動作電源電流	nSLEEP = 1、負荷なし		5	6.5	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 33\text{V}$	4.5	5	5.5	V
		$V_{VM} = 4.5\text{V}$	4.2	4.35		V
チャージ・ポンプ (VCP, CPH, CPL)						
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 33\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	$V_{VM} > UVLO$ 、nSLEEP = 1		360		kHz
ロジック・レベル入力 (IN1, IN2, IN3, IN4, nSLEEP)						
V_{IL}	入力論理 Low 電圧		0		0.6	V
V_{IH}	入力論理 High 電圧		1.5		5.5	V
V_{HYS}	入力論理ヒステリシス			150		mV
I_{IL}	入力論理 Low 電流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	入力論理 High 電流	$V_{IN} = 5\text{V}$			100	μA
クワッドレベル入力 (TOFF)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}		$330\text{k}\Omega \pm 5\%$ を GND との間に接続	1	1.25	1.4	V
V_{I3}	入力ハイ・インピーダンス電圧	ハイ・インピーダンス (GND との間の抵抗値が $500\text{k}\Omega$ よりも大きい)	1.8	2	2.2	V
V_{I4}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_O	出力プルアップ電流			10		μA
制御出力 (nFAULT)						
V_{OL}	出力論理 Low 電圧	$I_O = 5\text{mA}$			0.5	V
I_{OH}	出力論理 High リーク電流		-1		1	μA
モータ・ドライブ出力 (OUT1, OUT2, OUT3, OUT4)						
$R_{DS(ONH)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		450	550	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		700	850	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		780	950	$\text{m}\Omega$
$R_{DS(ONL)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = 1\text{A}$		450	550	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = 1\text{A}$		700	850	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = 1\text{A}$		780	950	$\text{m}\Omega$
電流レギュレーション (VREF)						
K_V	トランスインピーダンス・ゲイン	VREF = 3.3V	2.09	2.2	2.31	V/A
I_{VREF}	VREF リーク電流	VREF = 3.3V			8.25	μA

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
t_{OFF}	PWM オフ時間	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = ハイ・インピーダンス		24		
		TOFF = 330k Ω を GND との間に接続		32		
ΔI_{TRIP}	電流トリップ精度	$I_O = 1.5\text{A}$, 10%~20% 電流設定	-15		15	%
		$I_O = 1.5\text{A}$, 20%~67% 電流設定	-10		10	
		$I_O = 1.5\text{A}$, 68%~100% 電流設定	-5		5	
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.2	4.35	4.45	
$V_{\text{UVLO,HYS}}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		100		mV
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり		$V_{VM} + 2$		V
I_{OCP}	過電流保護	FET を流れる電流	2.5			A
t_{OCP}	過電流グリッチ除去時間			1.8		μs
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$
$T_{\text{HYS_OTSD}}$	過熱保護閾値ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$

6.6 代表的特性



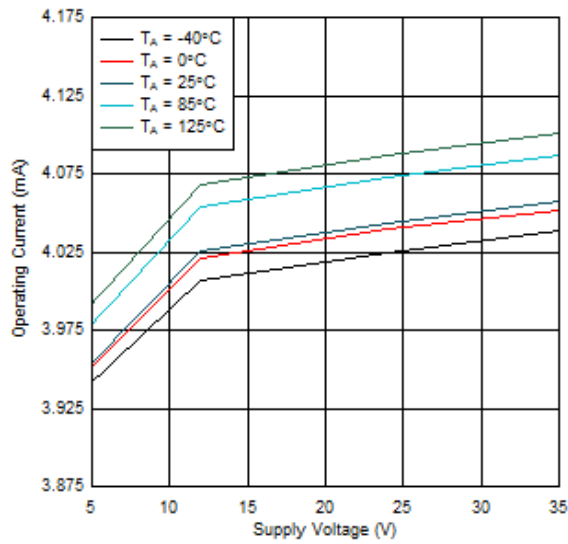


図 6-3. 動作電流と電源電圧

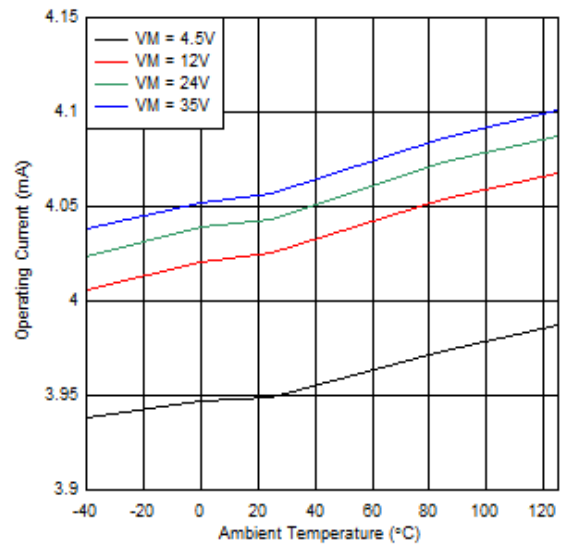


図 6-4. 動作電流と温度との関係

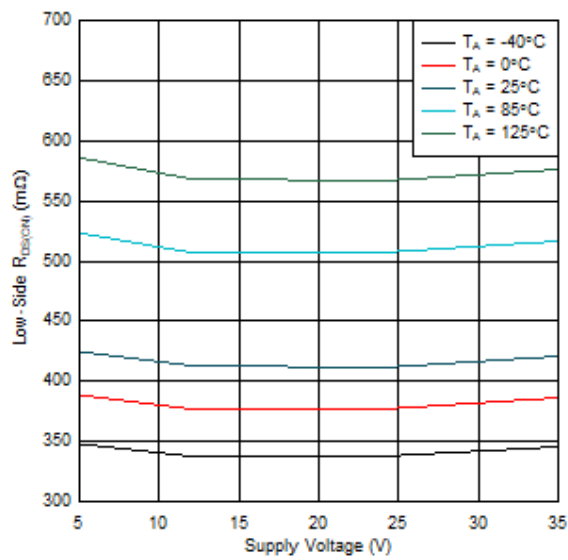


図 6-5. ローサイド $R_{DS(ON)}$ と電源電圧

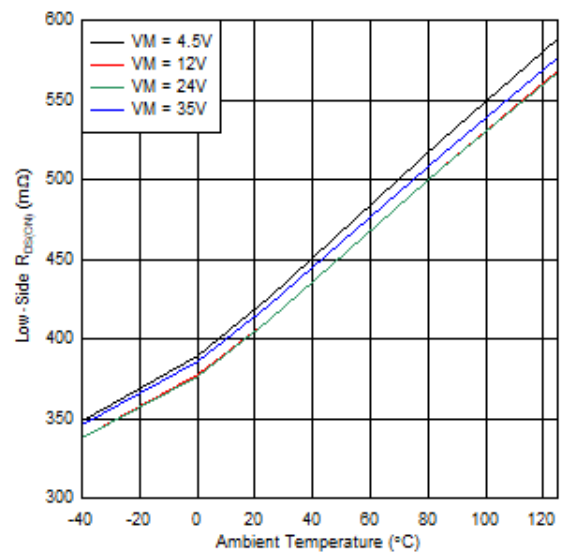


図 6-6. ローサイド $R_{DS(ON)}$ と温度との関係

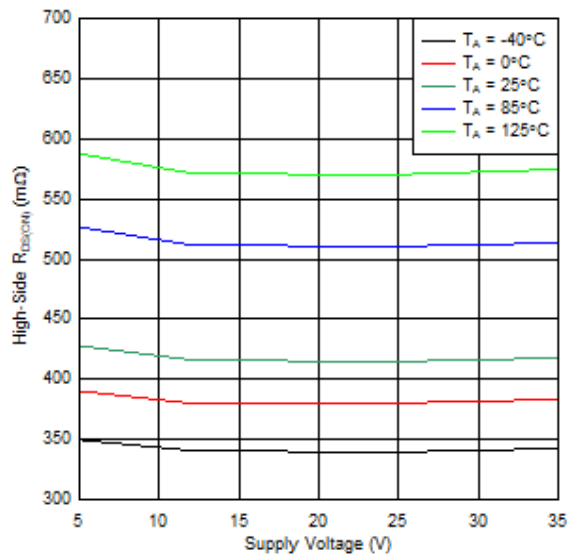


図 6-7. ハイサイド $R_{DS(ON)}$ と電源電圧

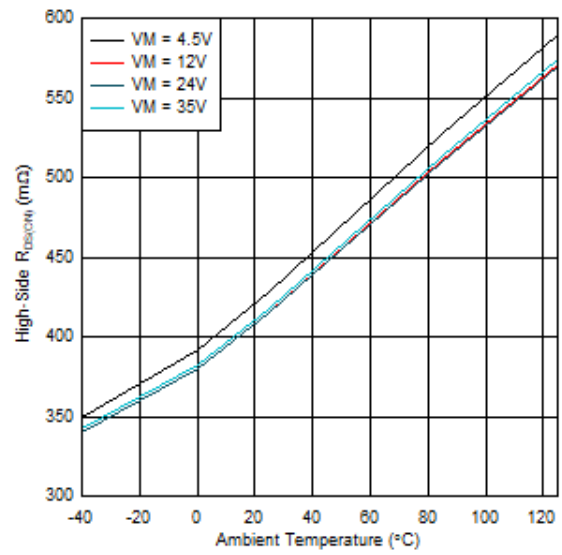


図 6-8. ハイサイド $R_{DS(ON)}$ と温度との関係

7 詳細説明

7.1 概要

DRV8932 は、産業用アプリケーション向けに 4 つの 1.5A ハーフ H ブリッジを内蔵しています。このデバイスは 4.5V～33V の広い電源電圧をサポートし、最大 4 つのソレノイド負荷を駆動できます。

シンプルな PWM インターフェイス・オプションにより、出力と簡単に接続できます。電流レギュレーションのトリップ・ポイントは、VREF ピン電圧の値によって制御されます。PWM オフ時間 t_{OFF} は 7、16、24、32 μ s に調整できます。また、低消費電力スリープ・モードを内蔵しているため、負荷を駆動していないときにシステムの電力を節約できます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (TSD) などです。フォルト条件は nFAULT ピンにより示されます。

7.2 機能ブロック図

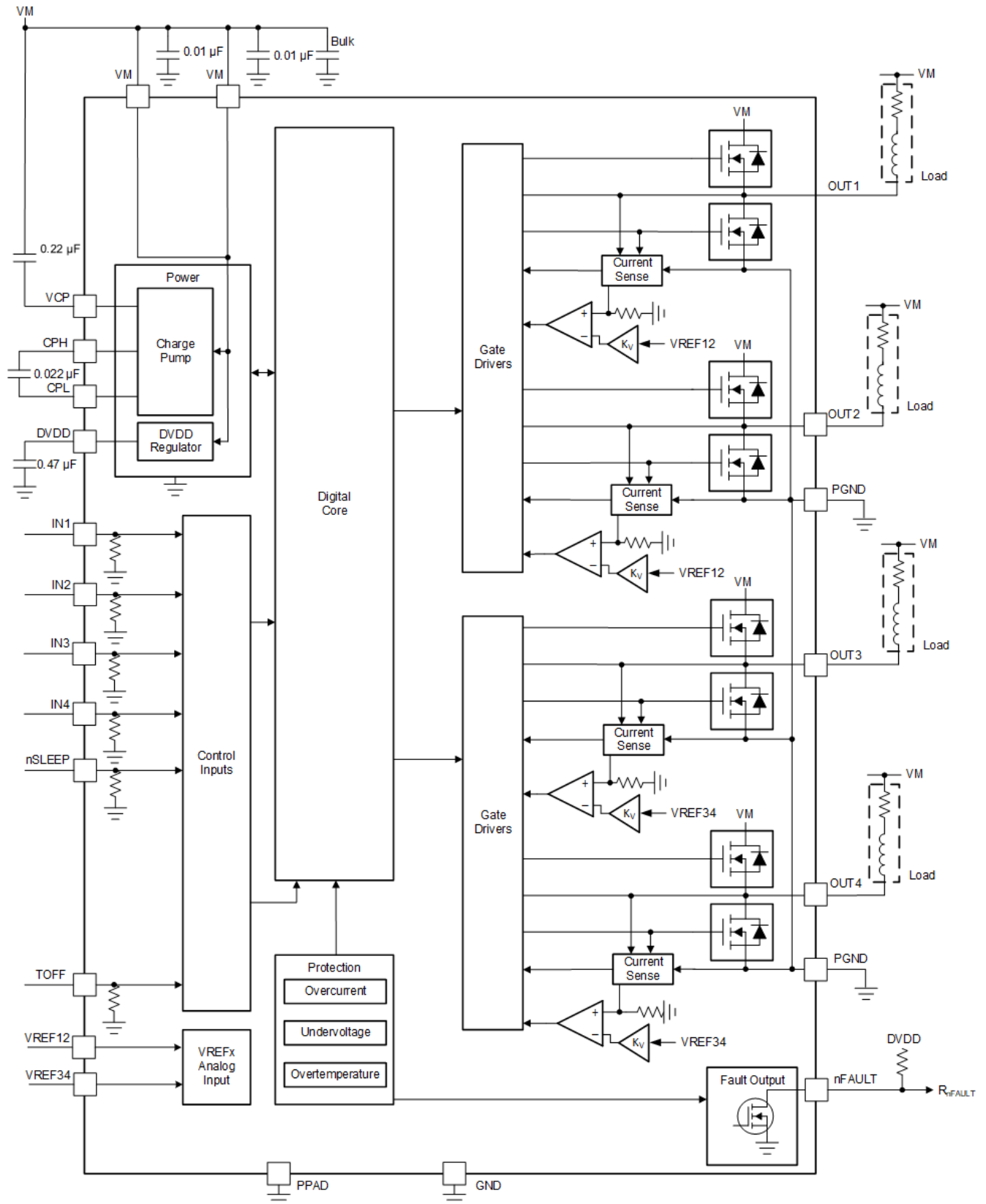


図 7-1. DRV8932 のブロック図

7.3 機能説明

以下の表に、ドライバの外付け部品の推奨値を示します。

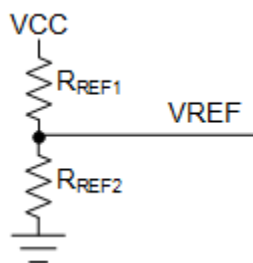


図 7-2. VREF ピンに接続された抵抗分器

VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	PGND	2 つの X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサ
R _{nFAULT}	VCC	nFAULT	4.7kΩ 以上の抵抗
R _{REF1}	VREF12	VCC	チョッピング電流を制限するための抵抗。R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREF12	GND	
R _{REF3}	VREF34	VCC	チョッピング電流を制限するための抵抗。R _{REF3} と R _{REF4} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF4} (オプション)	VREF34	GND	

VCC は DRV8932 のピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ブリッジの制御

IN_x 入力ピンは、OUT_x 出力の状態 (ハイまたはロー) を直接制御します。真理値表について、以下に説明します。

表 7-2. DRV8932 制御インターフェイス

nSLEEP	IN _x	OUT _x	説明
0	X	ハイ・インピーダンス	スリープ・モード、ハーフブリッジはディセーブル (ハイ・インピーダンス)
1	0	L	OUT _x ローサイド・オン
1	1	H	OUT _x ハイサイド・オン

7.3.2 電流レギュレーション

出力負荷が VM 電源に接続されている場合、負荷電流を ITRIP レベルに調整できます。OUT1 および OUT2 出力の ITRIP 電流レベルは VREF12 ピンによって制御され、OUT3 および OUT4 出力の ITRIP レベルは VREF34 ピンによって制御されます。ITRIP 電流 (I_{TRIP}) は、 $I_{TRIP} (A) = V_{REF} (V) / 2.2 (V/A)$ として計算できます。V_{REF} 電圧は、DVDD ピンからグラウンドに分圧抵抗を接続することでプログラミングできます。両方の V_{REF} ピンを接続して、4 つの出力チャンネルすべてに対して同じ ITRIP 電流をプログラムできます。

DRV8932 は、VM 電源に接続された 4 つの抵抗性負荷または誘導性負荷を同時に駆動できます。IN_x = 0 の場合、電流が増加して ITRIP レベルに達するまでローサイド FET がオンになります。負荷電流が ITRIP に等しいと、ローサイド

FET がオフになり、TOFF ピンによって決定された一定のオフ時間にわたってハイサイド FET がオンになります。オフ時間が経過すると、ローサイド FET が再度オンになり、サイクルが繰り返されます。このオフ時間設定は、実行中に変更できます。オフ時間設定を変更した後、10 μ s のデグリッチ時間後に新しいオフ時間が適用されます。

VM に接続された抵抗性負荷の場合、ITRIP が (VM / R_{LOAD}) より高いと、 $INx = 0$ のとき、負荷電流は VM / R_{LOAD} レベルで制御されます。VM に接続された誘導性負荷の場合、暴走や過電流保護のトリガを防止するために、電流がサイクルごとに十分に減衰することを保証する必要があります。さまざまなシナリオを以下に示します。

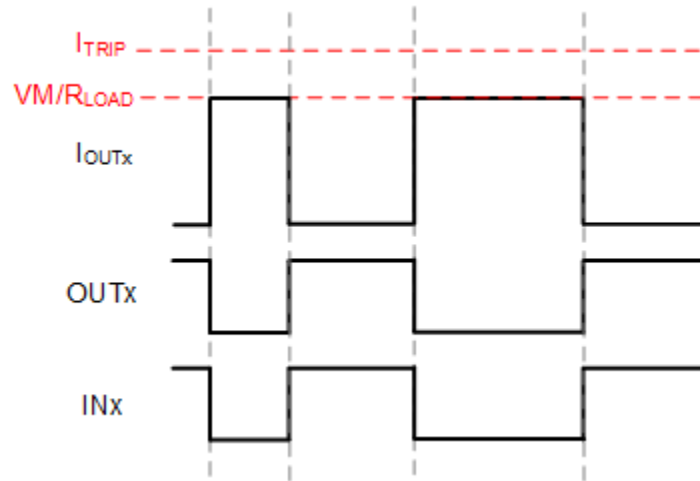


図 7-3. VM に接続された抵抗性負荷、サイクル単位の制御、 I_{TRIP} は VM/R_{LOAD} より高くなる

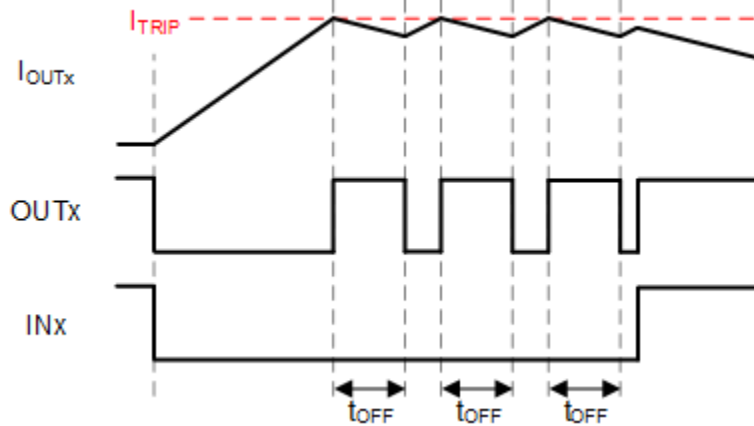


図 7-4. VM に接続された誘導性負荷、固定オフ時間電流のチョッピング

このシナリオでは、 $INx = 0$ の場合、 $IOUtx$ が $ITRIP$ を超えると、 t_{OFF} 期間にわたってハイサイド MOSFET がオンになります。 t_{OFF} が経過すると、再度 $IOUtx$ が $ITRIP$ を超えるまでローサイド MOSFET が再度オンになります。固定オフ時間モードにより、外部コントローラを使用せずに、シンプルな電流チョッピング方式を実現できます。固定オフ時間モードは 100% デューティ・サイクル電流レギュレーションをサポートします。

負荷電流を制御するもう 1 つの方法は、サイクル単位の制御モードです。このモードでは、 INx 入力ピンの PWM パルス幅が制御されます。このため、外部コントローラによる電流チョッピング方式の追加制御が可能です。VM に接続されている負荷の場合、 $INx = 0$ のとき、負荷を流れる電流は上昇し、 $INx = 1$ のとき、負荷を流れる電流は減衰します。 INx パルスのデューティ・サイクルを適切に選択することで、電流を目標値に調整できます。このようなさまざまなシナリオを以下に示します。

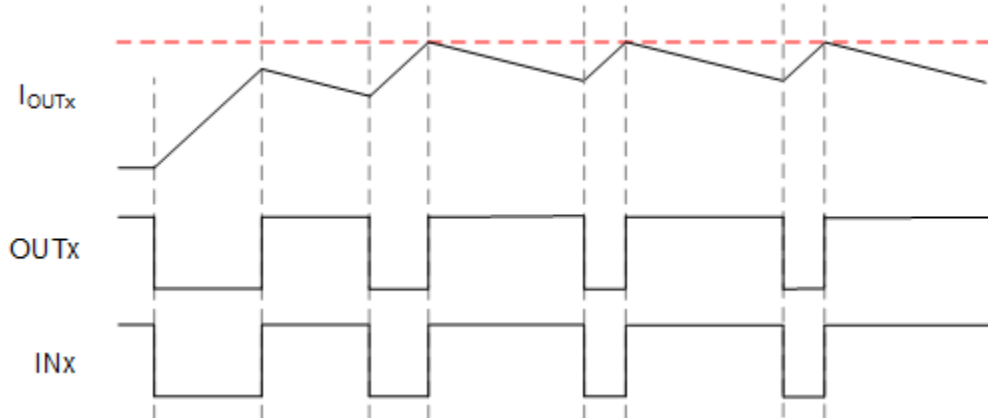


図 7-5. VM に接続された誘導性負荷、サイクル単位の制御

このシナリオでは、電流が暴走しないように、INx ピンのデューティ・サイクルを調整する必要があります。

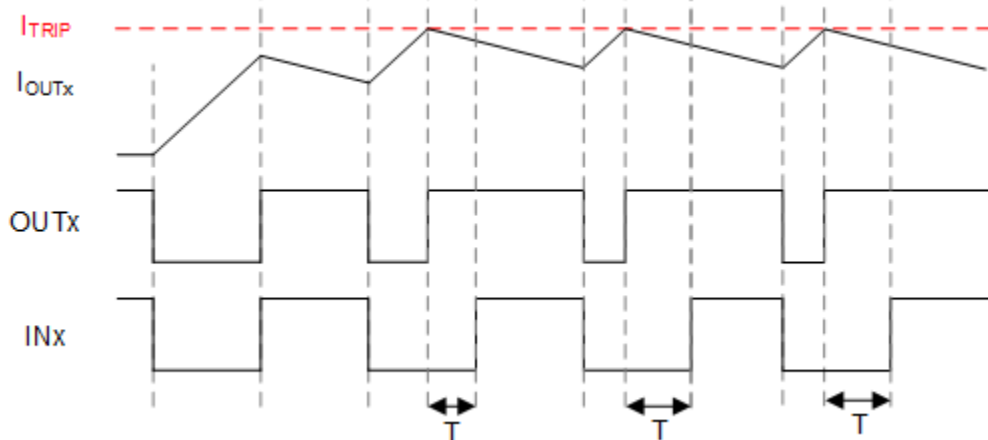


図 7-6. VM に接続された誘導性負荷、サイクル単位の制御、T は DRV8932 の T_{OFF} よりも小さい必要があります。

同様に、グラウンドに接続された負荷を流れる電流は、INx ピンのパルス幅を制御することで制御できます。INx = 1 は電流を上昇させ、INx = 0 は電流を減衰させます。このような 2 つのシナリオを以下に示します。

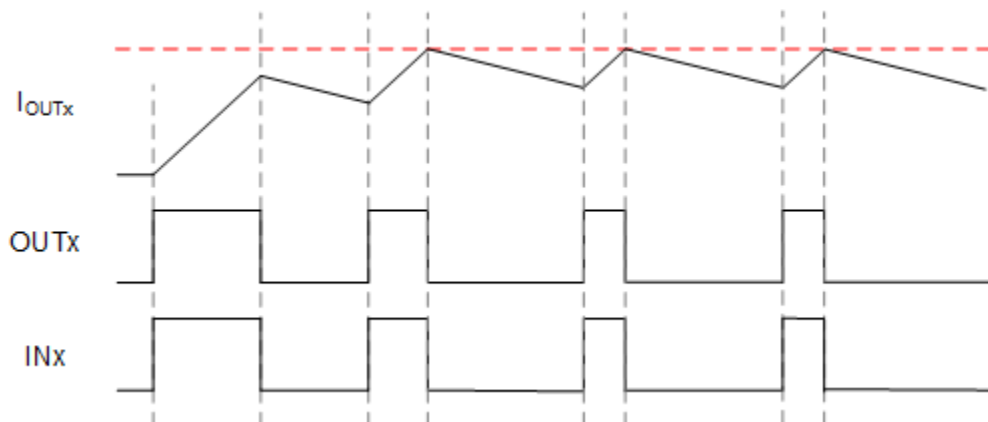


図 7-7. グラウンドに接続された誘導性負荷、サイクル単位の制御

このシナリオでは、電流が暴走しないように、INx ピンのデューティ・サイクルを調整する必要があります。

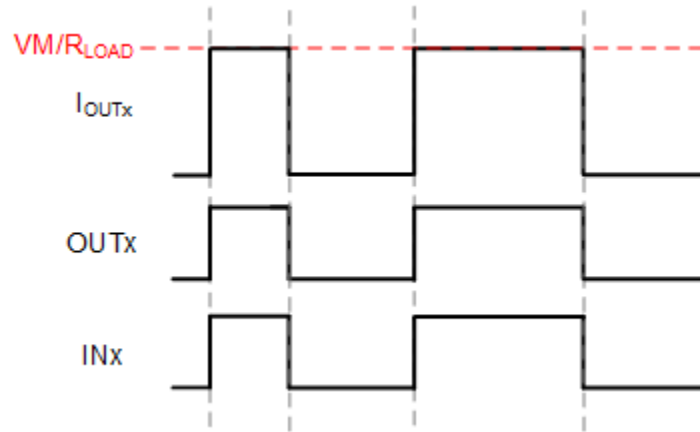


図 7-8. グラウンドに接続された抵抗性負荷、サイクル単位の制御

表 7-3. オフ時間の設定

TOFF	オフ時間 t_{OFF}
0	7 μ s
1	16 μ s
ハイ・インピーダンス	24 μ s
330k Ω を GND との間に接続	32 μ s

7.3.3 減衰モード

7.3.3.1 ブランキング時間

ローサイド FET で電流が出力されると、電流センス・コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流センス回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 $1\mu\text{s}$ です。

7.3.4 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

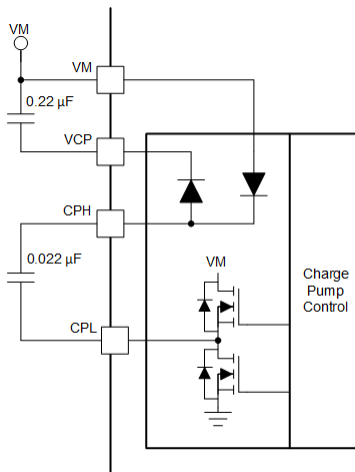


図 7-9. チャージ・ポンプのブロック図

7.3.5 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2mA を超えると、出力電圧は大きく低下します。

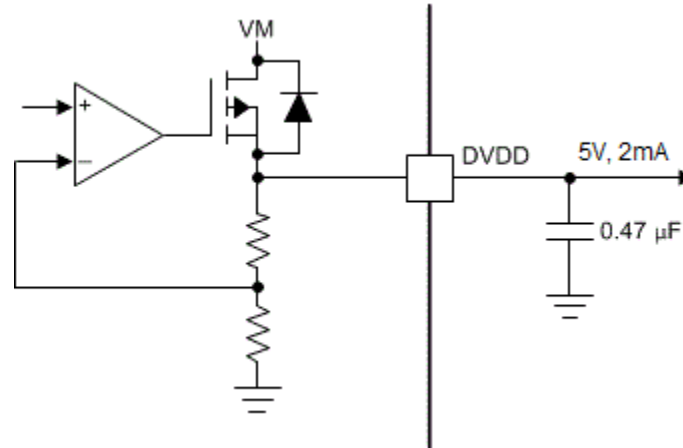


図 7-10. リニア電圧レギュレータのブロック図

TOFF を永続的に High に接続する必要がある場合は、外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.6 論理およびクワッドレベル・ピン構造図

図 7-11 に、ロジック・レベル・ピン IN1、IN2、IN3、IN4 および nSLEEP の入力構造を示します。

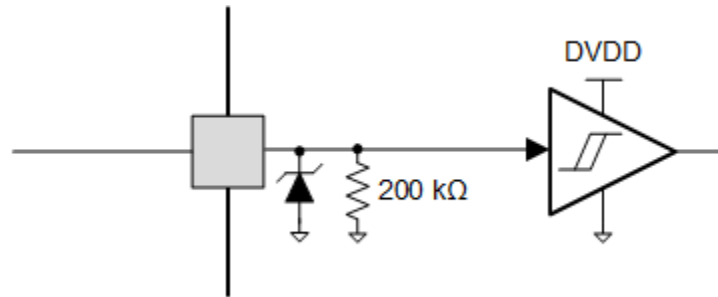


図 7-11. 論理レベル入力ピン構造図

クワッド・レベルのロジック・ピン TOFF の構造は次のとおりです (図 7-12 を参照)。

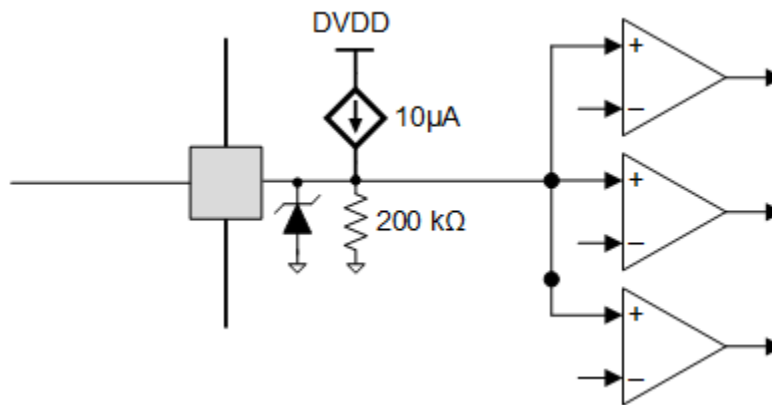


図 7-12. クワッドレベル入力ピン構造図

7.3.6.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

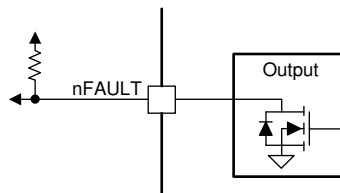


図 7-13. nFAULT ピン

7.3.7 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.7.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、OCP が検出された H ブリッジがディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。OCP 条件が解消すると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.7.4 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後に、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.7.5 フォルト条件のまとめ

表 7-4. フォルト条件のまとめ

フォルト	条件	異常通知	ハーフブリッジ	チャージ・ポンプ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	nFAULT	すべてディセーブル	ディセーブル	リセット ($V_{DVDD} < 3.9V$)	自動: $VM > V_{UVLO}$
CP 低電圧検出 (CPUV)	$VCP < V_{CPUV}$	nFAULT	すべてディセーブル	動作	動作	$VCP > V_{CPUV}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	OCP 付きハーフブリッジがディセーブル	動作	動作	ラッチ
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}$	nFAULT	すべてディセーブル	ディセーブル	動作	ラッチ

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち上がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 動作モード (nSLEEP = 1)

nSLEEP ピンが High かつ $VM > UVLO$ の場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.3 nSLEEP リセット・パルス

フォルトは短い nSLEEP パルスでクリアできます。このパルス幅は 20 μ s より長く 40 μ s より短い必要があります。nSLEEP が 40 μ s より長く 120 μ s より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (タイミング図を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

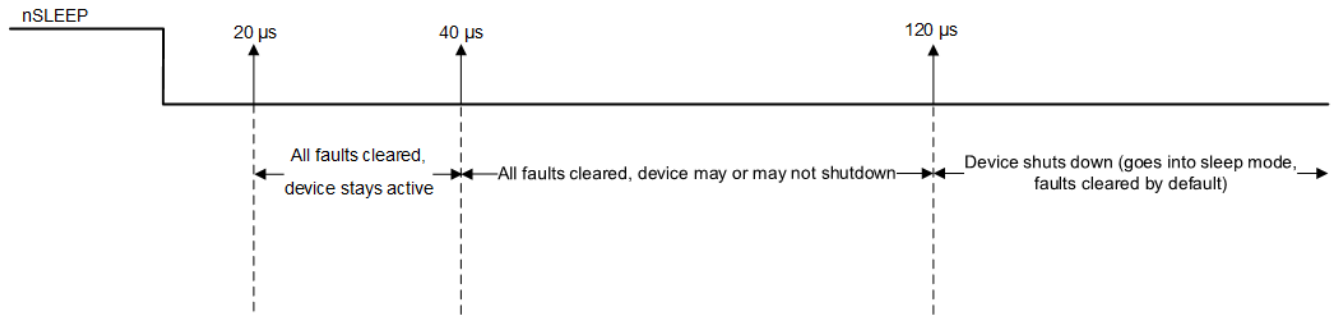


図 7-14. nSLEEP リセット・パルス

7.4.4 機能モードのまとめ

表 7-5 に、機能モードのまとめを示します。

表 7-5. 機能モードのまとめ

条件		設定	ハーフブリッジ	DVDD レギュレータ	チャージ・ポンプ	ロジック
スリープ・モード	$4.5V < VM < 33V$	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	$4.5V < VM < 33V$	nSLEEP ピン = 1	動作	動作	動作	動作

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8932 は、保護機能を備えた 4 チャンネル・ハーフブリッジ・ドライバです。このデバイスを使用して、1 つのステッピング・モータ、複数のブラシ付き DC モータ、または最大 4 つのソレノイド負荷を駆動できます。

8.2 代表的なアプリケーション

次の設計手順で DRV8932 を構成できます。このアプリケーションでは、本デバイスを使用して 4 つのソレノイド負荷を駆動します。

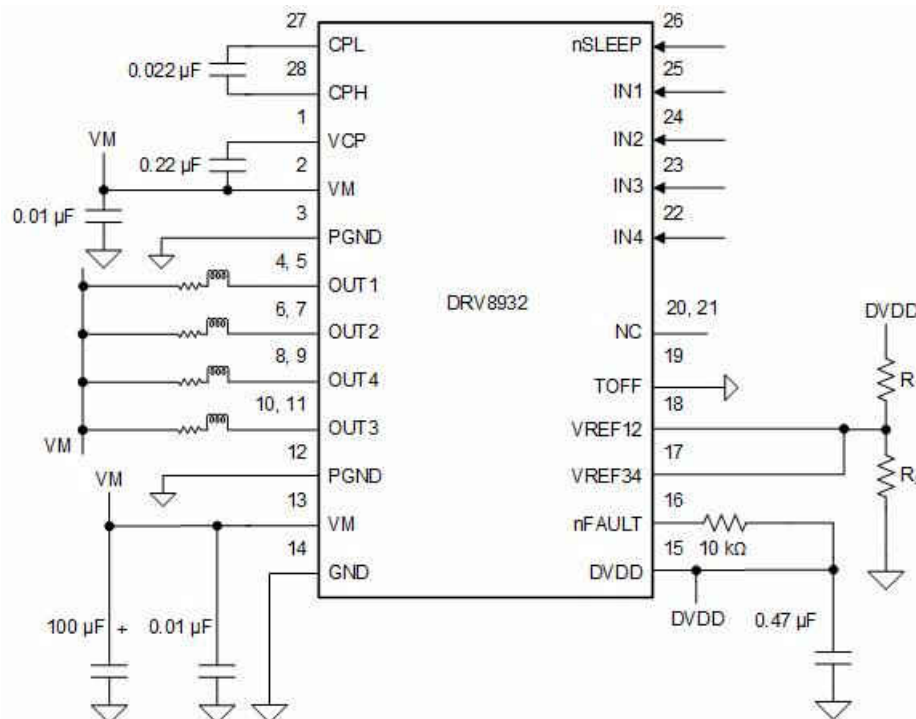


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 に、代表的なアプリケーションの設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧の範囲	VM	19~29V
チャンネルあたりの電流	I_{OUT}	600mA
PWM Frequency	f_{PWM}	40kHz

8.2.2 詳細な設計手順

8.2.2.1 電流レギュレーション

出力負荷が VM 電源に接続されている場合、負荷電流を ITRIP レベルに調整できます。OUT1 および OUT2 出力の ITRIP 電流レベルは VREF12 ピンによって制御され、OUT3 および OUT4 出力の ITRIP レベルは VREF34 ピンによって制御されます。ITRIP 電流 (ITRIP) は、 $ITRIP (A) = VREF (V) / 2.2 (V/A)$ として計算できます。VREF 電圧は、DVDD ピンからグラウンドに分圧抵抗を接続することでプログラミングできます。両方の VREF ピンを接続して、4 つの出力チャンネルすべてに対して同じ ITRIP 電流をプログラムできます。

8.2.2.2 消費電力および熱に関する計算

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力は、おもに 3 つの要素から成ります。それらは、パワー MOSFET $R_{DS(ON)}$ (導通) 損失、パワー MOSFET スイッチング損失、および電源静止電流損失です。それ以外の要素が電力損失の増加に影響することもあります。この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q$$

VM に接続される負荷の場合、すべての出力に同じ負荷電流があると仮定すると、合計導通損失は次のように表すことができます。

$$P_{COND} = 4 \times (I_{OUT})^2 \times R_{DS(ONL)}$$

DRV8932 のハイサイド MOSFET とローサイド MOSFET はオン抵抗が同じであるため、導通損失は入力 PWM のデューティ・サイクルや PWM オフ時間の長さには依存しません。 $R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(on)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。

$$P_{COND} = 4 \times (0.6A)^2 \times 0.45\Omega = 0.648W$$

P_{SW} は、公称電源電圧 (VM)、安定化出力電流 (I_{OUT})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

4 つの出力すべてが同時にスイッチングされていると仮定します。

$$P_{SW} = 4 \times (P_{SW_RISE} + P_{SW_FALL})$$

$$P_{SW_RISE} = 0.5 \times VM \times I_{OUT} \times t_{RISE} \times f_{PWM}$$

$$P_{SW_FALL} = 0.5 \times VM \times I_{OUT} \times t_{FALL} \times f_{PWM}$$

$$P_{SW_RISE} = 0.5 \times 24V \times 0.6A \times 100ns \times 40kHz = 0.0288W$$

$$P_{SW_FALL} = 0.5 \times 24V \times 0.6A \times 100ns \times 40kHz = 0.0288W$$

$$P_{SW} = 4 \times (0.0288W + 0.0288W) = 0.2304W$$

P_Q は、公称電源電圧 (VM) と I_{VM} 電流の仕様から計算できます。

$$P_Q = VM \times I_{VM} = 24V \times 5mA = 0.12W$$

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 0.648W + 0.2304W + 0.12W = 0.9984W$$

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 33°C/W、VQFN パッケージの場合 43°C/W です。

25°C の周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^{\circ}\text{C} + (0.9984\text{W} \times 33^{\circ}\text{C/W}) = 57.95^{\circ}\text{C}$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^{\circ}\text{C} + (0.9984\text{W} \times 43^{\circ}\text{C/W}) = 67.93^{\circ}\text{C}$$

デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。

8.2.2.3 アプリケーション曲線

CH1 = IN1 (3V/div)、CH3 = OUT1 (24V/div)、CH7 = IOOUT1 (500mA/div)

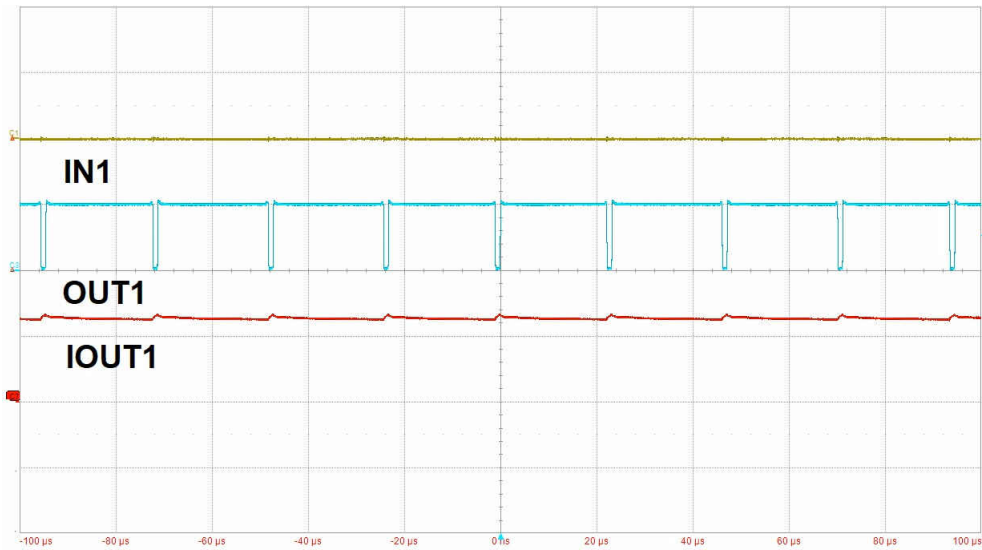


図 8-2. 電流レギュレーション、VM 接続負荷使用

CH1 = IN1 (3V/div)、CH3 = OUT1 (24V/div)

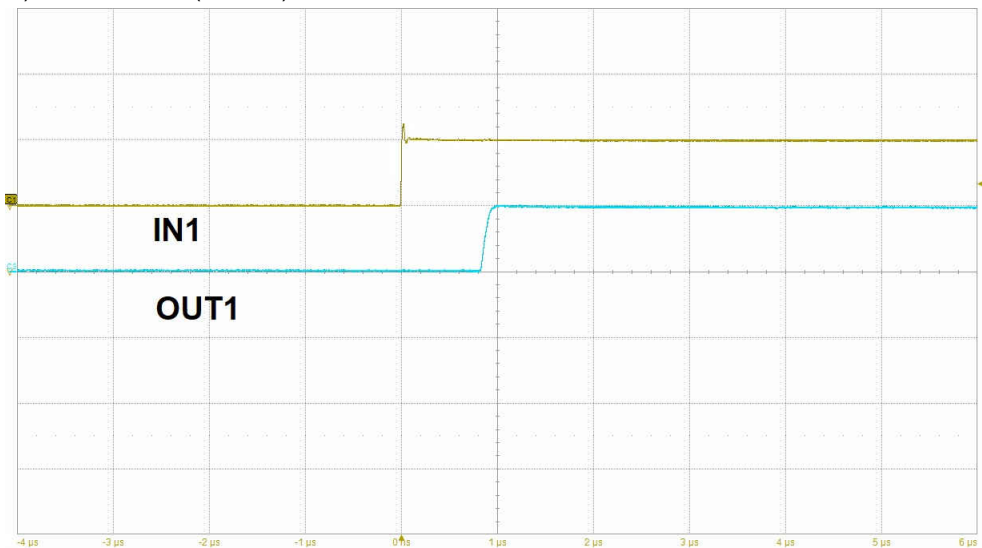


図 8-3. 入力から出力までの伝搬遅延

9 電源に関する推奨事項

本デバイスは、4.5V～33V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01 μ F セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムとの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムとの間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンブによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマーヅンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

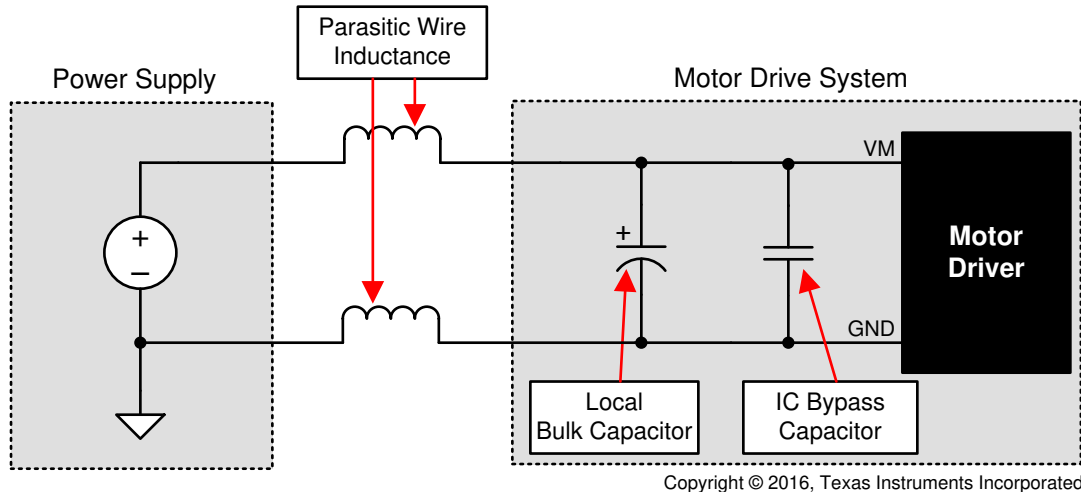


図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

推奨する VM 定格で $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグランド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 電圧定格のバルク・コンデンサを使用して、VM ピンをグランドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 電圧定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グランドに接続する必要があります。

10.1.1 レイアウト例

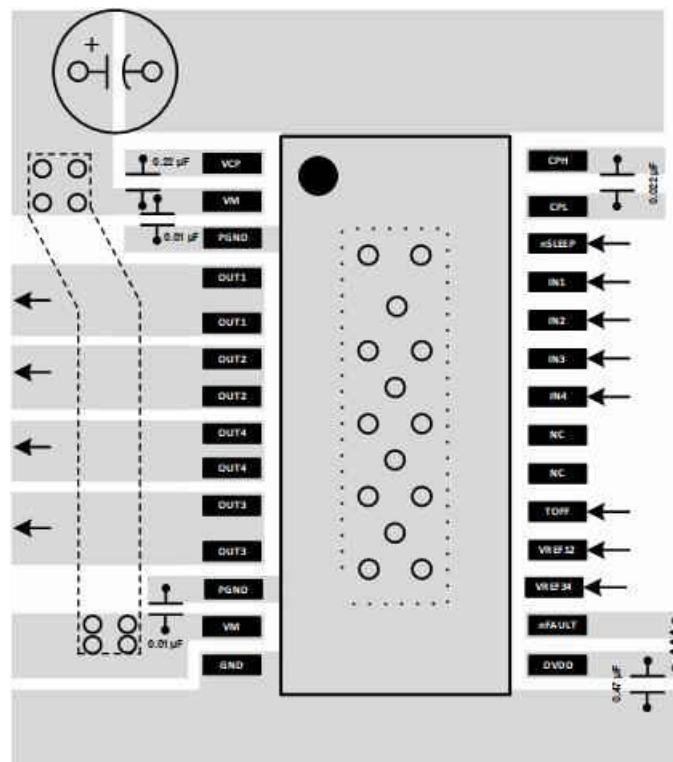


図 10-1. HTSSOP のレイアウト例

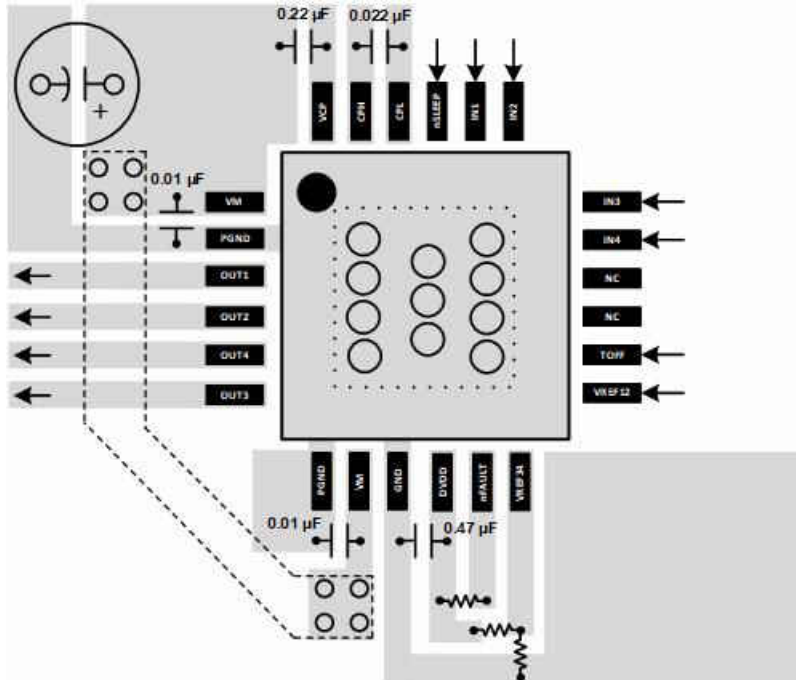


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『DRV8xxx によるユニポーラ・ステッパ・モーターの駆動方法』アプリケーション・レポート](#)
 テキサス・インスツルメンツ、[『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート](#)
- テキサス・インスツルメンツ、[『PowerPAD™ Made Easy』アプリケーション・レポート \(英語\)](#)
- テキサス・インスツルメンツ、[『モータ・ドライバ消費電力の計算』アプリケーション・レポート \(英語\)](#)

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 コミュニティ・リソース

11.4 商標

すべての商標は、それぞれの所有者に帰属します。

12 メカニカル、パッケージ、および注文情報

以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版については、左側のナビゲーションをご覧ください。

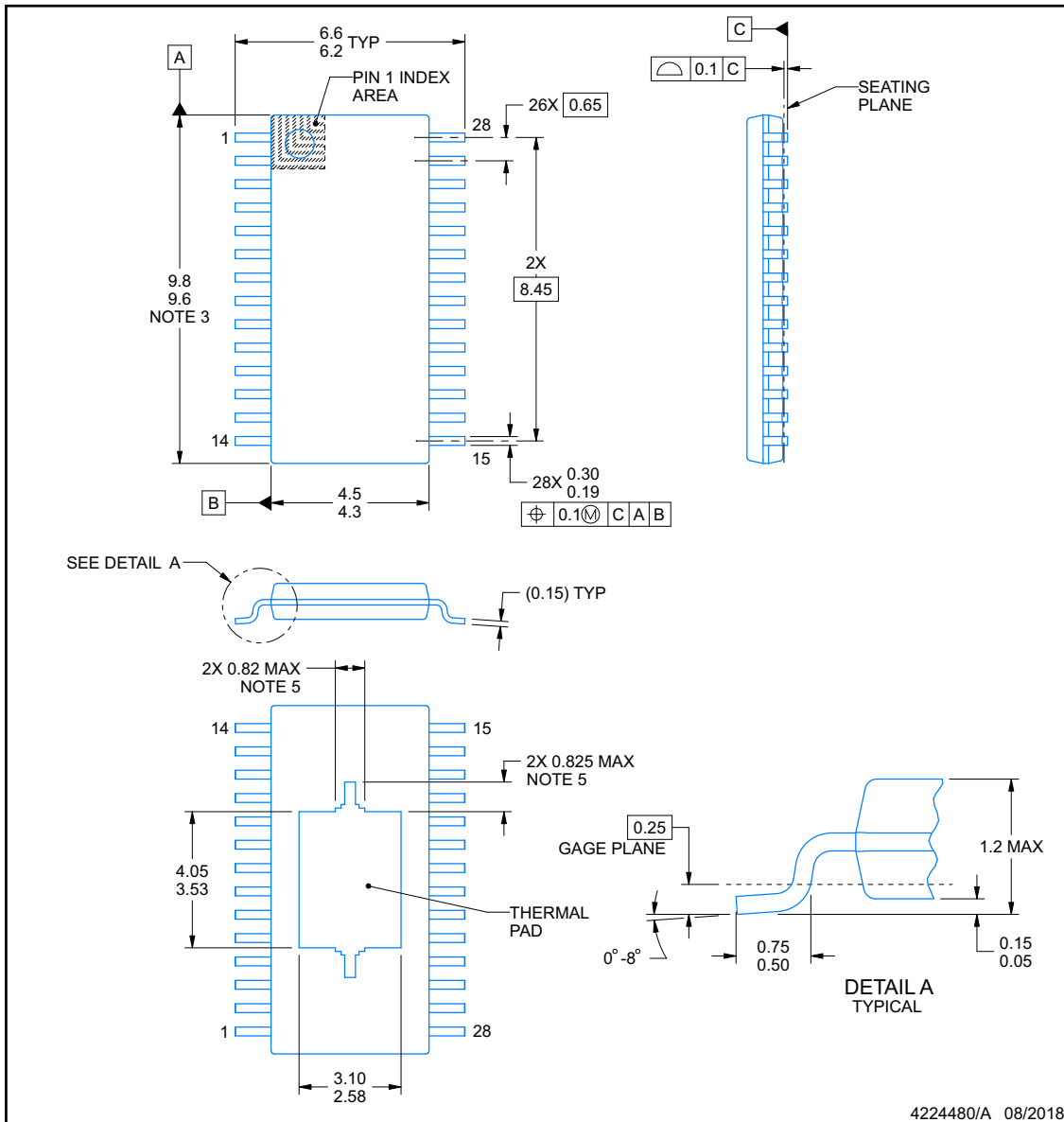


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

NOTES:

PowerPAD is a trademark of Texas Instruments.

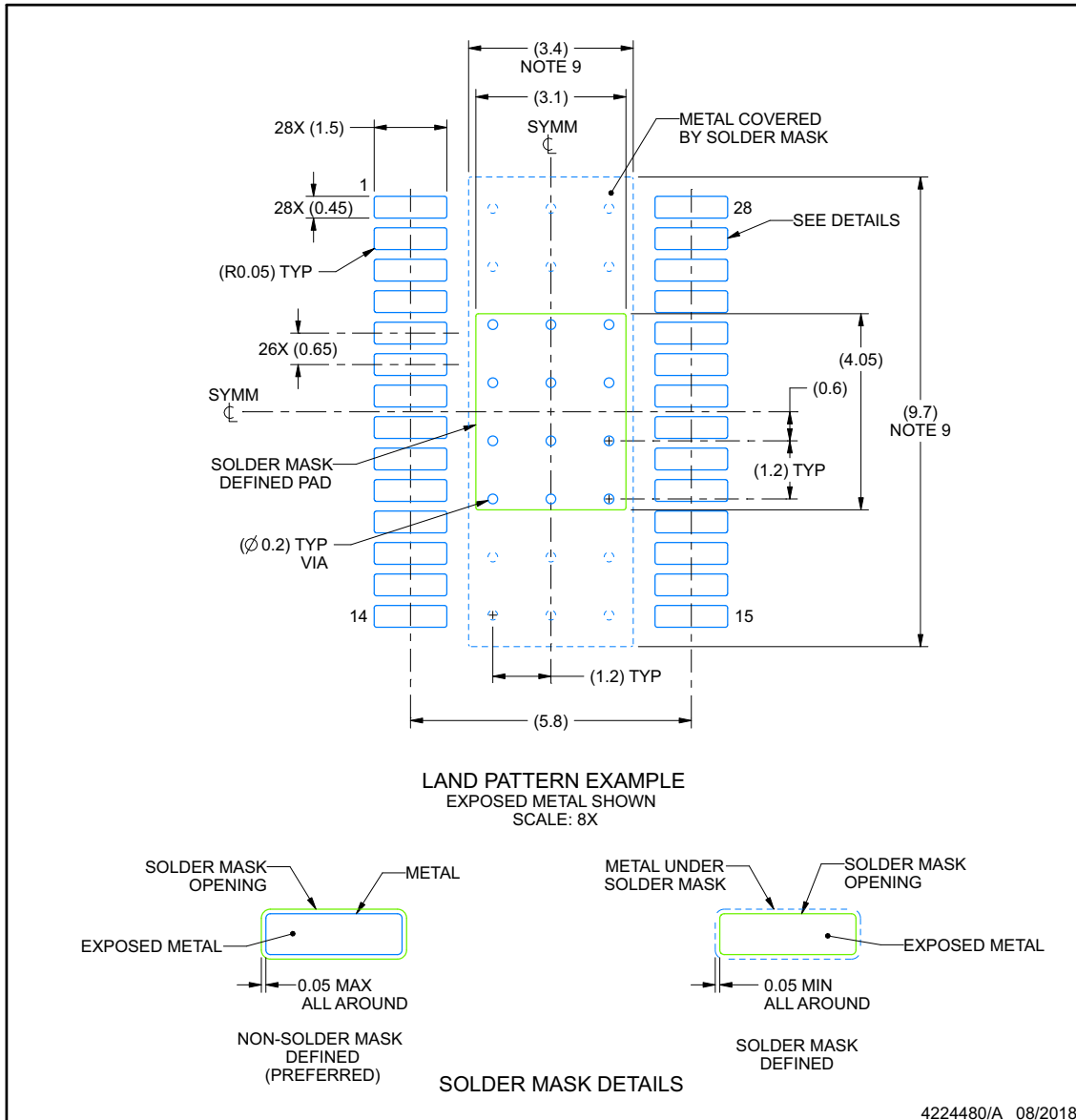
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

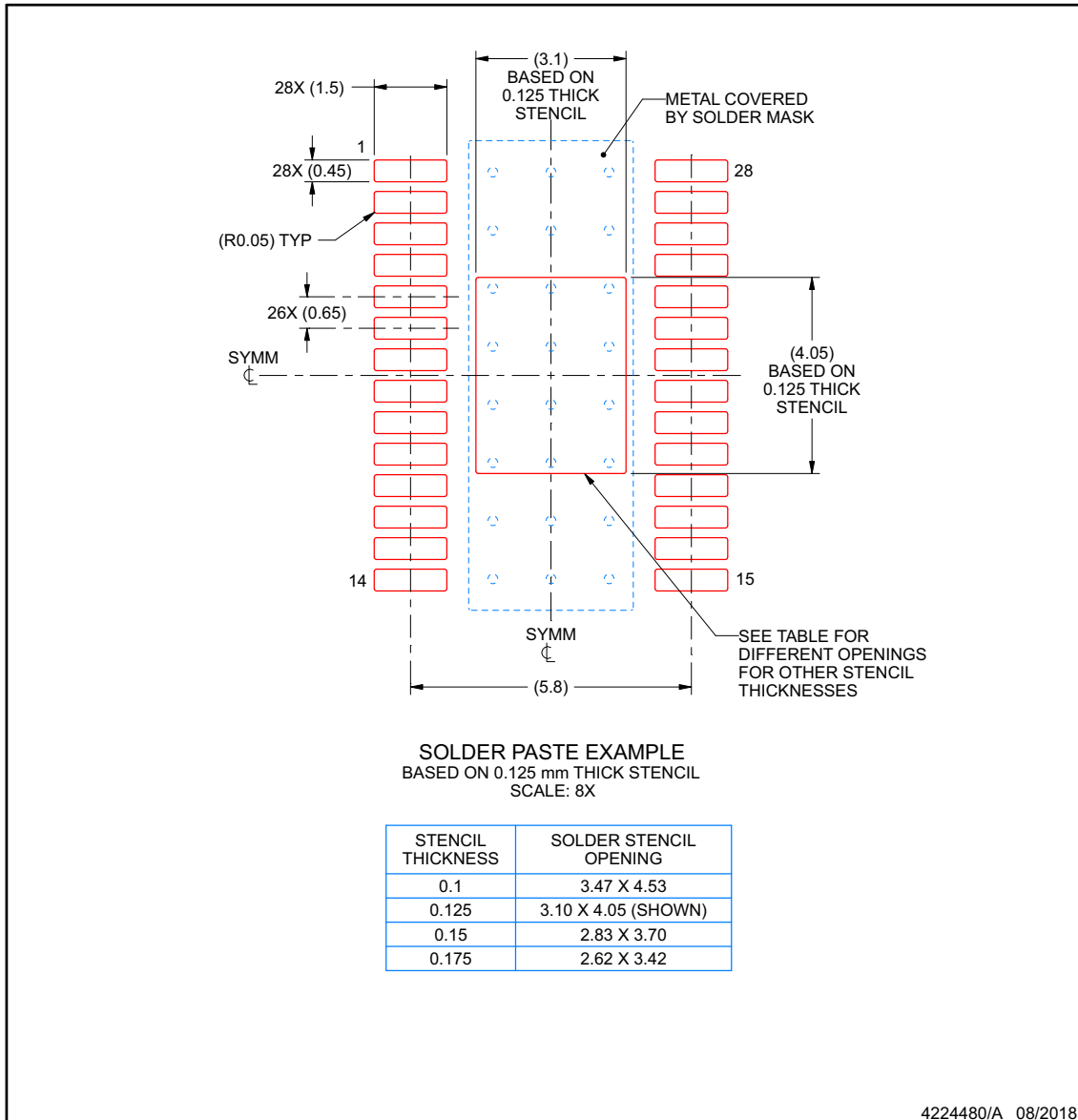
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height



SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8932PPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8932P	
DRV8932PRGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8932P	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8932PPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8932PRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8932PPWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0
DRV8932PRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

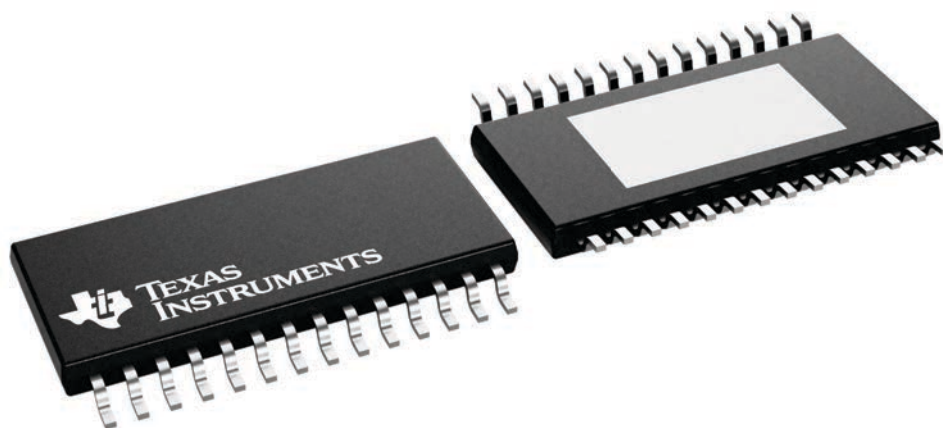
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

RGE 24

GENERIC PACKAGE VIEW

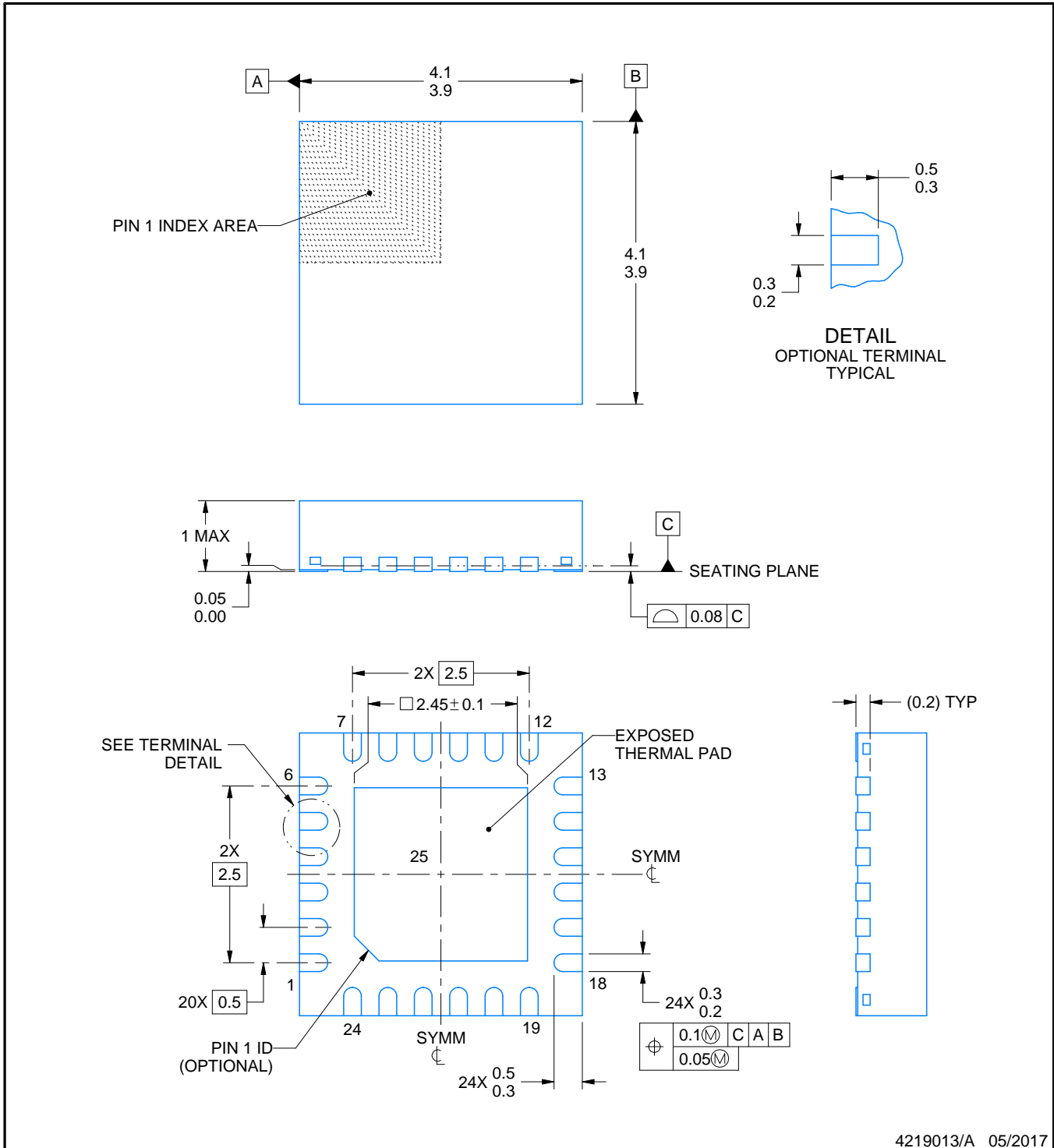
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219013/A 05/2017

NOTES:

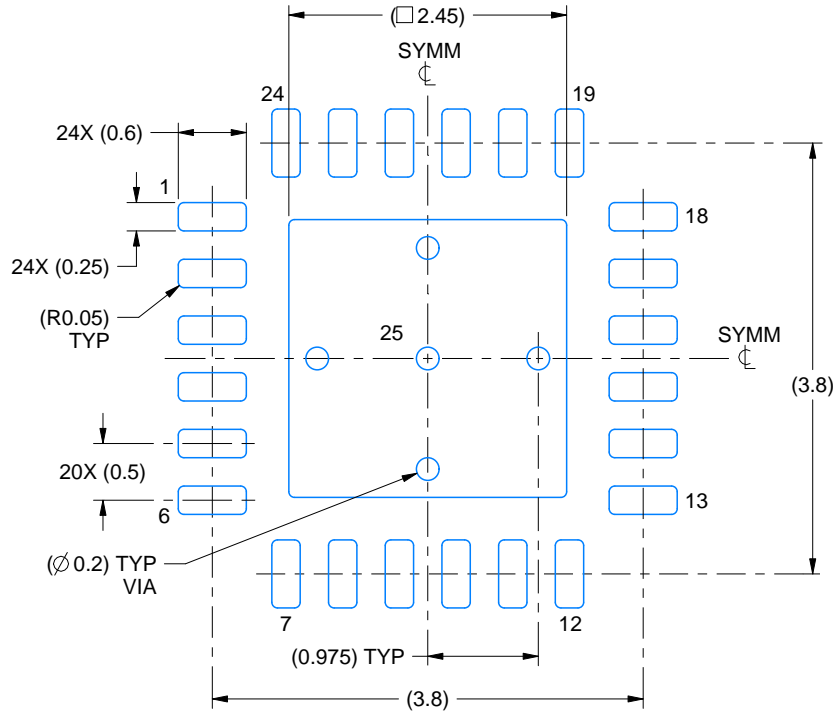
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

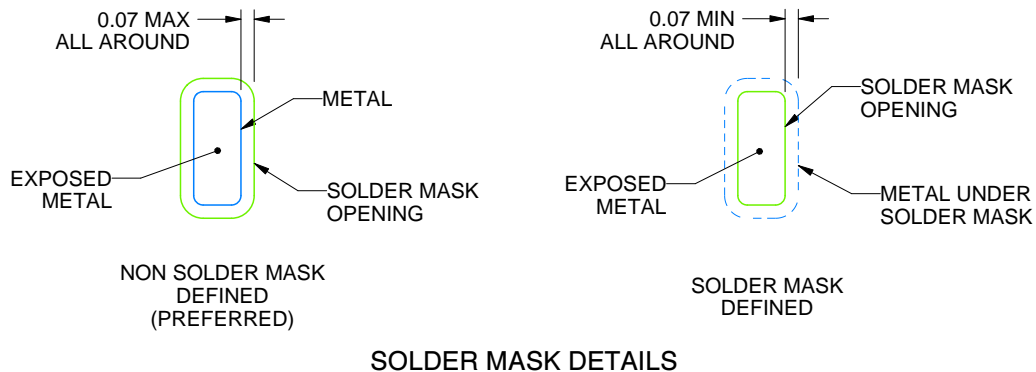
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

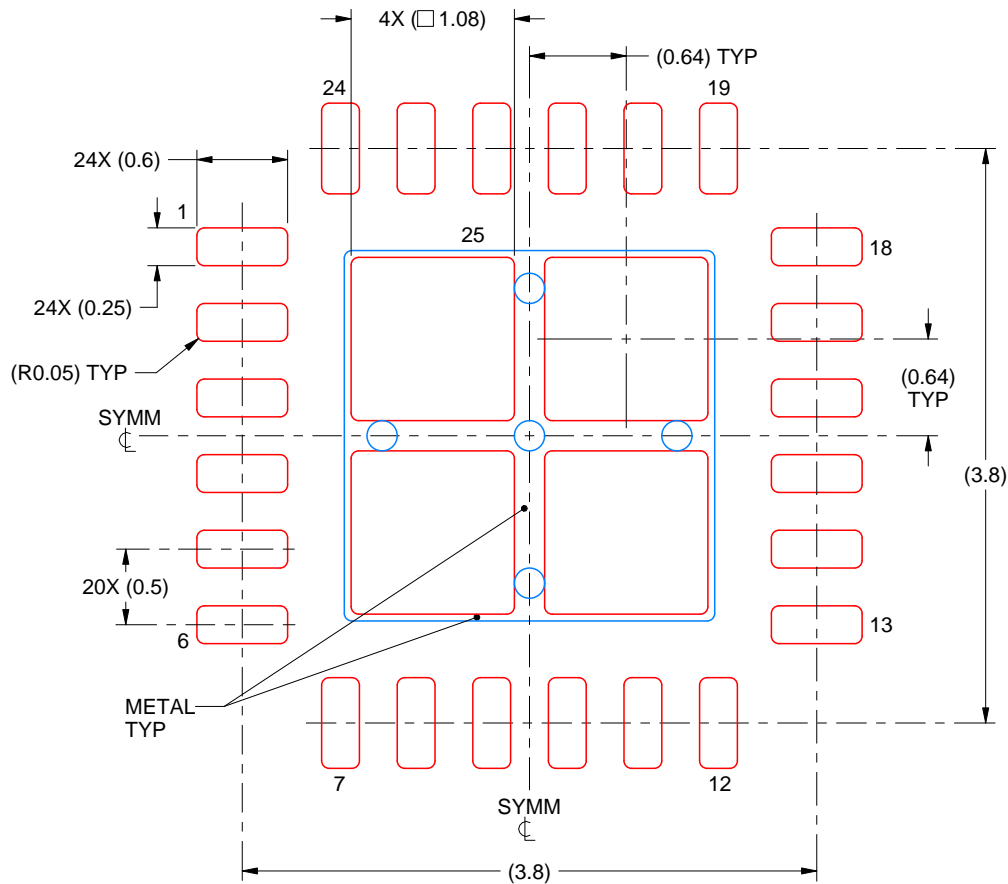
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
 78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated