

TS3USB221A シングルイネーブル付きの ESD 保護 High-Speed USB 2.0 (480Mbps) 1:2 マルチプレクサ/デマルチプレクサスイッチ

1 特長

- 2.5V～3.3V の V_{CC} で動作
- V_{IO} は最大 5.5V の信号に対応
- 1.8V 互換の制御ピン入力
- \overline{OE} がディセーブルのとき低消費電力モード (1 μ A)
- $R_{ON} = 6\Omega$ (最大値)
- $\Delta R_{ON} = 0.2\Omega$ (標準値)
- $C_{IO(ON)} = 6\text{pf}$ (標準値)
- 低消費電力 (最大 30 μ A)
- 高帯域幅: 900MHz (標準値)
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JEDEC JS-001 に準拠した ESD 性能テスト済み
 - 人体モデルで 7000V
 - 荷電デバイスモデルで 1000V (JEDEC JS-002)
- I/O から GND への ESD 性能
 - 人体モデルで 12kV

2 アプリケーション

- USB 1.0、1.1、2.0 の信号ルーティング
- 携帯電話 / スマートフォン
- カメラ
- ノートブック PC
- USB I/O の拡張

3 概要

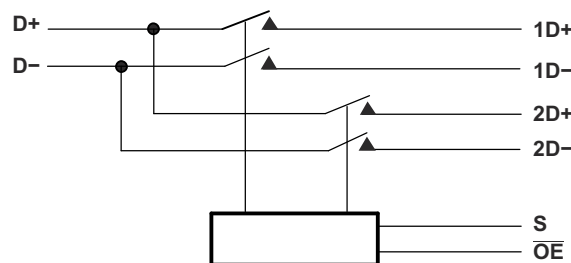
TS3USB221A デバイスは、USB I/O 数が限られたハブまたはコントローラを備えたハンドセットおよび民生アプリケーション (例: 携帯電話、デジタルカメラ、ノート PC) での High-Speed USB 2.0 信号のスイッチングに特化して設計された高帯域幅スイッチです。このスイッチは帯域幅が広く (900MHz)、エッジと位相の歪みを最小限に抑えて信号を通過させることができます。このデバイスは、USB ホストデバイスからの差動出力を、対応する 2 つの出力のどちらかに多重化します。このスイッチは双方向であり、出力での高速信号の減衰は全くないか、あってもわずかです。このデバイスには低消費電力モードもあり、バッテリーや電力バジェットに制限がある携帯型アプリケーションで消費電力を 1 μ A に低減できます。このデバイスは、ビット間のスキューが小さく、チャンネル間のノイズ分離が大きくなるよう設計されています。また、High-Speed USB 2.0 (480Mbps) などの各種規格に適合しています。

TS3USB221A デバイスはすべてのピンに ESD 保護セルが組み込まれており、超小型の μ QFN パッケージ (2mm \times 1.5mm) で供給され、-40 $^{\circ}$ C～85 $^{\circ}$ C の自由気流温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TS3USB221A	RSE (UQFN, 10)	2mm \times 1.5mm

- (1) 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- (2) パッケージサイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。



EN はスイッチに印加される内部イネーブル信号

概略回路図



Table of Contents

1 特長	1	7.1 Overview.....	12
2 アプリケーション	1	7.2 Functional Block Diagram.....	12
3 概要	1	7.3 Feature Description.....	13
4 Pin Configuration and Functions	3	7.4 Device Functional Modes.....	13
5 Specifications	4	8 Application and Implementation	14
5.1 Absolute Maximum Ratings.....	4	8.1 Application Information.....	14
5.2 ESD Ratings.....	4	8.2 Typical Application.....	14
5.3 Recommended Operating Conditions.....	4	8.3 Power Supply Recommendations.....	15
5.4 Thermal Information.....	5	8.4 Layout.....	16
5.5 Electrical Characteristics.....	5	9 Device and Documentation Support	18
5.6 Dynamic Electrical Characteristics, $V_{CC} = 3.3V$ $\pm 10\%$	6	9.1 ドキュメントの更新通知を受け取る方法.....	18
5.7 Dynamic Electrical Characteristics, $V_{CC} = 2.5V$ $\pm 10\%$	6	9.2 サポート・リソース.....	18
5.8 Switching Characteristics, $V_{CC} = 3.3V \pm 10\%$	6	9.3 Trademarks.....	18
5.9 Switching Characteristics, $V_{CC} = 2.5V \pm 10\%$	6	9.4 静電気放電に関する注意事項.....	18
5.10 Typical Characteristics.....	7	9.5 用語集.....	18
6 Parameter Measurement Information	8	10 Revision History	18
7 Detailed Description	12	11 Mechanical, Packaging, and Orderable Information	19

4 Pin Configuration and Functions

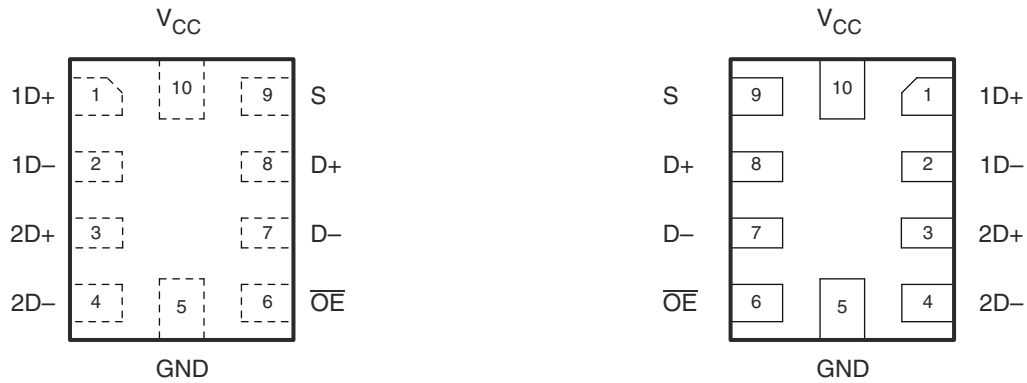


図 4-1. RSE Package, 10-Pin μ QFN (Top View)

図 4-2. RSE Package, 10-Pin μ QFN (Bottom View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1D+	1	I/O	USB port 1
1D-	2	I/O	
2D+	3	I/O	USB port 2
2D-	4	I/O	
GND	5	—	Ground
OE	6	I	Bus-switch enable
D+	8	I/O	Common USB port
D-	7	I/O	
S	9	I	Select input
V _{CC}	10	—	Supply voltage

(1) I = input, O = output

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

	MIN	MAX	UNIT
Supply voltage, V_{CC}	-0.5	4.6	V
Control input voltage, V_S , $V_{\overline{OE}}$ ^{(2) (3)}	-0.5	7	V
Switch I/O voltage, $V_{I/O}$ ^{(2) (3) (4)}	-0.5	7	V
Control input clamp current, I_{IK}	$V_{IN} < 0$	-50	mA
I/O port clamp current, $I_{I/OK}$	$V_{I/O} < 0$	-50	mA
ON-state switch current, $I_{I/O}$ ⁽⁵⁾		±120	mA
Continuous current through V_{CC} or GND		±100	mA
T_{stg} Storage temperature range	-65	150	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) All voltages are with respect to ground, unless otherwise specified.
- (3) The input and output voltage ratings may be exceeded if the input and output clamp-current ratings are observed.
- (4) V_I and V_O are used to denote specific conditions for $V_{I/O}$.
- (5) I_I and I_O are used to denote specific conditions for $I_{I/O}$.

5.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	All pins except I/O to GND	±7000
		I/O to GND	±12000
	Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	All pins	±1000

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 500V HBM is possible with the necessary precautions.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 250V CDM is possible with the necessary precautions.

5.3 Recommended Operating Conditions

	MIN	MAX	UNIT
V_{CC} Supply voltage	2.3	3.6	V
V_S , $V_{\overline{OE}}$	High-level control input voltage	$V_{CC} = 2.3V$ to $2.7V$	$0.46 \times V_{CC}$ V_{CC}
		$V_{CC} = 2.7V$ to $3.6V$	$0.46 \times V_{CC}$ V_{CC}
	Low-level control input voltage	$V_{CC} = 2.3V$ to $2.7V$	0 $0.25 \times V_{CC}$
		$V_{CC} = 2.7V$ to $3.6V$	0 $0.25 \times V_{CC}$
$V_{I/O}$ Data input/output voltage ⁽¹⁾	0	5.5	V
T_A Operating free-air temperature	-40	85	°C

- (1) The I/O pins are 5.5V tolerant and functional for the entire range. However, for $V_{I/O} > 3.6V$, channel RON will be high (up to 100Ω).

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		RSE (UQFN)	UNIT
		10 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	204.8	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	118.1	
R _{θJB}	Junction-to-board thermal resistance	121.5	
Ψ _{JT}	Junction-to-top characterization parameter	13.9	
Ψ _{JB}	Junction-to-board characterization parameter	121.2	

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

PARAMETER	TEST CONDITIONS	MIN	TYP ⁽²⁾	MAX	UNIT		
V _{IK}	Input-Source Clamp Voltage	V _{CC} = 3.6V, 2.7V, I _I = -18 mA			-1.8	V	
I _{IN}	Input leakage current, control inputs	V _{CC} = 3.6V, 2.7V, 0V, V _{IN} = 0V to 3.6V			±1	μA	
I _{OZ} ⁽³⁾	Off-state leakage current	V _{CC} = 3.6V, 2.7V, V _O = 0V to 5.25V, V _I = 0V, V _{IN} = V _{CC} or GND, Switch OFF			±1	μA	
I _(OFF)	Power-off leakage current	V _{CC} = 0V	V _{I/O} = 0V to 5.25V	±2	μA		
			V _{I/O} = 0V to 3.6V	±2			
			V _{I/O} = 0V to 2.7V	±1			
I _{CC}	Supply Current	V _{CC} = 3.6V, 2.7V, V _{IN} = V _{CC} or GND, I _{I/O} = 0V, Switch ON or OFF			30	μA	
I _{CC}	Supply Current (low power mode)	V _{CC} = 3.6V, 2.7V, V _{IN} = V _{CC} or GND, Switch disabled, OE in high state			1	μA	
ΔI _{CC} ⁽⁴⁾	Supply-current change, control inputs	One input at 1.8V, Other inputs at V _{CC} or GND	V _{CC} = 3.6V	20	μA		
			V _{CC} = 2.7V	0.5			
C _{in}	Input capacitance, control inputs	V _{CC} = 3.3V, 2.5V, V _{IN} = V _{CC} or 0V			1.5	2.5	pF
C _{io(OFF)}	OFF capacitance	V _{CC} = 3.3V, 2.5V, V _{I/O} = V _{CC} or 0V, Switch OFF			3.5	5	pF
C _{io(ON)}	ON capacitance	V _{CC} = 3.3V, 2.5V, V _{I/O} = V _{CC} or 0V, Switch ON			6	7.5	pF
R _{ON} ⁽⁵⁾	ON-state resistance	V _{CC} = 3V, 2.3V	V _I = 0V, I _O = 30mA	3	6	Ω	
			V _I = 2.4V, I _O = -15mA	3.4	6		
ΔR _{ON}	ON-state resistance match between channels	V _{CC} = 3V, 2.3V	V _I = 0V, I _O = 30mA	0.2		Ω	
			V _I = 1.7, I _O = -15mA	0.2			
R _{ON(flat)}	ON-state resistance flatness	V _{CC} = 3V, 2.3V	V _I = 0V, I _O = 30mA	1		Ω	
			V _I = 1.7, I _O = -15mA	1			

(1) V_{IN} and I_{IN} refer to control inputs. V_I, V_O, I_I, and I_O refer to data pins.

(2) All typical values are at V_{CC} = 3.3V (unless otherwise noted), T_A = 25°C.

(3) For I/O ports, the parameter I_{OZ} includes the input leakage current.

(4) This is the increase in supply current for each input that is at the specified TTL voltage level, rather than V_{CC} or GND.

(5) Measured by the voltage drop between the A and B terminals at the indicated current through the switch. ON-state resistance is determined by the lower of the voltages of the two (A or B) terminals.

5.6 Dynamic Electrical Characteristics, $V_{CC} = 3.3V \pm 10\%$

over operating range, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 3.3V \pm 10\%$, $GND = 0V$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
X_{TALK}	Crosstalk	$R_L = 50$, $f = 250\text{MHz}$		-40		dB
O_{IRR}	OFF isolation	$R_L = 50$, $f = 250\text{MHz}$		-41		dB
BW	Bandwidth (-3 dB)	$R_L = 50$		0.9		GHz

5.7 Dynamic Electrical Characteristics, $V_{CC} = 2.5V \pm 10\%$

over operating range, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.5V \pm 10\%$, $GND = 0V$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
X_{TALK}	Crosstalk	$R_L = 50$, $f = 250\text{MHz}$		-39		dB
O_{IRR}	OFF isolation	$R_L = 50$, $f = 250\text{MHz}$		-40		dB
BW	Bandwidth (3 dB)	$R_L = 50$		0.9		GHz

5.8 Switching Characteristics, $V_{CC} = 3.3V \pm 10\%$

over operating range, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 3.3V \pm 10\%$, $GND = 0V$

PARAMETER		MIN	TYP ⁽¹⁾	MAX	UNIT
t_{pd}	Propagation delay ^{(2) (3)}		0.25		ns
t_{ON}	Line enable time	S to D, nD		30	ns
		\overline{OE} to D, nD		17	
t_{OFF}	Line disable time	S to D, nD		12	ns
		\overline{OE} to D, nD		10	
$t_{SK(O)}$	Output skew between center port to any other port ⁽²⁾		0.1	0.2	ns
$t_{SK(P)}$	Skew between opposite transitions of the same output ($t_{PHL} - t_{PLH}$) ⁽²⁾		0.1	0.2	ns

(1) For Max or Min conditions, use the appropriate value specified under Electrical Characteristics for the applicable device type.

(2) Specified by design

(3) The bus switch contributes no propagational delay other than the RC delay of the on resistance of the switch and the load capacitance. The time constant for the switch alone is of the order of 0.25ns for 10pF load. This time constant is much smaller than the rise/fall times of typical driving signals, therefore the time adds very little propagational delay to the system. Propagational delay of the bus switch, when used in a system, is determined by the driving circuit on the driving side of the switch and the switch interactions with the load on the driven side.

5.9 Switching Characteristics, $V_{CC} = 2.5V \pm 10\%$

over operating range, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.5V \pm 10\%$, $GND = 0V$

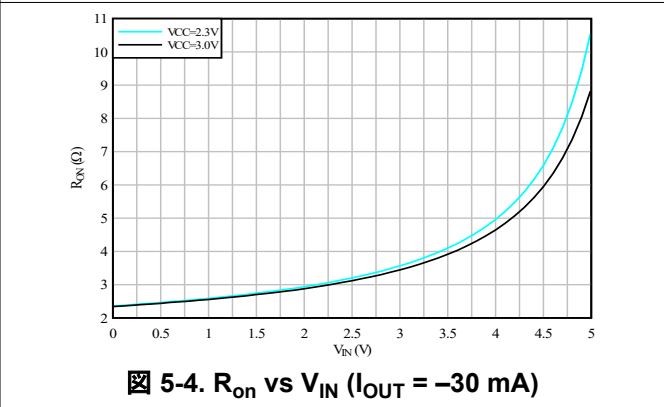
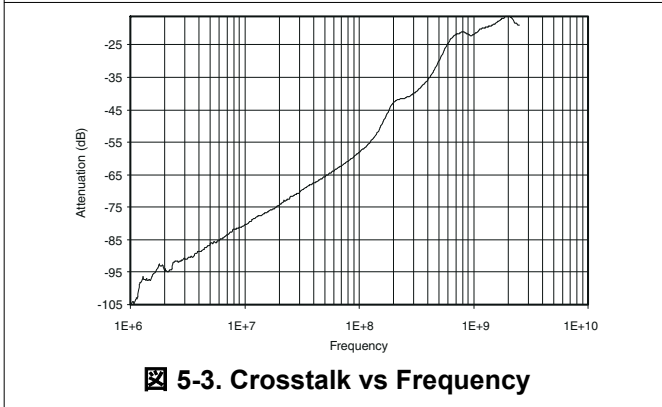
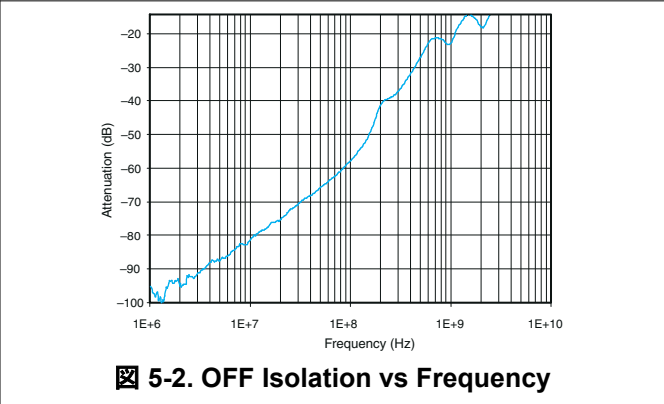
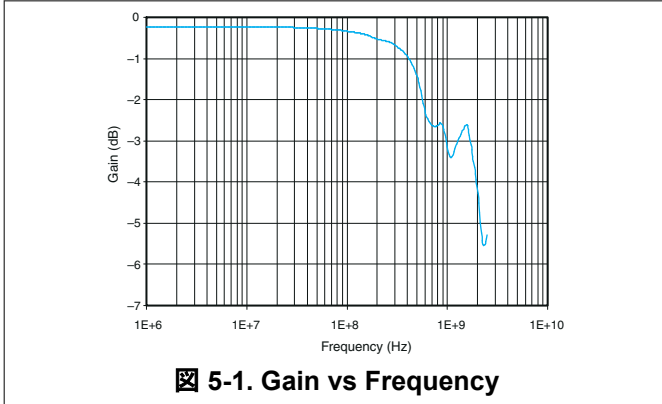
PARAMETER		MIN	TYP ⁽¹⁾	MAX	UNIT
t_{pd}	Propagation delay ^{(2) (3)}		0.25		ns
t_{ON}	Line enable time	S to D, nD		50	ns
		\overline{OE} to D, nD		32	
t_{OFF}	Line disable time	S to D, nD		23	ns
		\overline{OE} to D, nD		12	
$t_{SK(O)}$	Output skew between center port to any other port ⁽²⁾		0.1	0.2	ns
$t_{SK(P)}$	Skew between opposite transitions of the same output ($t_{PHL} - t_{PLH}$) ⁽²⁾		0.1	0.2	ns

(1) For Max or Min conditions, use the appropriate value specified under Electrical Characteristics for the applicable device type.

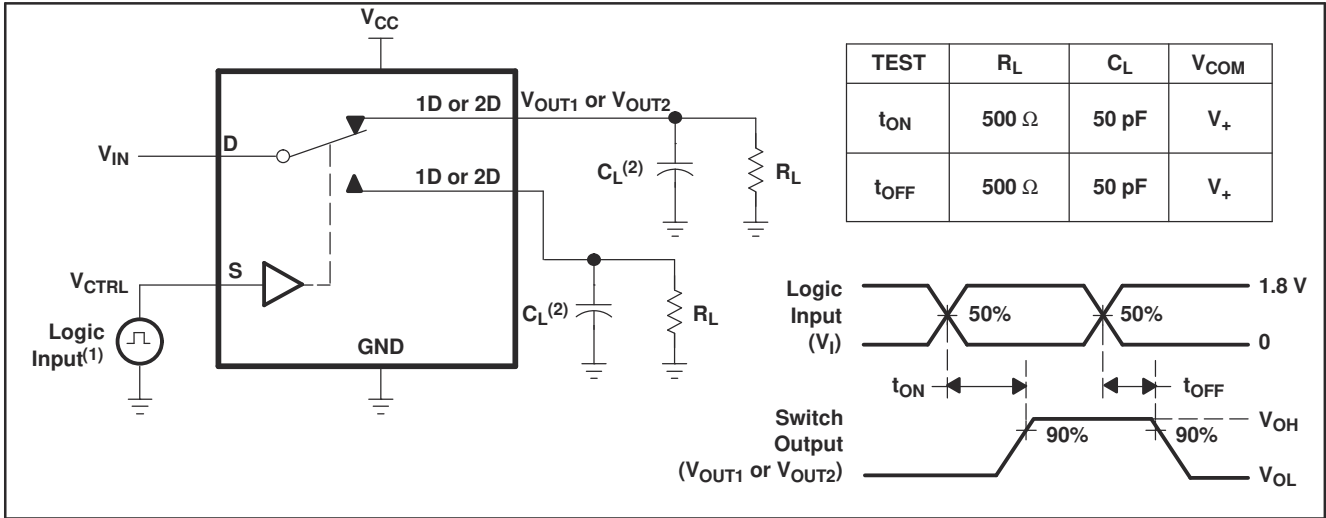
(2) Specified by design

(3) The bus switch contributes no propagational delay other than the RC delay of the on resistance of the switch and the load capacitance. The time constant for the switch alone is of the order of 0.25ns for 10pF load. This time constant is much smaller than the rise/fall times of typical driving signals, therefore the time adds very little propagational delay to the system. Propagational delay of the bus switch, when used in a system, is determined by the driving circuit on the driving side of the switch and the switch interactions with the load on the driven side.

5.10 Typical Characteristics



6 Parameter Measurement Information



- (1) All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, ZO = 50 Ω, tr < 5 ns, tf < 5 ns.
 (2) CL includes probe and jig capacitance.

图 6-1. Turn-On (tON) and Turn-Off Time (tOFF)

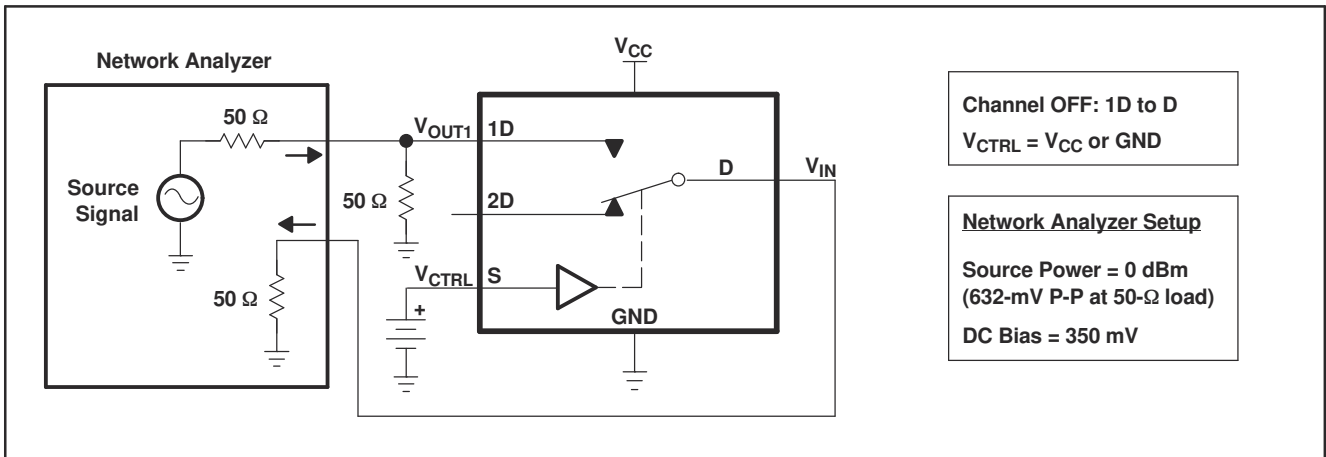


图 6-2. OFF Isolation (OISO)

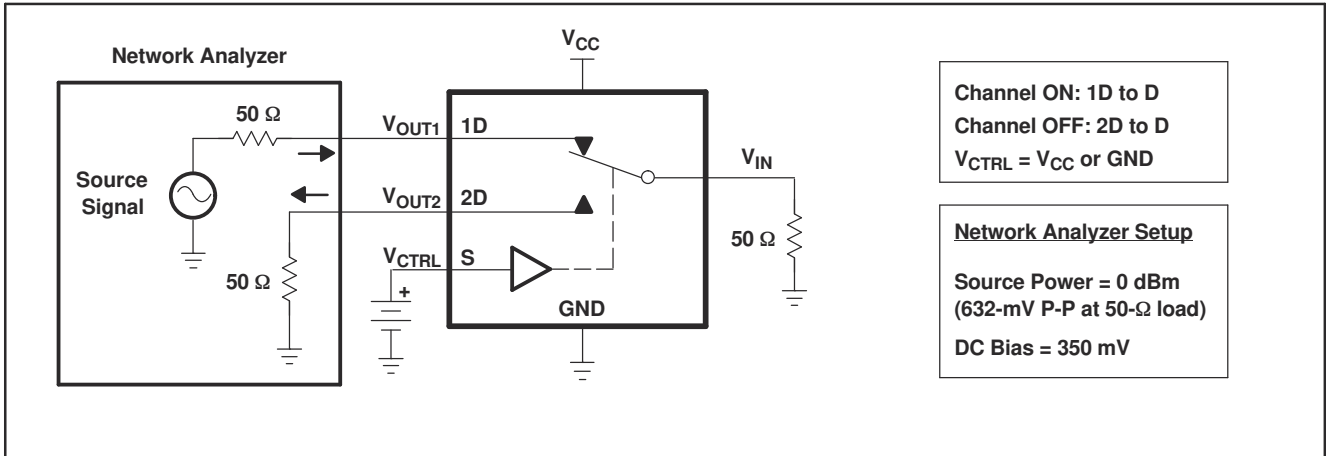


図 6-3. Crosstalk (X_{TALK})

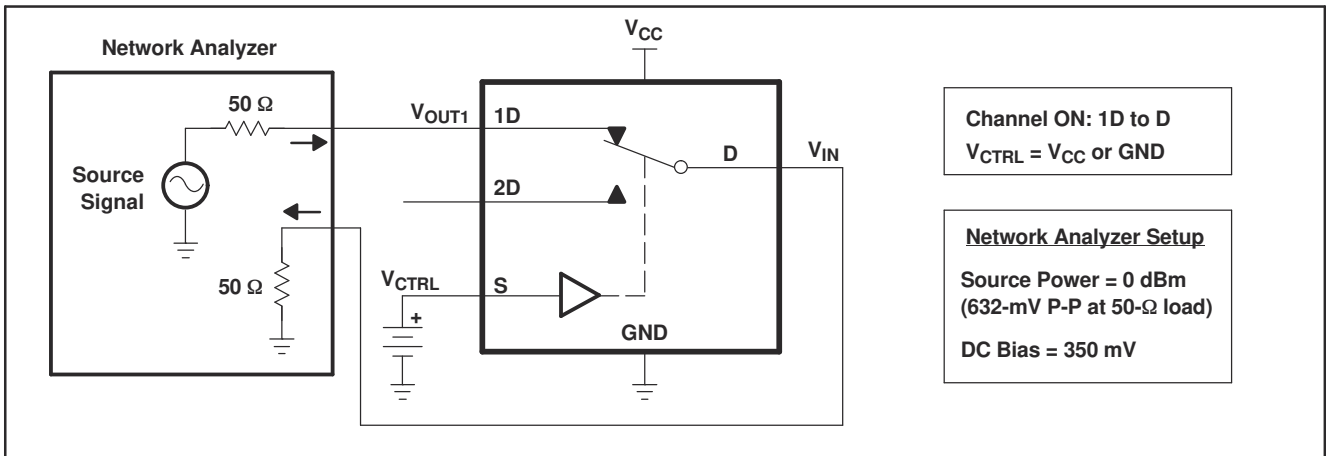


図 6-4. Bandwidth (BW)

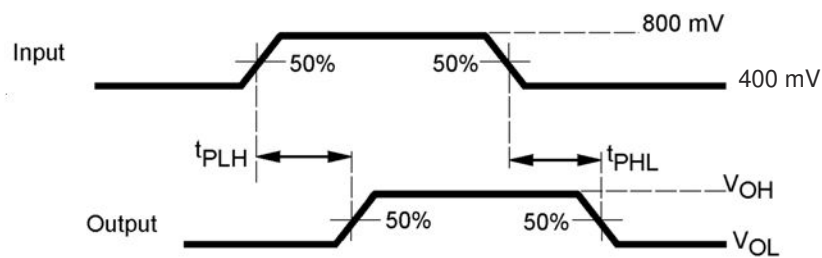


図 6-5. Propagation Delay

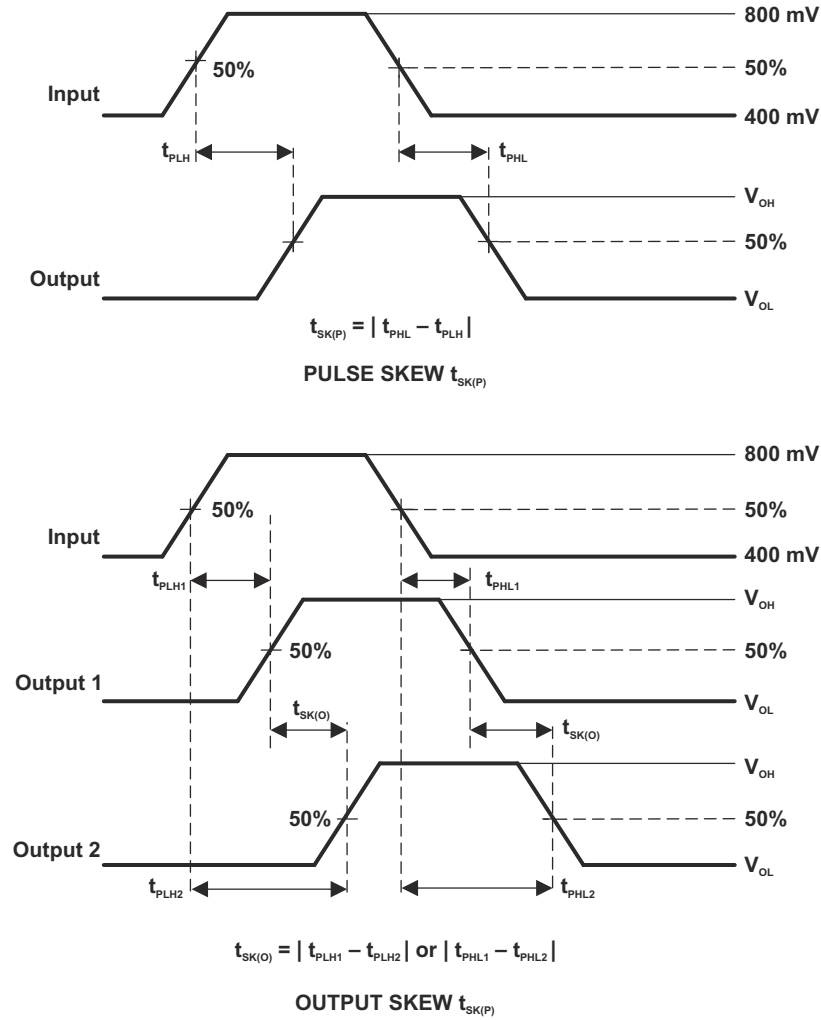


图 6-6. Skew Test

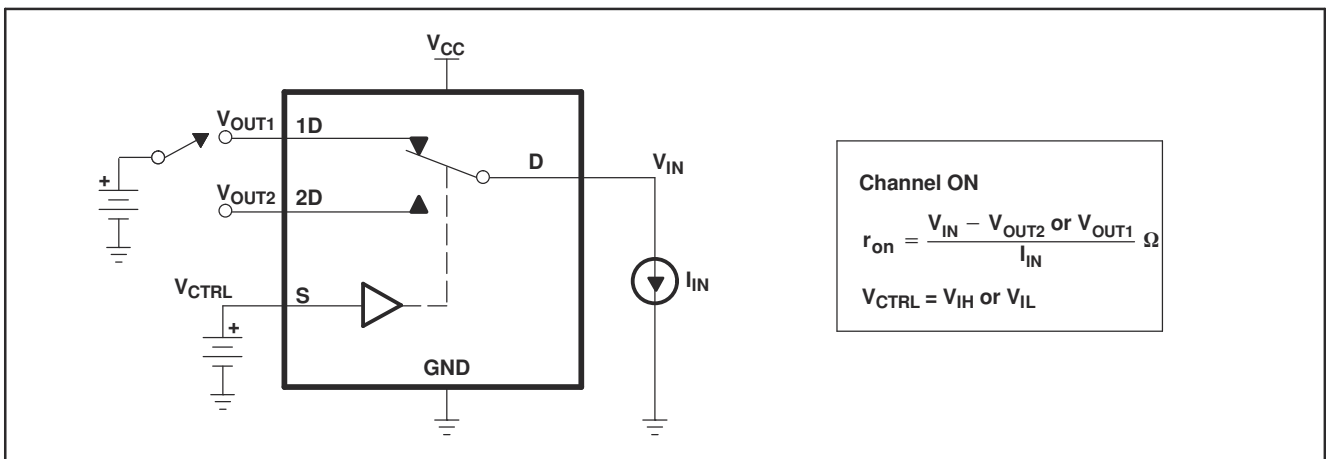
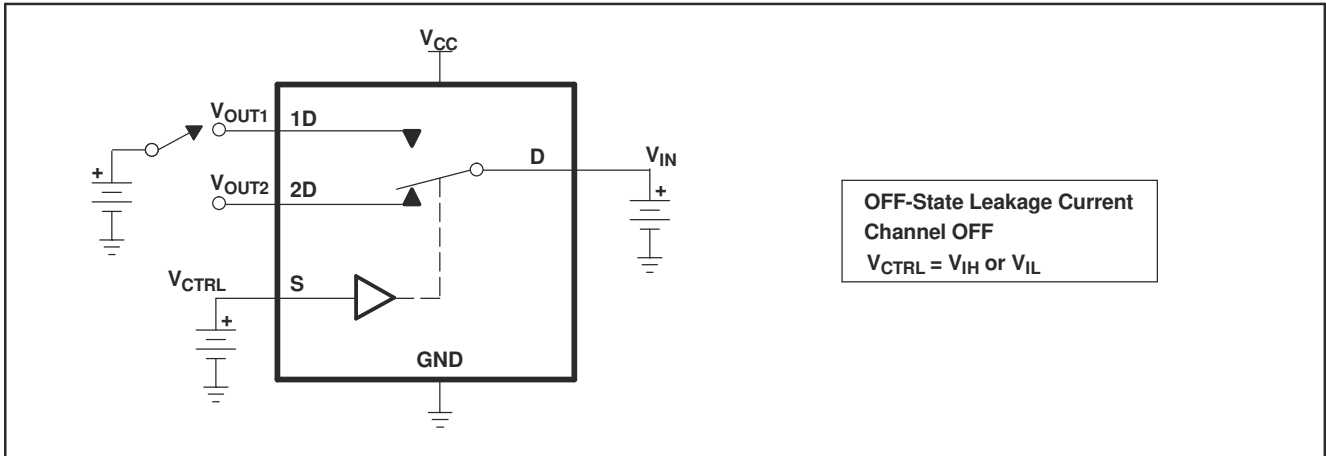
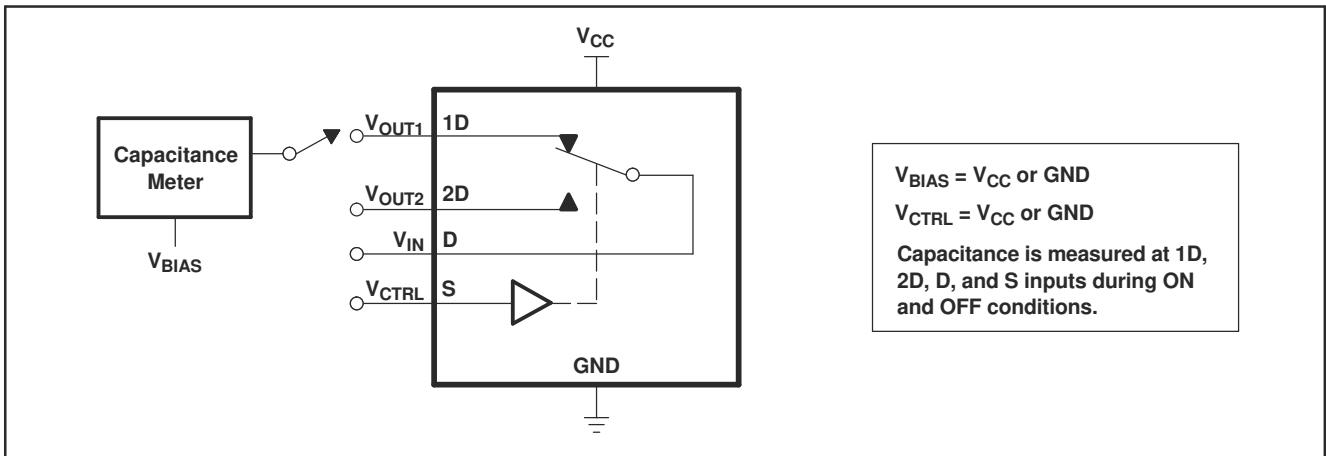


图 6-7. ON-State Resistance (r_{on})



☒ 6-8. OFF-State Leakage Current



☒ 6-9. Capacitance

7 Detailed Description

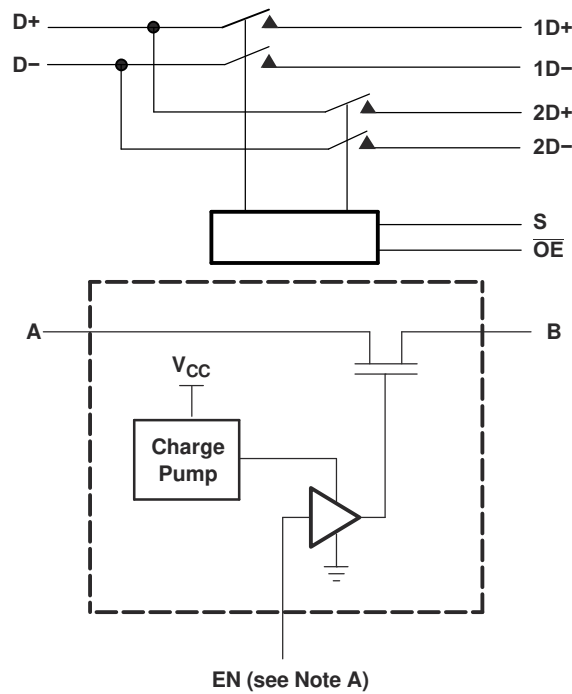
7.1 Overview

The TS3USB221A device is a 2-channel SPDT switch specially designed for the switching of high-speed USB 2.0 signals in handset and consumer applications, such as cell phones, digital cameras, and notebooks with hubs or controllers with limited USB I/Os. The wide bandwidth (900MHz) of this switch allows signals to pass with minimum edge and phase distortion. The device multiplexes differential outputs from a USB host device to one of two corresponding outputs. The switch is bidirectional and offers little or no attenuation of the high-speed signals at the outputs. The device also has a low power mode that can reduce the power consumption to 1µA for portable applications with a battery or limited power budget.

The device is designed for low bit-to-bit skew and high channel-to-channel noise isolation, and is compatible with various standards, such as high-speed USB 2.0 (480Mbps).

The TS3USB221A device integrates ESD protection cells on all pins, is available in a tiny µQFN package (2mm × 1.5mm) and is characterized over the free air temperature range from –40°C to 85°C.

7.2 Functional Block Diagram



A. EN is the internal enable signal applied to the switch.

図 7-1. Simplified Schematic of Each FET Switch (SW)

7.3 Feature Description

7.3.1 Low Power Mode

The TS3USB221A has a low power mode that reduces the power consumption to 1 μ A while the device is not in use. To put the device in low power mode and disable the switch, the bus-switch enable pin \overline{OE} must be supplied with a logic "High" signal.

7.4 Device Functional Modes

表 7-1. Truth Table

S	\overline{OE}	FUNCTION
X	H	Disconnect
L	L	D = 1D
H	L	D = 2D

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

There are many USB applications in which the USB hubs or controllers have a limited number of USB I/Os. The TS3USB221A can effectively expand the limited USB I/Os by switching between multiple USB buses and interface with the buses on a single USB hub or controller.

8.2 Typical Application

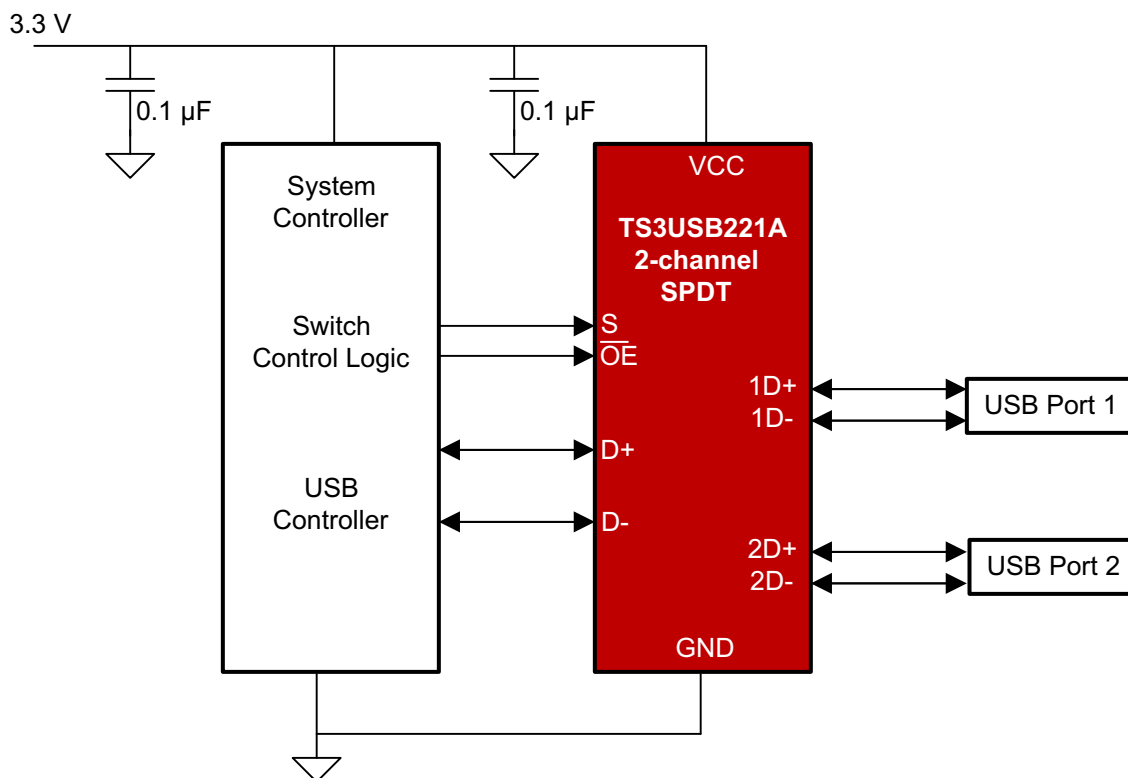


図 8-1. Application Schematic

8.2.1 Design Requirements

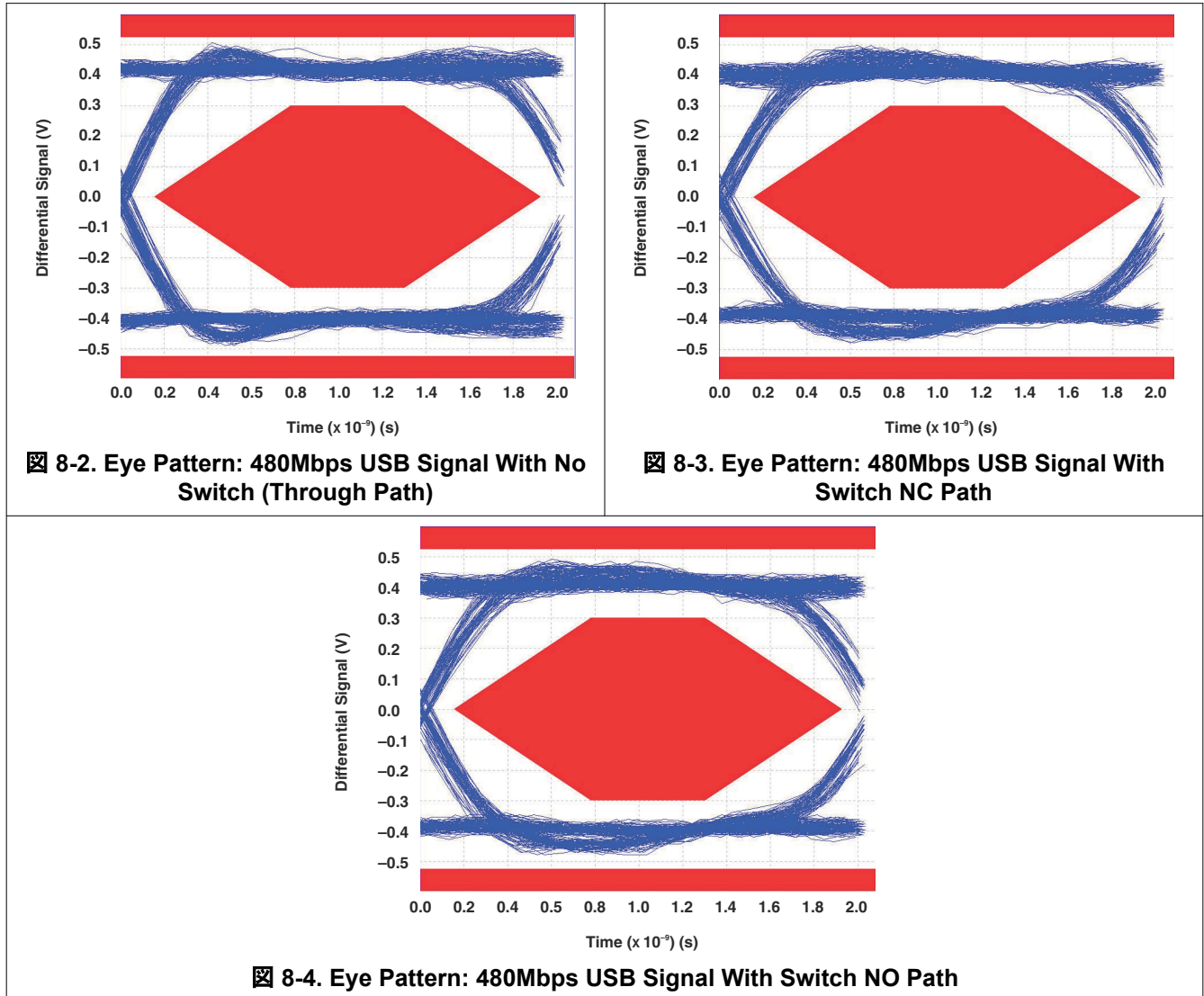
Follow the design requirements of the USB 1.0, 1.1, and 2.0 standards.

TI recommends that the digital control pins S and \overline{OE} be pulled up to V_{CC} or down to GND to avoid undesired switch positions that can result from the floating pin.

8.2.2 Detailed Design Procedure

The TS3USB221A can operate properly without any external components. However, TI recommends to connect unused pins to ground through a 50Ω resistor to prevent signal reflections back into the device.

8.2.3 Application Curves



8.3 Power Supply Recommendations

Make sure the power to the device is supplied through the VCC pin and follows the USB 1.0, 1.1, and 2.0 standards. A bypass capacitor is recommended to be placed as close to the supply pin VCC to help smooth out lower frequency noise to provide better load regulation across the frequency spectrum.

8.4 Layout

8.4.1 Layout Guidelines

Place supply bypass capacitors as close to VCC pin as possible and avoid placing the bypass caps near the D+/D– traces.

Make sure the high speed D+/D– trace lengths match and are no more than 4 inches; otherwise, the eye diagram performance can degrade. A high-speed USB connection is made through a shielded, twisted pair cable with a differential characteristic impedance. In layout, make sure the impedance of D+ and D– traces match the cable characteristic differential impedance for optimal performance.

Route the high-speed USB signals using a minimum of vias and corners to reduce signal reflections and impedance changes. When a via must be used, increase the clearance size around the via to minimize the capacitance. Each via introduces discontinuities in the transmission line of the signal and increases the chance of picking up interference from the other layers of the board. Be careful when designing test points on twisted pair lines; through-hole pins are not recommended.

When it becomes necessary to turn 90°, use two 45° turns or an arc instead of making a single 90° turn. This reduces reflections on the signal traces by minimizing impedance discontinuities.

Do not route USB traces under or near crystals, oscillators, clock signal generators, switching regulators, mounting holes, magnetic devices or ICs that use or duplicate clock signals.

Avoid stubs on the high-speed USB signals because stubs cause signal reflections. If a stub is unavoidable, keep the stub less than 200mm.

Route all high-speed USB signal traces over continuous planes (VCC or GND), with no interruptions.

Avoid crossing over anti-etch, commonly found with plane splits.

Due to high frequencies associated with the USB, a printed circuit board with at least four layers is recommended; two signal layers separated by a ground and power layer as shown in [Figure 8-5](#).

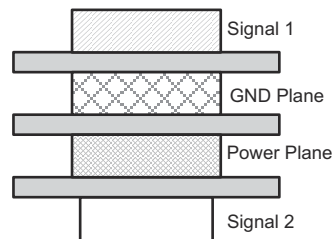
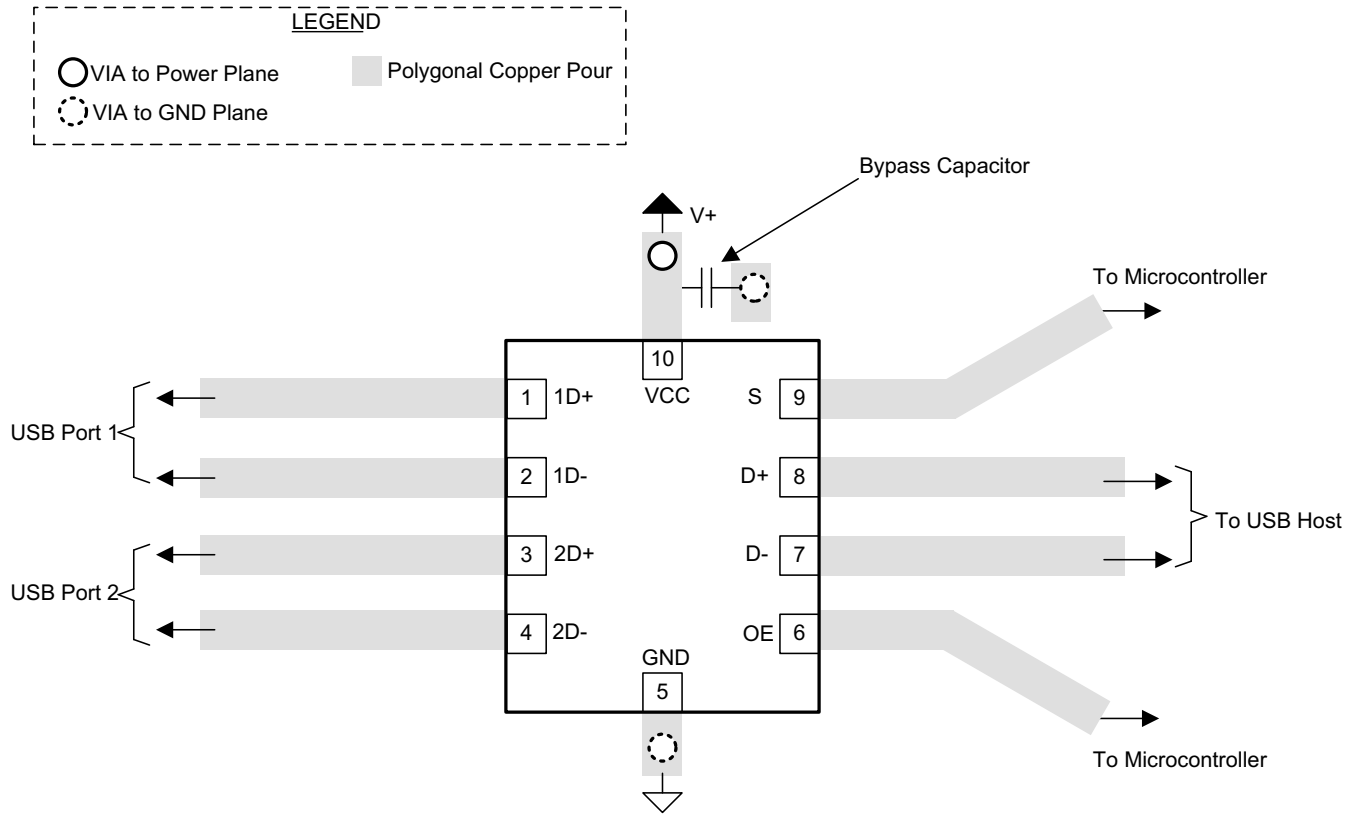


Figure 8-5. Four-Layer Board Stack-Up

Make sure the majority of signal traces run on a single layer, preferably Signal 1. Make sure the GND plane, which is solid with no cuts, is immediately next to this layer. Avoid running signal traces across a split in the ground or power plane. When running across split planes is unavoidable, sufficient decoupling must be used. Minimizing the number of signal vias reduces EMI by reducing inductance at high frequencies.

8.4.2 Layout Example



8-6. Package Layout Diagram

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2024) to Revision C (October 2024)	Page
• 特長の項目を次のように変更 $R_{ON} = 6\omega$ (最大値) から $R_{ON} = 6\Omega$ (最大値).....	1
• 「特長」の箇条書き項目を「 $\delta r_{ON} = 0.2\omega$ (標準値)」から次のように変更 $\Delta r_{ON} = 0.2\Omega$ (標準値).....	1

Changes from Revision A (February 2015) to Revision B (July 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「特長」セクションの ESD 性能テスト条件を更新	1
• Changed CDM test conditions in the ESD Ratings table from: per JEDEC specification JESD22-C101 to: per ANSI/ESDA/JEDEC JS-002.....	4
• Added footnote to the $V_{I/O}$ parameter in the <i>Recommended Operating Conditions</i> table.....	4
• Changed RSE (UQFN) junction-to-ambient thermal resistance value from: 179.7°C/W to: 204.8°C/W.....	5
• Changed RSE (UQFN) junction-to-case (top) thermal resistance value from: 107.9°C/W to: 118.1°C/W.....	5
• Changed RSE (UQFN) junction-to-board thermal resistance value from: 100.7°C/W to: 121.5°C/W.....	5
• Changed RSE (UQFN) junction-to-top characterization parameter value from: 7.1°C/W to: 13.9°C/W.....	5
• Changed RSE (UQFN) junction-to-board characterization parameter value from: 100.0°C/W to: 121.2°C/W...5	5
• Changed the V_{IK} value in the <i>Electrical Characteristics</i> table from: -1.8V maximum to: -1.8V minimum.....	5
• Changed the <i>Typical Characteristics</i> section.....	7

Changes from Revision * (November 2008) to Revision A (February 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。.....	1
• データシートから「注文情報」表を削除。注文情報については「メカニカル、パッケージ、および注文情報」セクションを参照.....	1
• テキサス・インスツルメンツの新しいデータシート標準に合わせてドキュメントを更新.....	1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TS3USB221ARSER	ACTIVE	UQFN	RSE	10	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LH7, LHH, LHO, LHR, LHV)	Samples
TS3USB221ARSERG4	ACTIVE	UQFN	RSE	10	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LH7, LHH, LHO, LHR, LHV)	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TS3USB221A :

- Automotive : [TS3USB221A-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TS3USB221ARSER	UQFN	RSE	10	3000	180.0	8.4	1.75	2.25	0.65	4.0	8.0	Q1
TS3USB221ARSER	UQFN	RSE	10	3000	180.0	8.4	1.68	2.13	0.76	4.0	8.0	Q1
TS3USB221ARSER	UQFN	RSE	10	3000	180.0	9.5	1.7	2.3	0.75	4.0	8.0	Q1
TS3USB221ARSER	UQFN	RSE	10	3000	180.0	9.5	1.7	2.2	0.75	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

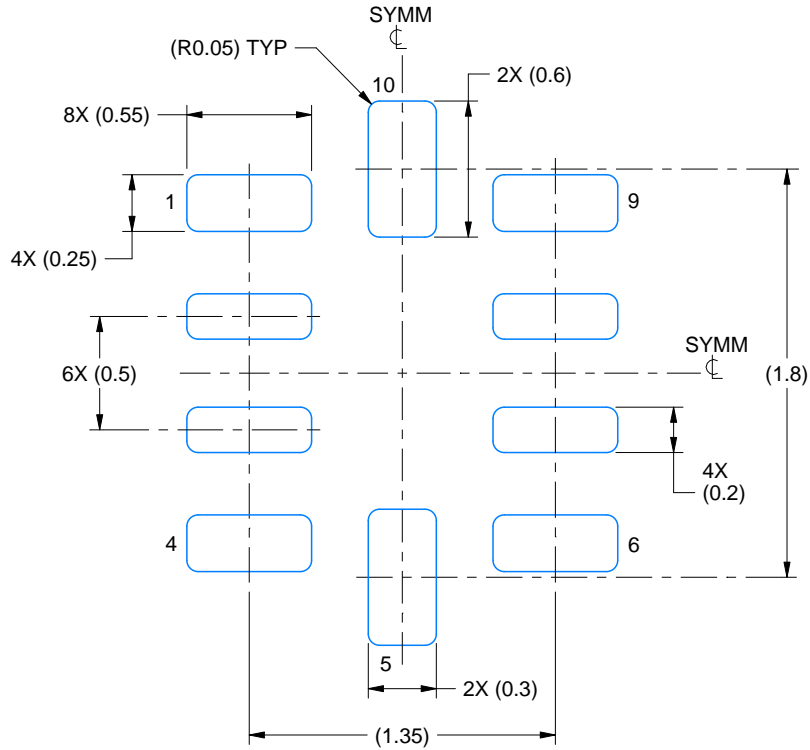
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TS3USB221ARSER	UQFN	RSE	10	3000	200.0	183.0	25.0
TS3USB221ARSER	UQFN	RSE	10	3000	210.0	185.0	35.0
TS3USB221ARSER	UQFN	RSE	10	3000	184.0	184.0	19.0
TS3USB221ARSER	UQFN	RSE	10	3000	189.0	185.0	36.0

EXAMPLE BOARD LAYOUT

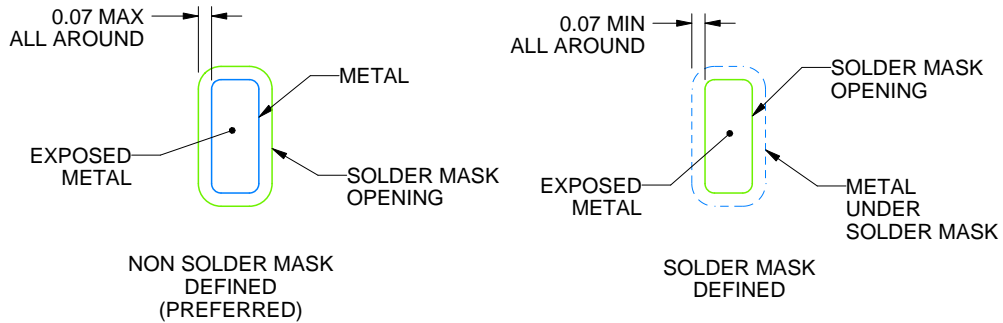
RSE0010A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS
NOT TO SCALE

4220307/A 03/2020

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated