

High-Performance Analog 製品

# アナログ・アプリケーション・ジャーナル

2010, 3Q



© Copyright 2010 Texas Instruments

JAJT112  
SLYT378 翻訳版

最新の英語版資料  
<http://www.ti.com/lit/slyt378>

# 目次

はじめに .....	3
<b>データ収集</b>	
時間領域におけるクロック・ジッタの分析第1部 .....	4
<p>高速ADCはアンダーサンプリング・アプリケーションに頻繁に使用されています。入力周波数が高くなると、クロック・ジッタがSNRを制限する支配的要因になる可能性があります。3部構成の第1部であるこの記事では、クロック・ソースからのジッタを正確に推定し、それをADCのオーバーチャ・ジッタと結合する方法について説明します。また、第2部では、結合したジッタを使用してADCのSNRを計算する方法、第3部ではADCのオーバーチャ・ジッタを改善することでADCのSNRをさらに増加させる方法について説明します。</p>	
<b>電力管理</b>	
DC/DCコンバータの利用を拡大する結合インダクタ .....	9
<p>結合インダクタの可用性の向上によって、設計者はより経済的で小規模なDC/DCコンバータ・ソリューションを作成できるようになります。この記事では、結合インダクタを用いて一般的なアプリケーション・ニーズを満たす4つのDC/DCコンバータ・トポロジについて説明しています。</p>	
「プラチナ・レベル」のコンピュータ電源 .....	12
<p>今日の高い効率基準を満たすために、一部の設計者は、同期整流器を備えた位相シフト・フルブリッジDC/DCコンバータを選択しています。同期整流器は、設計目標にZVS動作が含まれることがあることから、ボディ・ダイオードの導通が過剰になるほど長い間同時にオフになることがあり、その為にシステム効率が低下します。この記事では、ボディ・ダイオードの導通を低減して全体的なシステム効率を向上させるように同期整流器を駆動するためのタイミング技術について説明しています。</p>	
<b>インターフェイス（データ伝送）</b>	
デジタル・キャパシティブ・アイソレータの磁界耐性 .....	18
<p>デジタル・キャパシティブ・アイソレータのアプリケーション環境の近くには、大きな電磁界を生じる機器がしばしば存在します。それらの磁場によってデータが破損する可能性がある為、多くの設計者はアイソレータの磁界耐性の証明を必要としています。この記事では、磁界の原理と、キャパシティブ・アイソレータの構造が非常に高い磁界耐性を提供する仕組みについて説明します。</p>	
<b>アンプ：オペアンプ（OPアンプ）</b>	
オペアンプのゲイン安定性第3部：ACゲイン誤差の分析 .....	22
<p>この3部構成の記事の目的は、ゲイン誤差についてと、ゲイン誤差が標準的な閉ループ構成オペアンプの実際のパラメータによりどのように影響されるかについて、読者がより深く理解できるようにすることです。この最後の記事では、閉ループ・ゲインの周波数依存性について考察します。この記事は、設計者がDCゲイン計算をAC領域の解析に使用するとき頻繁に起こるミスを防止する役に立ちます。</p>	
<b>記事の索引</b> .....	27
<b>テクニカル・サポート</b> .....	32

これまでのアナログ・アプリケーション・  
ジャーナルを参照するには、  
[www.ti.com/aaaj](http://www.ti.com/aaaj)にアクセスして下さい。

# はじめに

アナログ・アプリケーション・ジャーナルは、アナログ・アプリケーションに関する記事を集めたもので、読者に、TI製品に関しての基礎的な知識及び一般的なアプリケーションに関するわかりやすく実践的な例を提供できるように、制作されています。設計エンジニアだけでなく、技術管理者、技術者、システム設計者、マーケティング販売担当者も対象として書かれているので、詳細にわたる数学的解析よりも一般的なアプリケーションの概念に重点が置かれています。

これらのアプリケーションは、特定回路の「どう動かすか」といった説明ではなく、デバイスを使用して特定の設計要件を満たす方法の例を示すためのものです。本書には、以下のカテゴリのコンポーネントについて、チュートリアル情報と実践的なエンジニアリング・ソリューションが用意されています。

- ・ データ収集
- ・ パワー・マネージメント
- ・ インターフェイス (データ伝送)
- ・ アンプ : オペアンプ (OPアンプ)

場所によっては、ソフトウェア・ルーチンとプログラム構造についても説明されています。アナログ・アプリケーション・ジャーナルには、設計を準備する際に役立つヒントと経験則が記載されています。

# 時間領域におけるクロック・ジッタの分析第1部

Thomas Neu

Systems and Applications Engineer

## はじめに

最近の高速ADCは、アンダーサンプリング・アプリケーションで使用できるよう、広範なアナログ入力帯域（約3~6倍の最大サンプリング周波数）を備えています。また、最近のADC設計における進歩により利用可能な入力範囲が大幅に拡大しているので、システム設計者は少なくとも1つの中間周波段を省くことができ、コストと消費電力が削減されます。アンダーサンプリング・レシーバの設計では、入力周波数が高いとクロックのジッタが信号対雑音比（SNR）を制限する支配的要因になるので、サンプリング・クロックには特に注意する必要があります。

3部構成の第1部であるこの記事では、クロック・ソースからのジッタを正確に推定し、それをADCのアーチャ・ジッタと結合する方法について説明します。第2部では、その結合したジッタを使用してADCのSNRを計算し、実際の測定値と比較します。第3部では、クロック信号のスルー・レートの最適化に焦点を当て、ADCのアーチャ・ジッタを改善することによってADCのSNRをさらに大きくする方法について説明します。

## サンプリング・プロセスの確認

ナイキスト・シャノンの標本化定理によると、オリジナルの入力信号は、最大周波数の2倍以上の速度でサンプリングした場合、完全に再構築されます。最大10MHzの入力信号が100MSPSでサンプリングされるとすると、信号が0~10MHzのベースバンド（1次ナイキスト領域）にある場合と、100~110MHzの高いナイキスト領域でアンダーサンプリングされた場合とは違いはありません（図1を参照）。

（2次、3次などの高いナイキスト領域でのサンプリングは、通常、アンダーサンプリングまたはサブサンプリングと言われます。）ただし、目的のナイキスト領域をサンプリングし、且つ元の本来の信号を再現する際の混乱を防ぐには、ADCの前に適切なアンチエイリアシング・フィルタが必要です。

## 時間領域におけるジッタ

1つのサンプリング・ポイントを詳しく見てみると、タイミングの不確実性（クロック・ジッタ・ノイズまたはクロック

図1. 100MSPSでサンプリングされた2つの信号はエイリアシングによって同じサンプリング・ポイントを示す

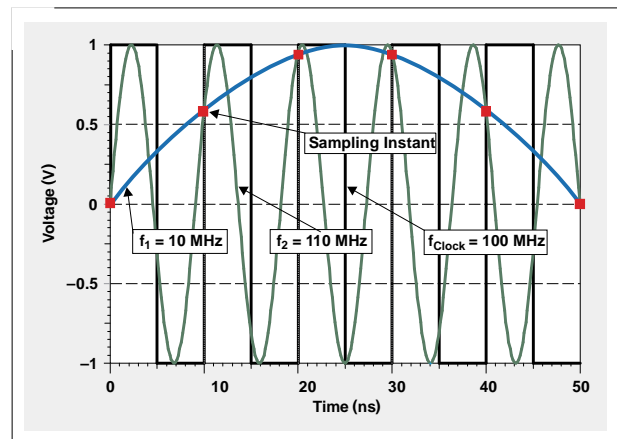
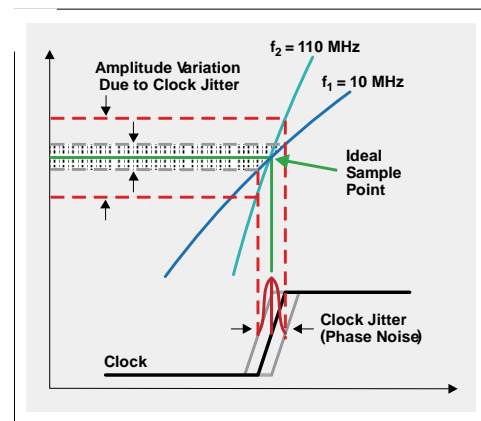


図2. クロック・ジッタは入力信号が速くなるほど振幅誤差を拡大する



ク・フェーズ・ノイズ）がどのように振幅変動を生み出すのかわかります。高いナイキスト領域でのアンダーサンプリング（例： $f_1 = 10\text{MHz}$ から $f_2 = 110\text{MHz}$ ）によって入力周波数が増えると、一定量のクロック・ジッタによって振幅が理想的なサンプリング・ポイントから大きく変動します（ノイズが発生します）。さらに、図2から、クロック信号のスルー・レートがサンプリング時に変動に影響を及ぼしていることがわかります。

スルー・レートは、クロック信号がゼロ交差点を通過する速度を決定します。つまり、スルー・レートはADC内のクロック回路のトリガしきい値に直接影響するという事です。

ADCの内部クロック・バッファに一定量のサーマル・ノイズがある場合、スルー・レートもタイミングの不確実性に変換されるので、ADCの本来のアパーチャ・ジッタが低下します。図3からわかるようにアパーチャ・ジッタはクロック・ジッタ（フェーズ・ノイズ）から完全に独立していますが、これらの2つのジッタ・コンポーネントはサンプリング時に結合します。図3から、スルー・レートが低下するとアパーチャ・ジッタが増加することもわかります。スルー・レートは通常、クロックの振幅に直接左右されます。

### クロック・ジッタによるSNRの低下

ADCのSNRを制限する要因は、量子化ノイズ（通常はパイプライン型コンバータでは目立ちません）、サーマル・ノイズ（低い入力周波数でSNRを制限します）、クロック・ジッタ（ $SNR_{Jitter}$ ）などさまざまです（下記の数式1を参照）。 $SNR_{Jitter}$ コンポーネントは入力周波数、 $f_{IN}$ （ナイキスト領域に左右されます）、およびクロック・ジッタ $t_{Jitter}$ の総量によって制限されます。総量は、次の数式で求めることができます。

$$SNR_{Jitter} [dBc] = -20 \times \log(2\pi \times f_{IN} \times t_{Jitter}). \quad (2)$$

予想どおり、一定量のクロック・ジッタで入力周波数が増加するとSNRは低下します。これは図4に示されています。図4は、クロック・ジッタが400fsで一定の場合の14ビットのパイプライン型コンバータのSNRを示しています。入力周波数が10MHzから100MHzのように10倍に増加すると、クロック・ジッタによる実現可能な最大SNRは20dB低下します。

すでに述べたように、ADCのSNRを制限するもう1つの大きな要因はADCのサーマル・ノイズです。これは入力周波数によって変化しません。図4からもわかるように、14ビットのパイプライン型コンバータには通常約70~74dBのサーマル・ノイズがあります。ADCのサーマル・ノイズは、データ・シートからわかるように、指定の最低入力周波数（この例では10MHz）でのSNRと同等です。クロック・ジッタはここではまだ要因になりません。

サーマル・ノイズが約73dBの14ビットのADCとジッタが400fsのクロック回路を分析してみましょう。入力周波数が10MHzのように低い場合、このADCのSNRはサーマル・ノイズによってほぼ定義されます。入力周波数が増加するにつれ、400fsのクロック・ジッタは約300MHzで完全に支配するまで、ますます支配的になっていきます。入力周波数が100MHzでのクロック・ジッタによるSNRは、10MHzでのSNRと比べて周波数が10倍になるごとに20dB低下します

$$SNR_{ADC} [dBc] = -20 \times \log \sqrt{\left(10^{-\frac{SNR_{Quantization\ Noise}}{20}}\right)^2 + \left(10^{-\frac{SNR_{Thermal\ Noise}}{20}}\right)^2 + \left(10^{-\frac{SNR_{Jitter}}{20}}\right)^2}$$

図3. クロック・ジッタとADCアパーチャ・ジッタはサンプリング時に結合する

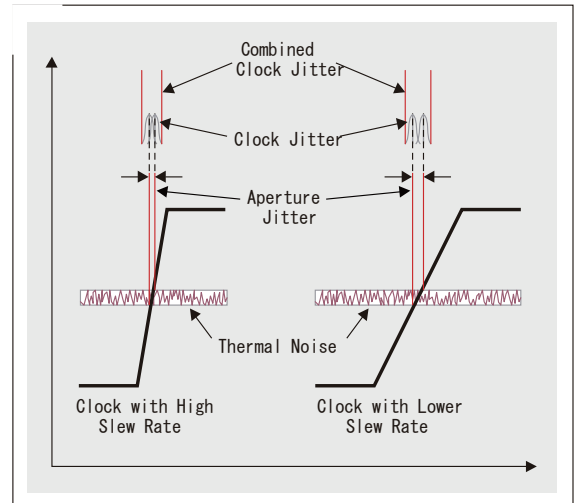


図4. 400fsで一定のクロック・ジッタは10倍ごとにSNRを20dB低減する

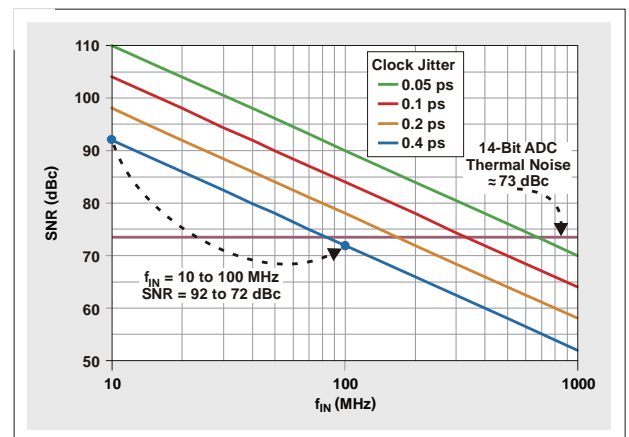
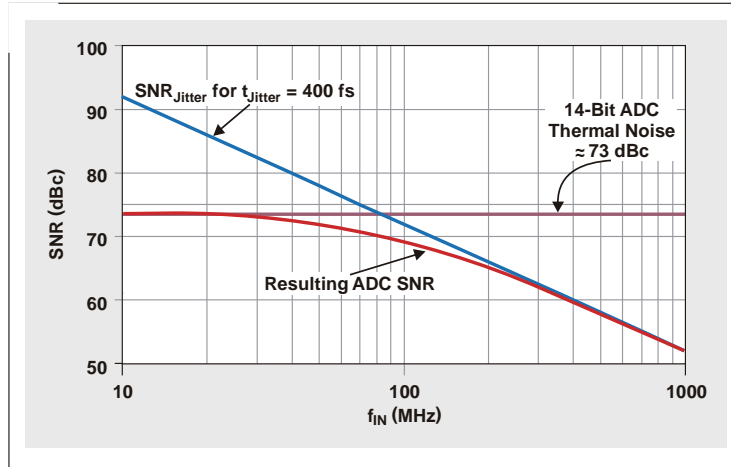


図5. 発生するADC SNRはサーマル・ノイズとクロック・ジッタにより制限される



が、全体のSNRは73dBのサーマル・ノイズによって、約3.5dBだけ低下 (69.5dBに低下) します (図5を参照)。

$$SNR_{Jitter} = -20 \times \log(2\pi \times 100 \text{ MHz} \times 400 \text{ fs}) = 72 \text{ dBc}$$

$$SNR_{ADC} = -20 \times \log \sqrt{\left(10^{-\frac{73 \text{ dBc}}{20}}\right)^2 + \left(10^{-\frac{72 \text{ dBc}}{20}}\right)^2} = 69.5 \text{ dBc}$$

これで、ADCのサーマル・ノイズが増加する場合、高い周波数をサンプリングするときはクロック・ジッタが非常に重要になることがわかります。たとえば、16ビットのADCのサーマル・ノイズ・フロアが77~80dBとします。図4のグラフによると、入力周波数100 MHzでのSNRに対するクロック・ジッタの影響を最小限に抑えるには、クロック・ジッタを150 fsまたはそれ以上にする必要があります。

### サンプル・クロック・ジッタの決定

先ほど説明したとおり、サンプル・クロック・ジッタは、クロックのタイミングの不確実性 (フェーズ・ノイズ) とADCのアパーチャ・ジッタで構成されています。これらの2つのコンポーネントは、次のように結合します。

$$t_{Jitter} = \sqrt{(t_{Jitter,Clock\_Input})^2 + (t_{Aperture\_ADC})^2} \quad (3)$$

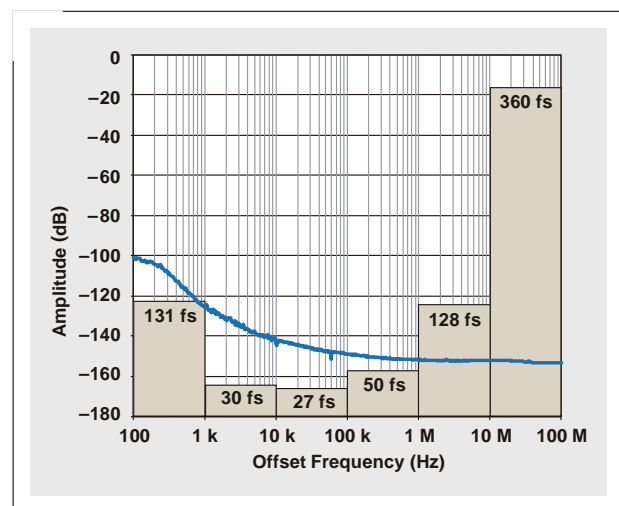
ADCのアパーチャ・ジッタはデータ・シートに示されています。ここで重要なことは、この値は通常、クロックの振幅またはスルー・レートと組み合わせて指定されることです。クロックの振幅が小さくなるとスルー・レートが遅くなり、それに応じてアパーチャ・ジッタが増加します。

### クロック入力によるジッタ

クロック・チェーン内のデバイス (オシレータ、クロック・バッファ、またはPLL) の出力ジッタは通常、ピコ秒またはフェーズ・ノイズ・プロットとして、10kHz~20MHzの基本

クロック周波数からのオフセットである周波数範囲に指定されます。これを積分してジッタ情報を取得できます。ただし、下限値の10kHzと上限値の20 MHzは、他のシステムのパラメータにかなり左右されるので限界値としての使用には適さない可能性があります。これについては、後ほど説明します。適切な積分限界値の設定の重要性が図6に示されています。これは、フェーズ・ノイズ・プロットと10倍ごとのジッタ量の重ね合わせグラフです。下限値が100Hzのオフセットに設定されている場合と10kHzに設定されている場合では、結果として生じるジッタがかなり異なることがわかります。同様に、たとえば積分の上限値を10~20MHzに設定すると、100MHzに設定した場合とは結果に大幅な違いが出ます。

図6. 10倍ごとに計算されたクロック・フェーズ・ノイズからのジッタの寄与分



## 適切な積分の下限値の決定

サンプリング・プロセスで、入力信号はフェーズ・ノイズを含むサンプリング・クロック信号と混合されます。入力信号のFFT解析が行われるとき、主要なFFTビンは入力信号の中央に位置します。図7にあるように、（クロックまたは入力信号のいずれかから）サンプリングされた信号周辺のフェーズ・ノイズが、主要なビンに隣接するビンの振幅を決定します。そのため、オフセット周波数がそのビン・サイズの半分よりも少ないフェーズ・ノイズはすべて入力信号のビンとひとまとめにされ、このノイズには加えられません。したがって、フェーズ・ノイズの積分帯域幅の下限値をFFTビンの半分のサイズに設定する必要があります。FFTのビン・サイズを求める数式は、次のとおりです。

$$\text{Bin Size} = \frac{\text{Sampling Rate}}{\text{FFT Size}}$$

このポイントを詳しく図示するために、ADS54RF63を使用した2つの異なるFFTサイズ（131,072および1,048,576ポイント）での実験を設定しました。サンプリング・レートは122.88MSPSに設定しました。クロック・フェーズ・ノイズは図8のとおりです。ジッタに影響する広帯域ノイズ量を抑えるために、6MHzの広帯域フィルタをクロック入力に追加しました。SNRの低下の原因がクロック・ジッタだけなのかを確認するために、1GHzの入力信号を選択しました。図8から、半分のビン・サイズから40MHzにフェーズ・ノイズを積分した場合に生じるジッタが2つのFFTサイズで大きく異なることがわかります。表1のSNR測定値からも同じことがわかります。

## 適切な積分の上限値の設定

図6のフェーズ・ノイズ・プロットでは、10MHzから100MHzの間の周波数オフセットでのジッタの寄与分は約360fsでした。これは、100Hzから10MHzの間のオフセットでの全体的なジッタの寄与分である約194fsよりもかなり大きくなっています。そのため、選択した積分の上限値は、計算したクロック・ジッタ、および予想したSNRと実際の測定値との一致度に大きく影響する可能性があります。

適切な制限値を決定するために、サンプリング・プロセスで非常に重要な次の点を覚えておく必要があります。他のナイキスト領域から信号帯域内に折り返したクロック信号のノイズとスパークは、入力信号にある場合とちょうど同じになります（参考資料1を参照）。したがって、クロック入力のフェーズ・ノイズは帯域制限されておらず、高い周波数で減衰しません。積分の上限値は、変圧器（使用されている場合）の帯域幅とADC自体のクロック入力によって設定されます。いくつかの場合、クロック入力帯域幅が非常に大きくなることがあります。たとえば、ADS54RF63のクロック入力帯域幅が2GHzで、超高速のクロック・スロー・レートの高次の高調波に対応できる場合などです。

クロック・フェーズ・ノイズをクロック入力帯域幅まで積分する必要があるかどうかを確認するために、別の実験をセットアップしました。SNRジッタが制限されていることを確認するために、ADS54RF63を122.88MSPSで動作させ、1GHzの入力信号を加えました。図9に示されているように、50MHz～1GHzの広帯域のホワイト・ノイズがRFアンプによって生成され、サンプリング・クロックに追加されました。

図7. 近接のフェーズ・ノイズが主要なビン周辺のFFTビンの振幅を決定する

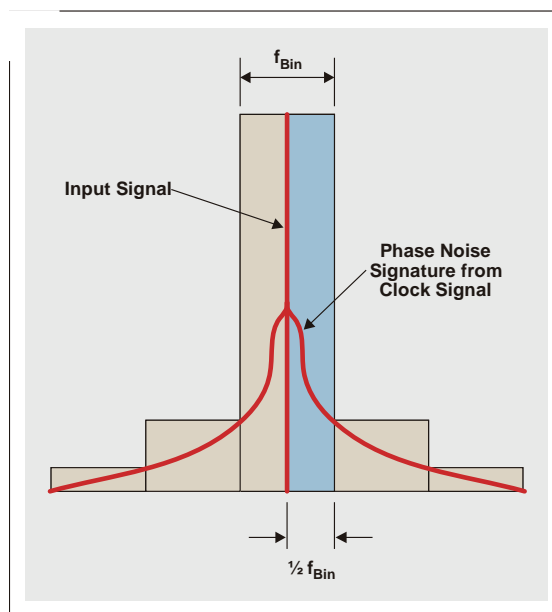


表1. 2つのFFTサイズでのSNR測定値

FFTサイズ (ポイント)	半分のビン・サイズ (Hz)	1GHzのSNR (dBFS)
131,072	469	60.4
1,048,576	59	51.9

図8. 積分下限値が異なる2つのFFTサイズの積分されたジッタ

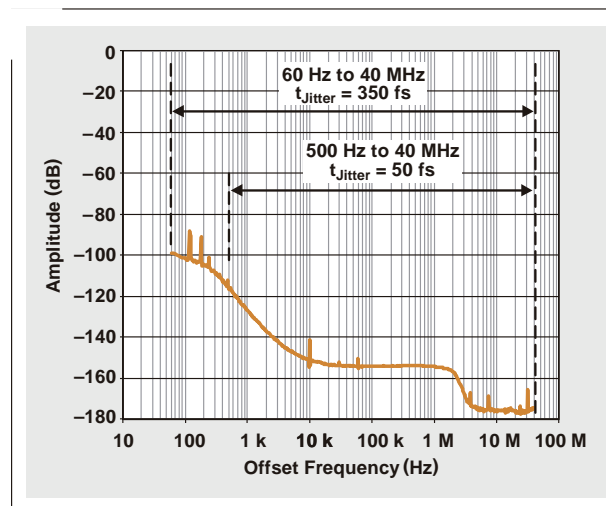
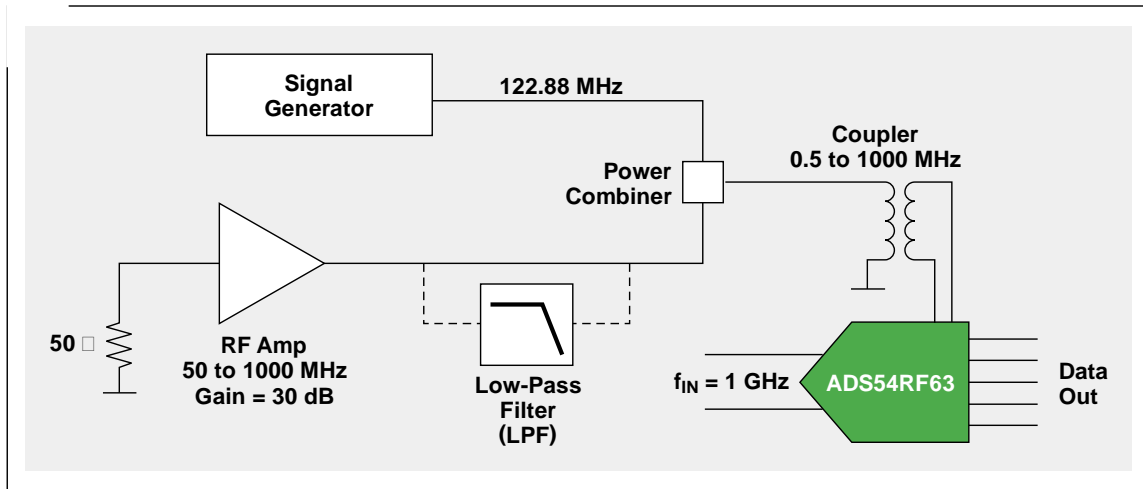


図9. クロック入力ノイズ確認用のテスト設定



クロック信号に追加されるノイズ量を制限するために、異なるローパス・フィルタ（LPF）を使用しました。

ADS54RF63のクロック入力帯域幅は2GHzですが、RFアンプと変圧器の両方の3dB帯域幅は1GHzで、有効な3dBクロック入力帯域幅は500MHzまで低下します。表2のSNRの計測結果は、この設定ではクロック入力帯域幅が実際は約500MHzになることを示しています。図10のFFTプロットと比較すると、RFアンプからの広帯域ノイズがどのようにノイズ・フロアを制限し、SNRを低下させるのかがわかります。

この実験によって、クロックのフェーズ・ノイズは、理想を言えば厳密なフィルタを介して、非常に低くするか帯域制限する必要があるとわかりました。そうしなければ、システムのクロック帯域幅で設定された積分の上限値がADCのSNRを大幅に低下させる可能性があります。

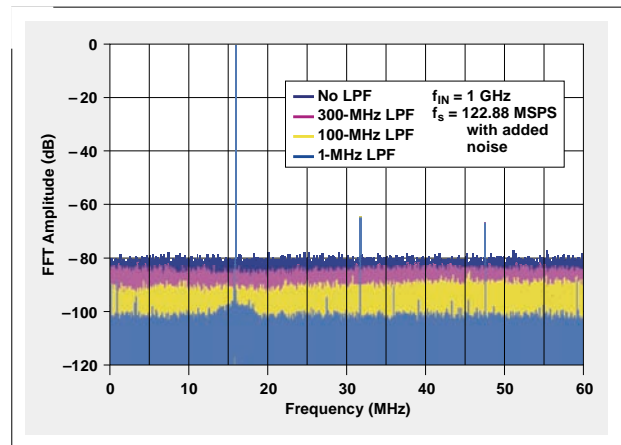
**結論**

この記事では、サンプリング・クロック・ジッタを正確に推定する方法と適切な積分の上限値および下限値を決定する方法について説明してきました。パート2では、この推定結果を使用してADCのSNRを推理する方法、およびこの結果と実際の測定値を比較する方法について説明します。

表2. 図9の設定でのSNR測定値

設定	SNR (dBFS)
フィルタなし	39.9
300-MHz LPF	43.6
100-MHz LPF	49.4
1-MHz LPF	57.7

図10. 測定したFFTプロットと異なるノイズの寄与分の重ね合わせグラフ



**参考文献**

この記事に関する詳細な情報についてご覧になりたい方は、以下のAcrobat® Reader®のファイルを[www.ti.com/lit/litnumber](http://www.ti.com/lit/litnumber)からダウンロードしてください。（"litnumber"は下記に示す"TI Lit. #"です）

**文書タイトル**

TI Lit. #

1. Thomas Neu, "Impact of sampling-clock spurs on ADC performance," *Analog Applications Journal* (3Q 2009).....slyt338

**関連ウェブサイト**

[dataconverter.ti.com](http://dataconverter.ti.com)  
[www.ti.com/sc/device/ADS54RF63](http://www.ti.com/sc/device/ADS54RF63)



# DC/DCコンバータの使用率を拡大する結合インダクタ

Jeff Falin

Senior Applications Engineer

## はじめに

近年、インダクタ・メーカーが既製の結合インダクタを販売し始めるようになりました。同一コアに巻きつけた2つの異なるインダクタから成る結合インダクタは、通常、シングル・インダクタのパッケージと比べてわずかに高さが増すものの、インダクタンス値・縦横の長さが同じパッケージで販売されています。価格もシングル・インダクタ2つよりもかなり安く設定されているのが一般的です。結合インダクタの巻線は、直列または並列で使用されたり、変圧器としても使用できます。この記事では、結合インダクタを用いて一般的なアプリケーションの仕様を満たす4つのDC/DCコンバータ・トポロジについて説明します。

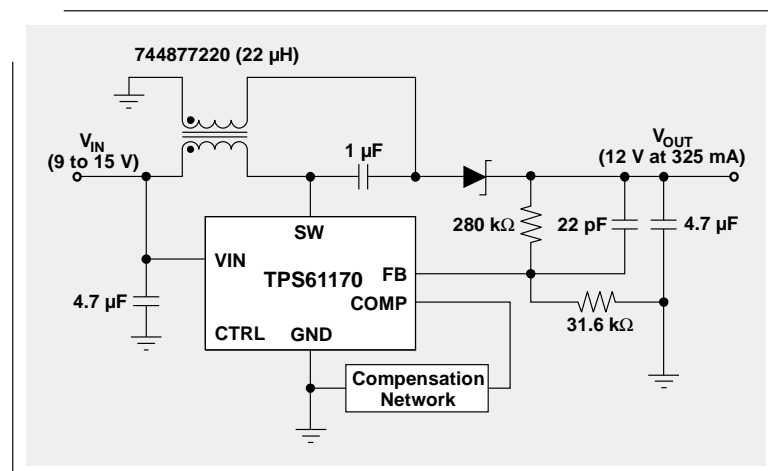
結合インダクタを最大限活用するには、結合インダクタの仕様を明確に理解する必要があります。ほとんどの結合インダクタは巻数が同じ（例：巻数比1：1）ですが、一部の新しいものでは巻数比を変えてあるものもあります。結合インダクタの結合係数Kは通常約0.95で、カスタム変圧器の係数（0.99以上）よりもかなり低くなっています。結合インダクタの相互インダクタンスは、フライバック・アプリケーションでの効率をわずかに悪化させたり、インダクタの波形を理想とは違うもの（例：三角ではなく曲線）となってしまうこともあります。また、結合インダクタの電流仕様は、巻線が物理的に直列または並列のどちらで接続されているかによって異なります。たとえば、巻線が直列で接続されている場合、対応するインダクタンスは相互インダクタンスによって

定格インダクタンスの2倍以上になります。データ・シートに特に明記されていなければ、両方の巻線に同時に流れる電流に対しては飽和電流定格とRMS電流定格を適用する必要があります。この仕様を理解した上で、実際のアプリケーションで結合インダクタを使用した数例について考察します。

## 占有面積が小さく、より効率的なSEPIC

例えばアンレギュレーションの12V ACアダプタなどで、入力電圧が変動しても出力電圧をその中間に制御できるコンバータが長い間求められていたにもかかわらず、DC/DCシングルエンド・プライマリ・インダクタンス・コンバータ（SEPIC）のトポロジは最近まで普及していませんでした。あらゆるブースト・コンバータ/コントローラがSEPICとして構成できますが、最近まであまり使用されることはありませんでした。SEPICが新たに見直されている背景には以下の2つの要因が挙げられます。（1）ICメーカーが位相補正を簡略化できる電流モードのブースト・コントローラを多く製造し始めていること、（2）インダクタ・メーカーがコンバータ全体のPCB占有面積を最小化するためにシングル・パッケージの結合インダクタを製造し始めていること、特に、個別のインダクタを2つ置かず結合インダクタを使用すると、多くのアプリケーションで電源占有面積を3分の1に抑えることができることです。図1は、Texas Instruments（TI）TPS61170とWuerth 744877220を使用したSEPICです。

図1. TI TPS61170とWuerth 744877220を使用したSEPIC



さらに良い点として、1:1の結合インダクタを使用したSEPICを使用するとインダクタのリップル電流が2つの巻線に分散されるので、シングル・インダクタ2つを使用したときと同じリップル電流を得るには、結合インダクタの場合は、その半分のインダクタンス値で済みます。同サイズのパッケージで比較したとき、インダクタンス値が2倍必要なシングル・インダクタ2つの場合と比較すると、結合インダクタはDC抵抗が小さくできるのでコンバータの全体的な効率が向上します。特に、入力が15Vで出力が12V、325mAの場合、図1のSEPICでは効率が91%を上回ります。詳細については、参考文献1を参照してください。

### 占有面積の小さいZETAコンバータ

ZETAコンバータは、インダクタ2つと結合コンデンサ1つを使用することで、SEPICと同じバック・ブースト機能を実現しています。ただし、ブースト・コントローラではなくバック・コントローラを使用します。図2は、ZETAの構成でのTI TPS40200とCoiltronics DRQ74です。SEPICのようにイ

ンダクタのリップル電流が半分になるので、ZETAコンバータで同じリップル電流を得るために必要なインダクタンスも半分で済みます。SEPICと同様に、全体的な電源占有面積も2つの個別のインダクタの3分の1になります。ZETAコンバータの出力インダクタ電流は出力に向かって連続的に流れるので、ZETAの出力電圧リップルはインダクタンスが同じSEPICのリップルよりも低くなります。そのため、ZETAはSEPICよりも低ノイズのアプリケーションに適していると言えます。詳細については、参考文献2を参照してください。

### スプリットレール電源

±電源レールをマッチングさせることは、産業用アプリケーションには共通の要求としてあり、特にOP-AMPにとっては重要です。入力範囲が広範なバック・コンバータは、マイナスの出力電圧を供給するように設定できます。反転型バック・コンバータのインダクタを結合インダクタに置き換えてダイオードとコンデンサを追加すると、この反転型バック・コンバータはデュアル出力とすることができます。

図2. TI TPS40200とCoiltronics DRQ74を搭載したZETAコンバータ

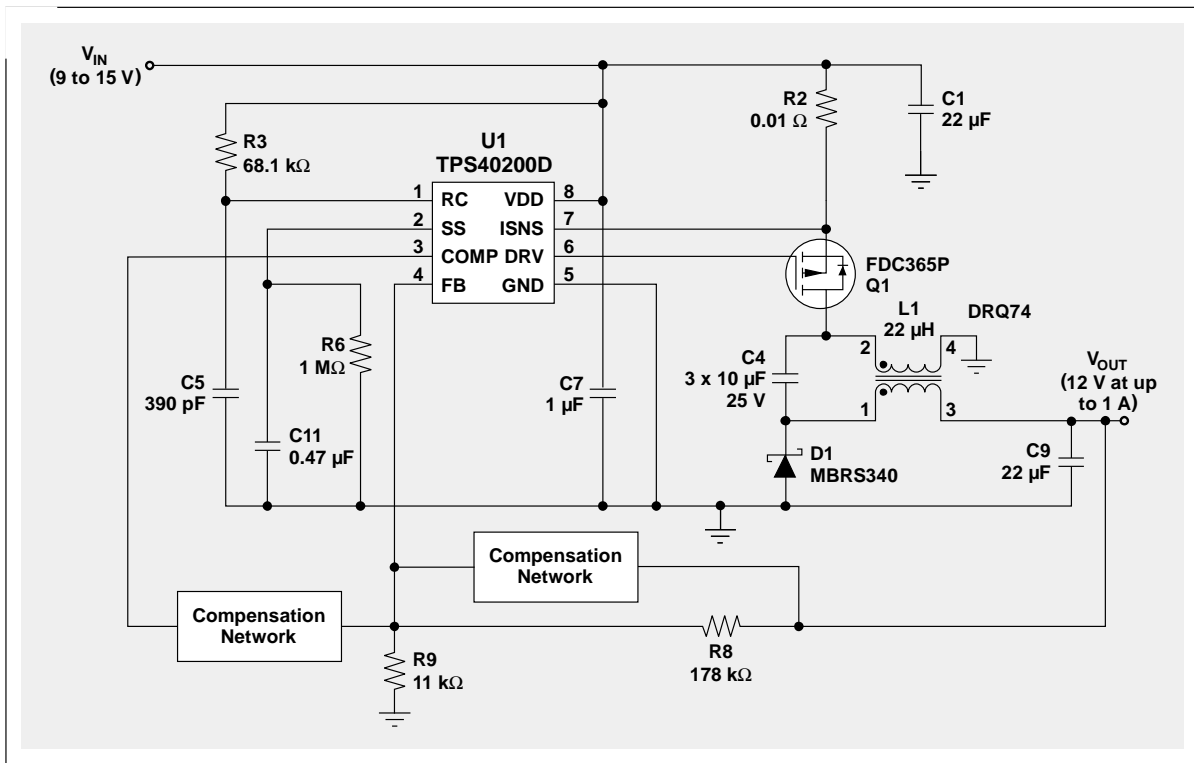


図3にその回路構成と使用するTI TPS54160とCoilcraft 150- $\mu$ H MSD1260を示します。各レールは個別に制御されるのではなく各レール間の電位差が制御されることになります。各レールの負荷がある程度等しい場合は、結合インダクタにより、各レールで非常によいレギュレーションが得られます。詳細については、参考文献3を参照してください。

## より高い出力電圧

FET内蔵昇圧DC/DCコンバータの出力電圧は、コンバータのスイッチ定格によって制限されます。巻数比が1:1以上の結合インダクタをコンバータのスイッチピン (SW) に接続すると、ブースト・コンバータの有効出力電圧範囲を拡大できます。例として、図4に絶対最大定格が30Vのブースト・コンバータTI TPS61040と1:2の結合インダクタCoilcraft LPR4012-103Bで構成した回路を示します。この回路例では、35Vまたはそれ以上の電圧を供給することが可能です。ここで用いられている結合インダクタが、ダイオードと接続する2次側が1次側の2倍巻いてある構成であるとき、1次側インダクタ端、つまりコンバータのスイッチFET、には出力電圧の3分の1しか印加されず、1次側インダクタ自体にはその電圧と入力電圧の差分しか印加されません。

## 結論

ほとんどのインダクタ・メーカーには、巻数比が1:1またはそれ以上の巻き数比をもった結合インダクタの製品シリーズがあります。これら既製品を是非ご検討ください。結合インダクタによって、よく使用するDC/DCコンバータICのアプリケーションの適用範囲を拡大することができます。

## 参考文献

この記事に関する詳細な情報をご覧になりたい方は、以下のAcrobat® Reader®のファイルをwww.ti.com/lit/litnumberからダウンロードして、「litnumber」を次に記載の資料の「TI Lit. #」に置き換えてください。

文書タイトル	TI Lit. #
1. Jeff Falin, "Designing DC/DC converters based on SEPIC topology," <i>Analog Applications Journal</i> (4Q 2008) .....	slyt309
2. Jeff Falin, "Designing DC/DC converters based on ZETA topology," <i>Analog Applications Journal</i> (2Q 2010) .....	slyt372
3. David G. Daniels, "Creating a split-rail power supply with a wide input voltage buck regulator," <i>Application Report</i> .....	slva369

図3. TI TPS54160とCoilcraft MSD1260を用いるスプリットレール・バック・コンバータ

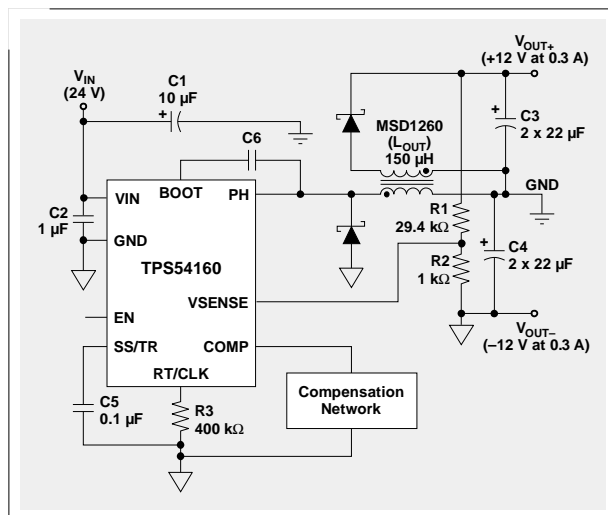
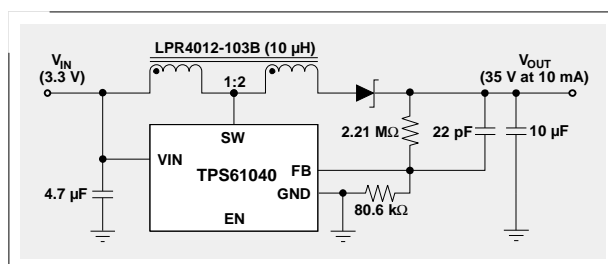


図4. 出力電圧を拡大するTI TPS61040とCoilcraft LPR4012-103B



## 関連ウェブサイト

[power.ti.com](http://power.ti.com)

[www.ti.com/sc/device/partnumber](http://www.ti.com/sc/device/partnumber)

「partnumber」の部分 を、TPS40200、TPS54160、TPS61040、またはTPS61170に置き換えてください。

# 「プラチナ・レベル」のコンピュータ電源

Michael O'Loughlin

Senior Applications Engineer

## はじめに

80PLUS™ およびClimate Savers Computing™ イニシアチブは、コンピュータの電源について非常に積極的な効率基準を設定しています。「プラチナ」レベルの基準では、コンピュータの電源が定格の20%の負荷条件で90%の効率、50%の負荷で94%、および100%の負荷で91%の効率を実現しなければなりません。この基準を満たすために、一部の電源設計者は同期整流器を搭載した位相シフト・フルブリッジ DC/DCコンバータを選択しています。一次側FETでゼロ電圧スイッチング (ZVS) を達成できるので、このトポロジの使用は良い選択と言えます。同期整流器を駆動する一般的な方法は、既に一次側FETを駆動している信号を用いることです。この方法の唯一の問題は、ZVSを達成するためにこれらの一次側FETにデッドタイムが必要になることです。これによって、フリーホイーリング中に両方の同期整流器が同時にオフになり、過剰なボディ・ダイオード導通が生じてシステム効率が低下します。この記事の目的は、ボディ・ダイオードの導通を低減して全体的なシステム効率を向上させるために、同期整流器を駆動するさまざまなタイミングを提案することです。

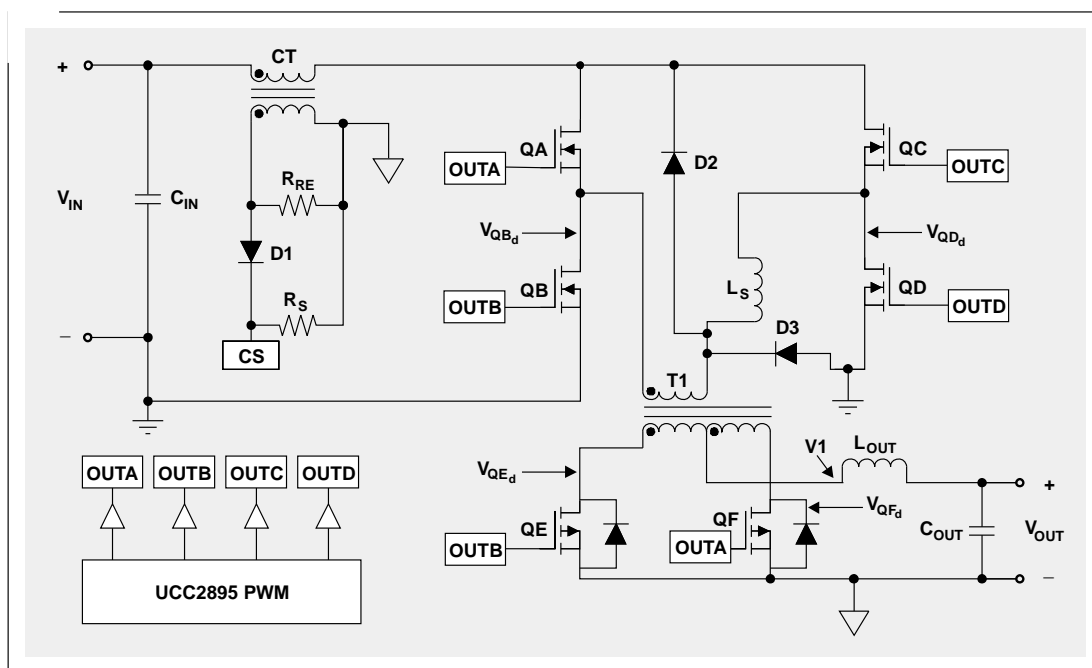
位相シフト・フルブリッジ・コンバータを制御するように作られていて、なおかつ同期整流器 (QEおよびQF) を駆動するように設定されているパルス幅変調器 (PWM) は市場にはほとんど出回っていません。このアプリケーションでこれらのコントローラを使用するために、エンジニア達は、PWMコントローラからの制御信号OUTAとOUTBを用いて同期FETを制御できることを発見しました。図1は、これらのコンバータのうちの1つの機能システム図です。

## 問題

PWMコントローラは、HブリッジのFET (QA、QB、QC、QD) のターンオンを遅らせることによってコンバータでのZVSを実現可能にします。FET QAとQBのターンオフからターンオンまでの遅延 ( $t_{Delay}$ ) によって同期FET QEとQFが同時にオフになり、先ほど述べたようにボディ・ダイオードの導通が起ります。次の計算式を使用すると、フリーホイーリング中のQEとQFにおけるボディ・ダイオードの導通損失を適切に推定できます。

$$P_{Diode} = \frac{P_{OUT}}{V_{OUT}} \times V_D \times t_{Delay} \times f_s,$$

図1. 同期整流器向けに改良された位相シフト・フルブリッジ・コンバータ



$P_{OUT}$ は出力電力、 $V_{OUT}$ は出力電圧、 $V_D$ はボディ・ダイオードの順電圧降下、 $f_s$ はインダクタのスイッチング周波数です。

QEとQFの過剰なボディ・ダイオードの導通損失 ( $P_{Diode}$ ) によって、設計がプラチナ・レベルの基準を満たさなくなる可能性があります。詳細については、図1と図2を参照してください。図からわかるように、OUTAがFET QAとQFを駆動し、OUTBがFET QBとQEを駆動します。V1は $L_{OUT}$ および $C_{OUT}$ フィルタ・ネットワークの入力に供給される電圧

で、 $V_{QE_d}$ と $V_{QF_d}$ はそれぞれの同期整流器QEとQFの電圧です。

### 解決策

QEとQFのボディ・ダイオードの導通を低減するために、QAとQBの遅延期間 ( $t_{Delay}$ ) に同期整流器をオンにすることをお勧めします。そのためには、FET QEとQFを同時にオフさせず、それぞれの出力をオンタイム中にオーバーラップするように駆動させる必要があります。

図2. 図1のコンバータのタイミング図

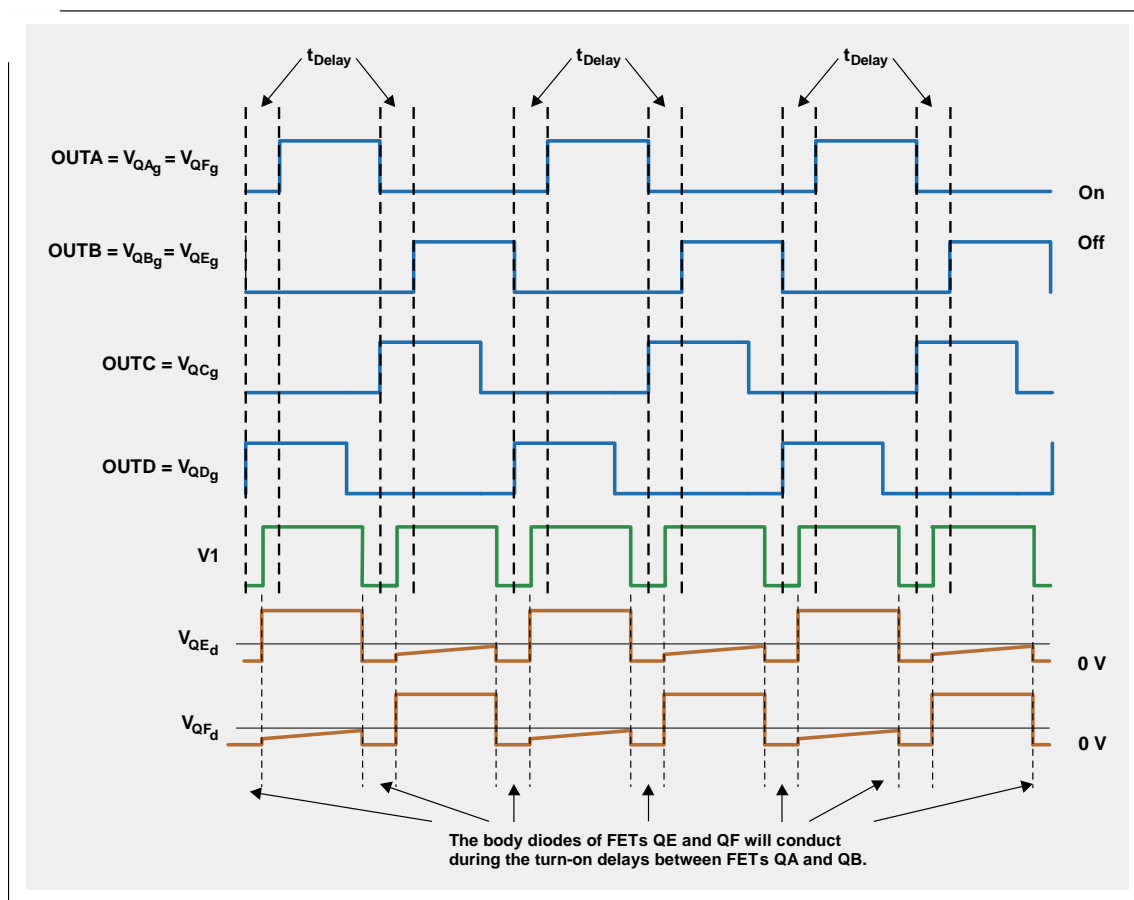


図3は、6つの異なる駆動信号（OUTAからOUTF）を用いる位相シフト・フルブリッジ・コンバータの機能系統図です。QEの信号（OUTE）とQFの信号（OUTF）は、QAからQDのオン/オフの端にて駆動するOUTEとOUTFによって、発生させることができます。そのために必要なタイミングを、表1と図4に示します。

表1. OUTEとOUTFのオン/オフ

OUTE	OUTCのオン時にオンにする	OUTBのオフ時にオフにする
OUTF	OUTDのオン時にオンにする	OUTAのオフ時にオフにする

図3. 表1のタイミングを使用する位相シフト・フルブリッジ・コンバータ

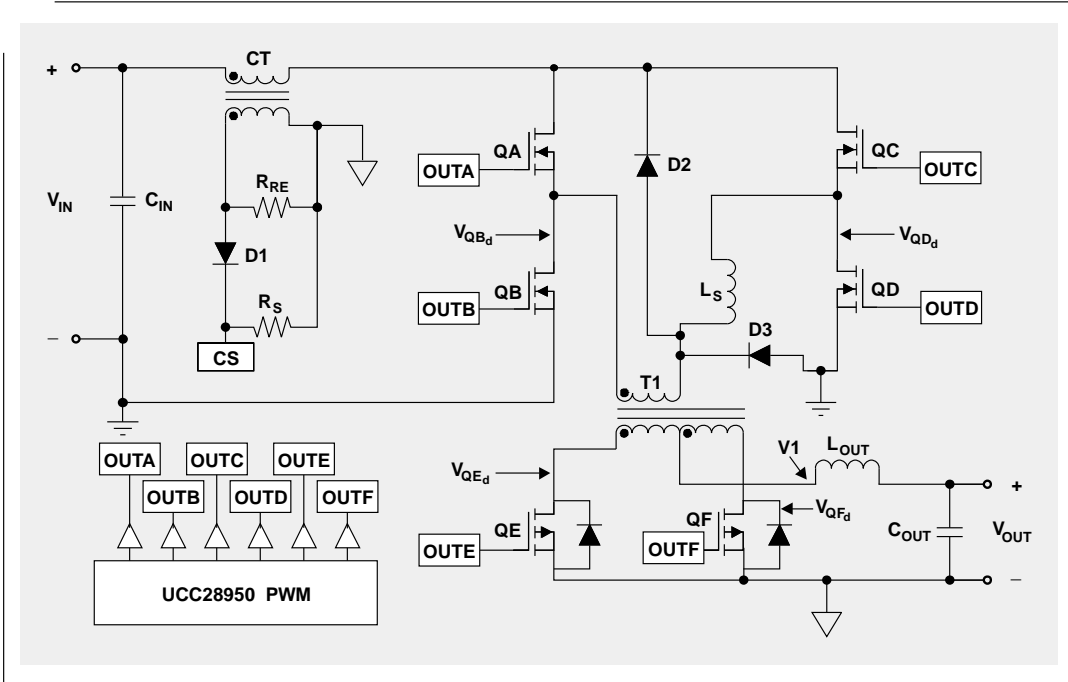


図4の理論上の波形から、この方法によって図2のゲート駆動信号のように両方のゲート駆動が $t_{\text{Delay}}$ 中オフになっている場合より、ボディ・ダイオードの導通が削減されることがわかります。

## 実験結果

この方法がボディ・ダイオードの導通の低減にどれだけ有効であるかどうか、390V入力-12V出力の位相シフト・フルブリッジ・コンバータを図2と図4に示された信号を用いてFETを駆動できるよう変更し、確認しました。

図4. QEとQFのボディ・ダイオードの導通を低減するタイミング図

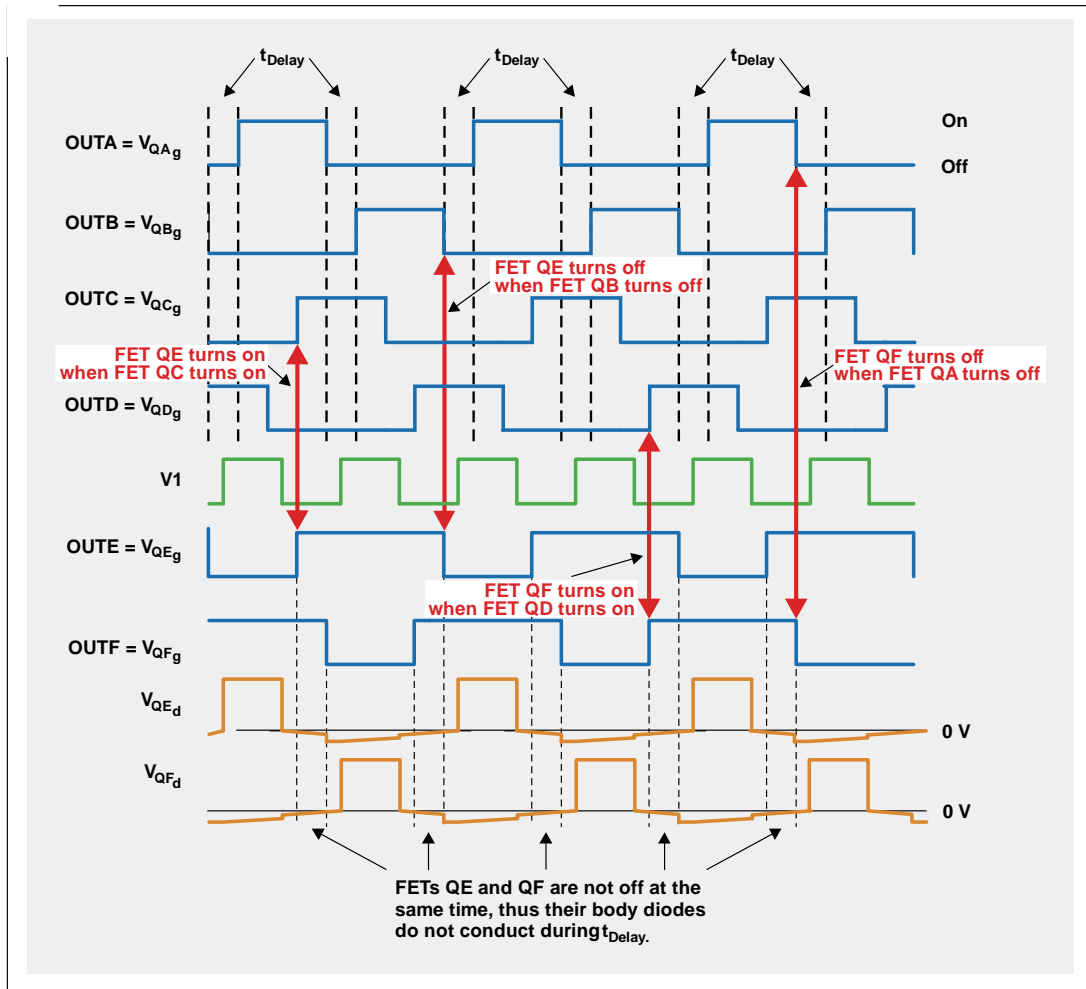


図5は、PWM出力（OUTAとOUTB）を用いて駆動される同期FET（QEとQF）のスクープ・プロットです。この図では、OUTAとOUTB間の遅延時間（ $t_{Delay}$ ）中にボディ・ダイオードの導通を確認できます。

次のページの図6は、図3のOUTEとOUTFを用いて駆動される同期FET（QEとQF）のスクープ・プロットです。これらの信号は、TIの新しい位相シフト・フルブリッジ・コントローラUCC28950から発生しています。図6から、FET QEとQFが同時にオンになっているときはボディ・ダイオードが導通しなかったこともわかります。一部のボディ・ダイオードの導通は依然として見られますが、図5ほど大きくありません。

600WのDC/DCコンバータの効率は、両方の駆動方式（OUTAとOUTBならびにOUTEとOUTF）について20%から100%までの負荷条件のもと測定されました。この2つの駆動方式でのコンバータの効率データを、次のページの図7に示します。50%～100%の負荷条件でOUTEおよびOUTFを使用すると、OUTAおよびOUTBを使用するよりも約0.4%効率が良かったことがわかります。0.4%の効率向上は大きな変化ではないように思えますが、設計者がプラチナ・レベル基準の達成を目指す際には影響を及ぼすことがあります。

### 結論

同期整流（OUTAおよびOUTBの駆動方式）向けに設計されていない位相シフト・フルブリッジ・コントローラを用いて同期整流器を搭載した位相シフト・フルブリッジ・コンバータを制御することはできますが、ZVSの実現にOUTAとOUTB間のターンオン遅延が必要になるので両方の同期FETは同時にオフ（ $t_{Delay}$ ）になります。この遅延によって、FETのフリーホイーリング中にボディ・ダイオードの導通が過剰になります。この記事では、ボディ・ダイオードが導通しないようにフリーホイーリング中に同期整流器のオン時をオーバーラップすると効率が良いと説明してきました。ボディ・ダイオードの導通はこの方法では完全になくなりませんが大幅に低減されるので、全体的なシステム効率を向上し、プラチナ・レベルの基準を容易に満たすことができるようになります。

### 関連ウェブサイト

[power.ti.com](http://power.ti.com)

[www.ti.com/sc/device/UCC2895](http://www.ti.com/sc/device/UCC2895)

[www.ti.com/sc/device/UCC28950](http://www.ti.com/sc/device/UCC28950)

図5. QEとQFのボディ・ダイオード導通のスクープ・プロット

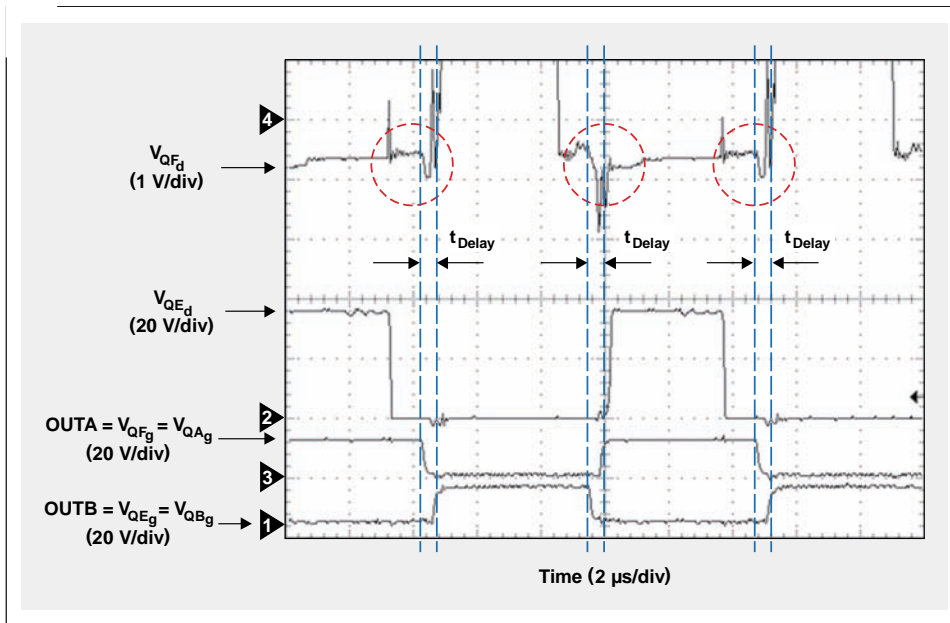




図6. QEとQFのボディ・ダイオード導通の低減を示すスコープ・プロット

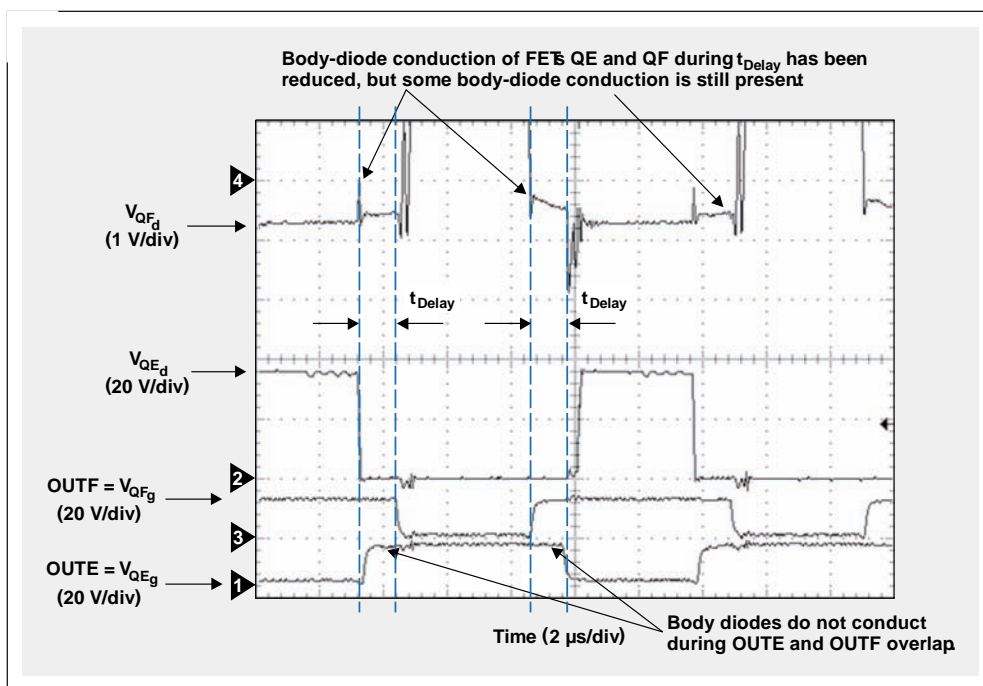
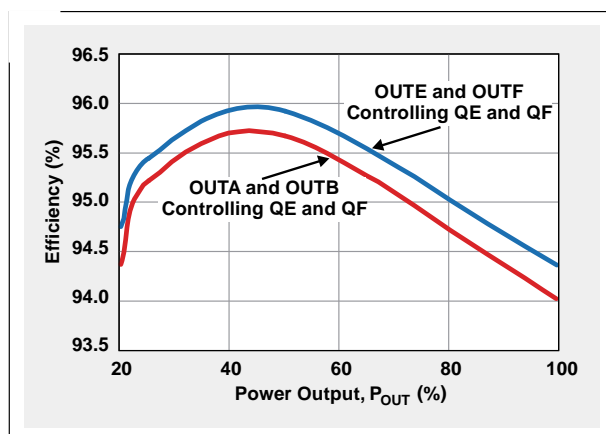


図7. 異なるQEとQFの駆動方式を用いた場合の600 W DC/DCコンバータの効率



# デジタル・キャパシティブ・アイソレータの磁界耐性

Thomas Kugelstadt

Senior Applications Engineer

デジタル・キャパシティブ・アイソレータのアプリケーション環境は、大きな電磁界を生じる大型の電気モータ、発電機、その他の機器に近接していることがよくあります。誘導起電力 (EMF)、つまり磁界によって発生する電圧は伝達されるデータ信号に干渉することがあるので、磁界にさらされるとデータが破損する可能性があります。このような潜在的脅威があるため、多くのデジタル・アイソレータ・ユーザはアイソレータの磁界耐性 (MFI) の高さの根拠を示すように求めています。多くのデジタル・アイソレータ技術が高MFIを謳っていますが、キャパシティブ・アイソレータはその設計と内部構造によってほぼ無限と言えるほどの高MFIを実現します。この記事では、その設計の詳細について説明します。

## いくつかの物理的な基本

電気モータへの供給ラインなどの通電導体は、そこを流れる電流によって発生する磁界に囲まれていると考えられています。磁界の方向は、右手の法則を適用すると簡単にわかります (図1を参照)。この法則では、右手で導体を握り、親指が電流の方向を指すとすると、導体を取り巻く指が磁界の方向を示します。したがって、磁力線の水平面は常に電流に対して垂直になります。

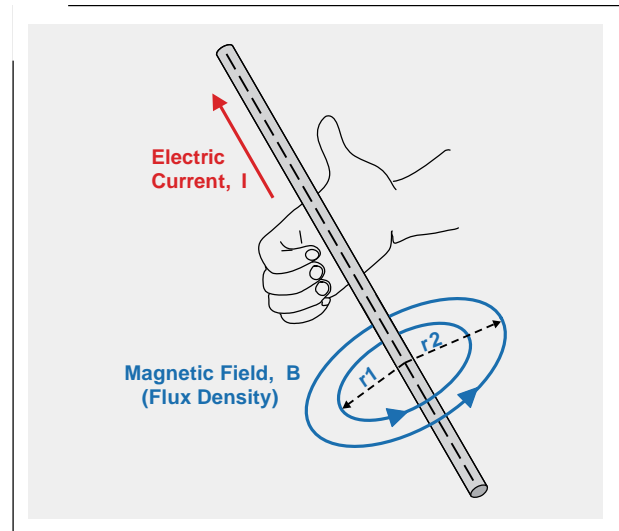
図1は、DC電流に対する磁束密度 $B$ を示しています。AC電流の場合は右手の法則が両方向に適用され、磁界はAC電流と同じ周波数 ( $f$ ) と共に変化します [ $B(f) \sim I(f)$ ]。磁界、正確に言うと磁束密度とそれに対応する磁界強度は、導体の中心軸から離れるにつれて小さくなります。この関係は次の計算式で表されます。

$$B = \frac{\mu_0 I}{2\pi r} \quad (1)$$

および

$$H = \frac{B}{\mu_0} = \frac{I}{2\pi r}, \quad (2)$$

図1. 右手の法則



$B$ は磁束密度 (単位:  $V \cdot s/m^2$ )、 $\mu_0$ は自由空間の透磁率 ( $4\pi \times 10^{-7} V \cdot s/A \cdot m$ で算出)、 $I$ は電流 (アンペア)、 $r$ は導体からの距離 (メートル)、 $H$ は磁界強度 ( $A/m$ ) です。

磁力線が導体ループ付近で交差するとEMFが発生します。その振幅はループ領域と磁界の磁束密度および周波数によって変わります。計算式は次のとおりです。

$$EMF(f) = B \times 2\pi f \times A, \quad (3)$$

EMFはボルト単位の誘導起電力、 $f$ は磁界周波数、 $A$ は平方メートル単位のループ領域です。

すべてのアイソレータには、磁力線が交差してEMFを生じる導体ループが何らかの形で存在します。このEMFが大きいと、信号電圧と重なり合って異常なデータ伝送を引き起こす可能性があります。実際、一部の絶縁技術には磁気干渉の影響を非常に受けやすいものがあります。キャパシティブ・アイソレータが磁界の影響を受けない理由を理解するには、内部構造を考察する必要があります。

図2. キャパシティブ・アイソレータの内部構造の簡略図

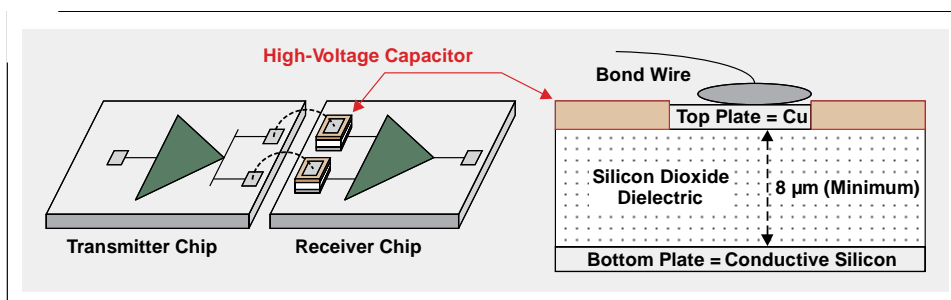
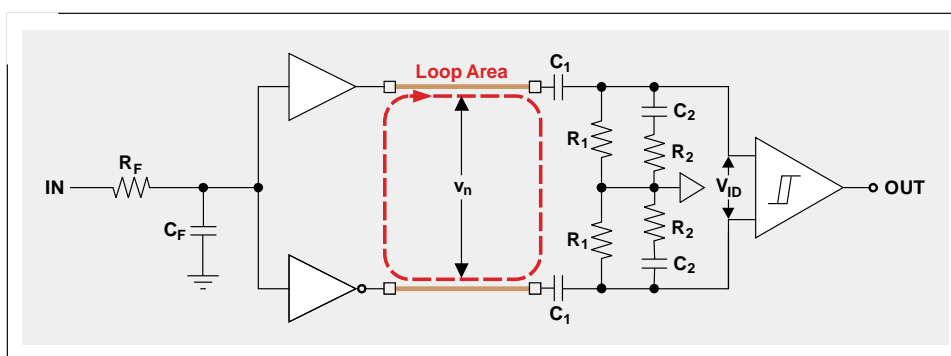


図3. 絶縁バリアの等価回路図

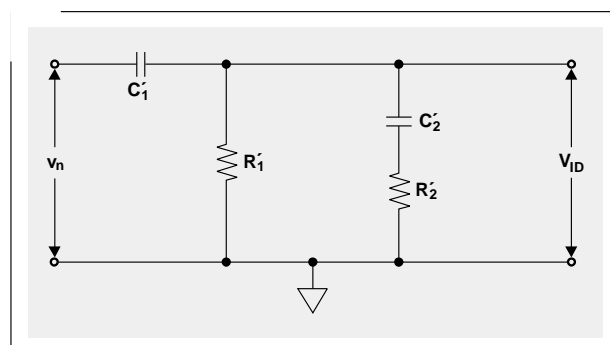


### キャパシティブ・アイソレータの構造

キャパシティブ・アイソレータは、2つのシリコン・チップ（トランスミッタとレシーバ）で構成されています（図2を参照）。データ伝送は2つのコンデンサによって形成される差動絶縁バリアを越えて行われます。このコンデンサの二酸化ケイ素（SiO<sub>2</sub>）誘電体の両側は、銅のトップ・プレートと伝導性シリコンのボトム・プレートです。トランスミッタ・チップのドライバ出力は、ボンド・ワイヤ経由でレシーバ・チップにある絶縁コンデンサのトップ・プレートに接続しています。コンデンサのボトム・プレートはレシーバ入力に接続していて、そこで導体ループが生成されます。図3は、絶縁バリアの等価回路図で、金のボンド・ワイヤ間のループ領域が示されています。このループを交差する磁界が、次のRCネットワークへの入力電圧ノイズ $v_n$ に相当するEMFを生じます。また、コモン・モード・ノイズから差動ノイズへの変換によって、しばしば2次差動ノイズ・コンポーネント $v_n$ が発生します。この両方のノイズ・コンポーネントが結合ノイズ $v_n$ を生成します。EMFの影響のみを考慮する場合は、 $v_n$ は控えめに半分に割ることができます。

$$EMF = \frac{v_n}{2} \tag{4}$$

図4. シングル・エンド型RCネットワーク



レシーバを起動するには、RCネットワークの出力が、レシーバの入力しきい値以上の差動入力電圧 $V_{ID}$ を提供しなければなりません。誤起動が発生するかどうかは、RCネットワークのゲイン応答 $G(f)$ 次第です。

差動ネットワークからシングル・エンド型ネットワーク（図4）への変換によって $G(f)$ の誘導は容易になりますが、 $C_1' = 2C_1$ 、 $R_1' = R_1/2$ 、 $C_2' = 2C_2$ 、および $R_2' = R_2/2$ にする必要があります。

回路シミュレーションによって、RCネットワークは一次ハイパス・フィルタであり、100MHzまでC<sub>1</sub>'とR<sub>1</sub>'が支配的成分になることが裏付けられました（図5の青の曲線を参照）。この周波数を上回ると寄生成分のC<sub>2</sub>'とR<sub>2</sub>'が有効になり、線の傾斜からわずかにずれが生じます。そのため、100MHzまではゲイン応答をV<sub>ID</sub>/v<sub>n</sub>の比で表すことができます。

$$\frac{V_{ID}}{v_n}(f) = |G(f)| = \frac{2\pi f}{\sqrt{(2\pi f)^2 + \left(\frac{1}{R_1' \times C_1'}\right)^2}} \quad (5)$$

レシーバの誤起動を防ぐ最大許容ノイズを算出するには、計算式5でv<sub>n</sub>を求める必要があります。

$$v_n(f) < \frac{V_{ID} \sqrt{(2\pi f)^2 + \left(\frac{1}{R_1' \times C_1'}\right)^2}}{2\pi f} \quad (6)$$

そして、v<sub>n</sub>を計算式4に代入すると最大許容EMF（単位：ボルト）が求められます。

$$EMF(f) < \frac{V_{ID} \sqrt{(2\pi f)^2 + \left(\frac{1}{R_1' \times C_1'}\right)^2}}{4\pi f} \quad (7)$$

EMFを計算式3に代入すると、最大許容磁束密度が得られます。

$$B(f) < \frac{V_{ID} \sqrt{1 + \left(\frac{1}{2\pi f \times R_1' \times C_1'}\right)^2}}{4\pi f \times A} \quad (8)$$

表1. キャパシティブ・アイソレータから0.1メートル離れたコンダクタの電流と磁力の値

周波数 f	磁束密度、B (V·s/m <sup>2</sup> )	EMF (V)	磁界強度、H (A/m)	電流、I (A)
1 kHz	1.07 × 10 <sup>7</sup>	63738.5	8.55 × 10 <sup>12</sup>	5.37 × 10 <sup>12</sup>
10 kHz	1.07 × 10 <sup>6</sup>	6373.8	8.55 × 10 <sup>10</sup>	5.37 × 10 <sup>10</sup>
100 kHz	1.07 × 10 <sup>5</sup>	637.4	8.55 × 10 <sup>8</sup>	5.37 × 10 <sup>8</sup>
1 MHz	1.07 × 10 <sup>4</sup>	63.7	8.55 × 10 <sup>6</sup>	5.37 × 10 <sup>6</sup>
10 MHz	1.07 × 10 <sup>3</sup>	6.4	8.55 × 10 <sup>4</sup>	5.37 × 10 <sup>4</sup>
100 MHz	1.07 × 10 <sup>2</sup>	0.6	8.55 × 10 <sup>2</sup>	5.37 × 10 <sup>2</sup>

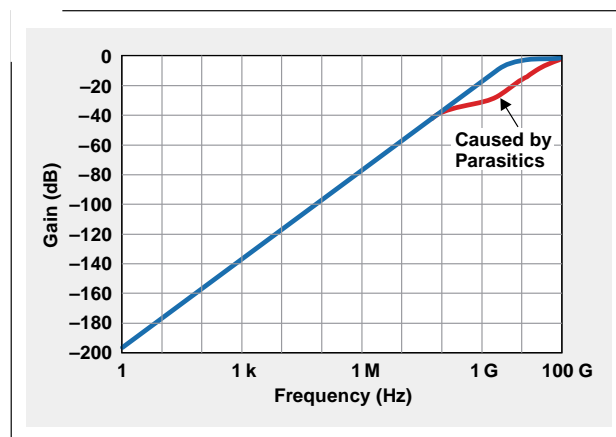
磁束密度に関する表1の周波数に依存する値は、次の数値を計算式8に挿入して求めました。

- V<sub>ID</sub> = 10mV（レシーバの入力しきい値の振幅）
- R<sub>1</sub>' × C<sub>1</sub>' = 25ps（有効定数）
- A = 944 × 10<sup>-9</sup> m<sup>2</sup>（有効ループ領域）
- f = 1kHz to 100MHz（対象周波数範囲）

計算式2と3を使用すると、アイソレータから0.1メートルの距離にあると仮定されるコンダクタのEMF、磁界強度(H)、およびそれに対応する電流(I)も求めることができます。

表1の値は非常に高いので、5 × 10<sup>12</sup>Aの低周波数電流でも100MHzの500Aでも、このアイソレータの適切な動作を妨げることはないことがわかります。

図5. ゲインの振幅G(f)の周波数応答



MFIがほぼ無限と言えるほど高い理由は、絶縁コンデンサの位置にあります。コンデンサがトランスミッタ・チップにある場合、ボンド・ワイヤで生じるEMFは邪魔されることなくレシーバ入力に到達します。

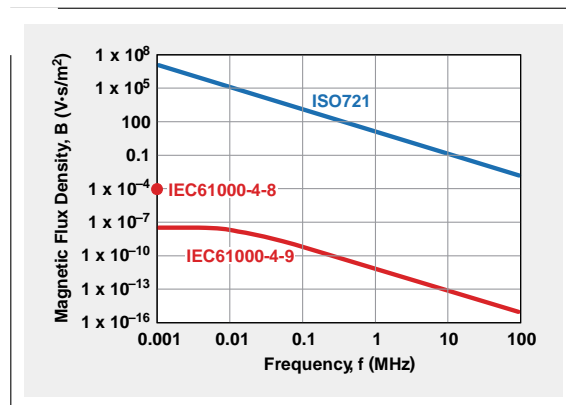
明白なことですが、このように高いMFIの値を実際にテストすることはできません。そのため、キャパシティブ・アイソレータのデータ・シートには、実際のテスト・フィールドとして比較的小さな値の1000A/mのみが示されています。ただし、非シールド時のキャパシティブ・アイソレータは、IEC61000-4-8およびIEC61000-4-9規格のクラス5のMFI要件を容易に満たします。これらの規格では、最大100A/mの電源周波数フィールドと最大1000A/mのパルス・フィールドのアプリケーションについて説明されています。クラス5では、導体、バス・バー、中電圧線、または数十キロアンペアを流す高電圧線などがある過酷な産業環境が対象範囲に定義されています。同様に、すべての雷電流を流す雷保護システムのグラウンド導体や高構造物（鉄塔など）も含まれていません。重工業プラントの配電開閉所や発電所もこのタイプの環境に相当します。

図6は、計算したキャパシティブ・アイソレータのMFIしきい値とIEC 61000-4-8およびIEC 61000-4-9のクラス5（最高）テスト・レベルとの比較です。

## 結論

キャパシティブ・アイソレータの差動回路で磁気結合がノイズ許容値を超えるには、1MHzで $11.7V \cdot s/m^2$ （117キロガウス）以上の磁束密度が必要です。これは、デバイスから0.1メートル離れた導体を500万A以上の電流が流れることによって生じる磁界に相当します。自然界や製造装置では殆どありえないことです。もしそのようなことがあれば、設計者は絶縁バリアよりも周辺回路が先に故障すると想定できます。

図6. MFIのテストしきい値



## 参考文献

- Donald G. Fink, *Electronic Engineers' Handbook*, 1st ed. New York: McGraw-Hill, 1975.
- William Hart Hayt, *Engineering Electromagnetics*, 3rd ed. New York: McGraw-Hill, 1974.
- Clare D. McGillem and George R. Cooper, *Continuous and Discrete Signal and System Analysis*. New York: Holt, Rinehart and Winston, 1974.
- "Electromagnetic interference test report for the ISO721 high-speed digital isolator," Southwest Research Inst., Document No. EMCR 05/019 rev. 00, August 2005.

## 関連ウェブサイト

[interface.ti.com](http://interface.ti.com)

# オペアンプのゲイン安定性

## 第3部：ACゲイン誤差の分析

By Miroslav Oljaca,  
Henry Surtihadi,

Senior Applications Engineer,  
Analog Design Engineer

### はじめに

この3部構成の記事の目的は、最も標準的なオペアンプ（OPアンプ）構成（非反転および反転構成）の閉ループ回路におけるゲイン精度について、読者がより深く理解できるようにすることです。さまざまなオペアンプ・パラメータが回路の閉ループ・ゲインに及ぼす影響はしばしば見落とされて、DC領域とAC領域の両方で予期せぬゲイン誤差が生じます。

第1部（参考文献1）では、非反転オペアンプと反転オペアンプの伝達関数を計算する2つの計算式を求めました。第2部（参考文献2）では、この2つの伝達関数とメーカーのデータシート（仕様書）を使用して閉ループ・オペアンプ回路のDCゲイン誤差を解析する方法について説明しました。また、特定の動作温度範囲で開ループ・ゲインの温度依存性がオペアンプの閉ループ・ゲイン誤差に及ぼす影響についても説明しました。

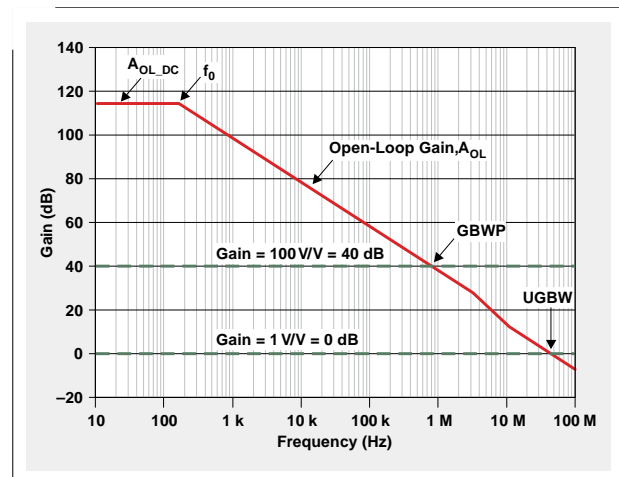
この最後の第3部の記事では、閉ループ・ゲインの周波数依存性について考察します。これは、設計者がDCゲイン計算をAC領域の解析に使用する際によく起こるミスを防止する役に立ちます。

### ゲイン帯域幅積の重要性

このセクションでは、オペアンプのゲイン帯域幅積（GBWP） $G \times BW$ の概念を見直します。GBWPは、ACの開ループ・ゲインを計算する前に必要なパラメータです。まず、オペアンプの開ループのカットオフ周波数を計算するために、GBWP（GBPと言われることもあります）が必要になります。オペアンプの開ループ応答の支配的な極（ $f_0$ ）の周波数を計算するためにもGBWPが必要です。 $f_0$ 以下の周波数では、オペアンプの開ループ・ゲインは一定で $A_{OL,DC}$ と同等になるので、第2部のDCのゲイン誤差計算が有効です（参考文献1と2を参照）。ただし、 $f_0$ 以上の周波数では、次のセクションで説明するACの計算を使用する必要があります。

一般的に、オペアンプの開ループ・ゲインが一直線に $-20\text{dB/dec}$ で減衰する場合、GBWPは一定です。選択された閉ループ・ゲインについては、任意の開ループ・ゲインでGBWPを除算することによって閉ループ・ゲインが減衰し始めるカットオフ周波数を計算できます。閉ループ応答で実際に生じる $-3\text{dB}$ ポイントは、ゲイン・ピーキングやその他の

図1. OPA211の開ループ・ゲイン対周波数



理想とは違う要因によって、計算した減衰ポイントとまったく同じにはならないことがあるのでご注意ください。

図1は、Texas Instruments (TI) OPA211の開ループ・ゲイン対周波数応答を簡略化したグラフです。製品のデータシートでは、GBWPが1（ $GBWP = 45\text{MHz}$ ）と100（ $GBWP = 80\text{MHz}$ ）の2つの異なるゲインに指定されています。2つの異なるゲインに指定する理由は、OPA211の開ループ・ゲイン応答には約4~20MHzの周波数領域にポール・ゼロ・ペアが追加されるためです。これは、一直線に $-20\text{dB/dec}$ で減衰するオペアンプのGBWPは1つだけだと先に述べた説明とは異なる特別なケースです。そのため、閉ループ・ゲインが100またはそれ以上のオペアンプについては、80MHzのGBWPを使用してカットオフを計算する必要があります。閉ループ・ゲインが2またはそれ以下のオペアンプについては、45MHzのGBWPを使用する必要があります。4MHz以上の周波数領域でさらに正確な計算を行う必要がある場合は、SPICEシミュレーションの使用をお勧めします。

所定のGBWPを使用して、設計者に異なる閉ループ・ゲインのカットオフ周波数を計算させます。オペアンプがユニティ・ゲイン構成（閉ループ・ゲインが1）の場合、カットオフ周波数は $45\text{MHz}/1$ になります。これはオペアンプのユニティ・ゲイン帯域幅（UGBW）としても知ら

れています。オペアンプの閉ループ・ゲインが100の場合、カットオフ周波数は800kHz (80MHz/100) になります。

OPA211の支配的な極の周波数 ( $f_0$ ) を計算するには、80MHzのGBWPを使用します。繰り返しますが、80MHzは閉ループ・ゲインが100以上かつ $A_{OL\_DC}$ の値までの場合に有効です。114dBは、室温で最低限保証されるOPA211のDCの開ループ・ゲインで、 $A_{OL\_DC}$ に使用されます。これらのすべてのパラメータを計算式1に代入すると、次のようになります。

$$f_0 = \frac{GBWP}{A_{OL\_DC}} = \frac{80 \text{ MHz}}{\frac{114 \text{ dB}}{10^{\frac{20}{20}}}} = 159.62 \text{ Hz.} \quad (1)$$

次のセクションで、この結果をACの開ループ・ゲインの計算に使用します。

## ACの開ループ・ゲインの計算

第1部では、周波数領域における非反転オペアンプ構成の閉ループ伝達関数を計算しました。特に、オペアンプが1次開ループ応答を実行すると仮定して、伝達関数を求めました。ゲイン誤差の計算については、振幅特性が対象になります。参考までに、その結果を次の計算式で再度表します。

$$|A_{CL}(f)|_{dB} = 20 \log \frac{\frac{A_{OL\_DC}}{1 + \beta \times A_{OL\_DC}}}{\sqrt{1 + \frac{f^2}{f_0^2} \times \frac{1}{(1 + \beta \times A_{OL\_DC})^2}}}, \quad (2)$$

$\beta$ は次のように定義されます。

$$\beta = \frac{V_{FB}}{V_{OUT}} = \frac{R_I}{R_I + R_F}. \quad (3)$$

第1部では、反転構成の閉ループ・ゲインの振幅を計算する計算式も求めました。その結果を計算式4で再度表します。

$$|A_{CL}(f)|_{dB} = 20 \log \frac{\alpha \frac{A_{OL\_DC}}{1 + \beta \times A_{OL\_DC}}}{\sqrt{1 + \frac{f^2}{f_0^2} \times \frac{1}{(1 + \beta \times A_{OL\_DC})^2}}} \quad (4)$$

計算式4では、計算式3で定義されたのと同じ変数 $\beta$ が使用されます。さらに、変数 $\alpha$ は計算式5で定義されます。

$$\alpha = \frac{V_{FB}}{V_{IN}} = \frac{R_F}{R_I + R_F} \quad (5)$$

現段階では、非反転アンプと反転アンプの閉ループ・ゲインはそれぞれ計算式2と4で表されています。これらの計算式は伝達関数の振幅を計算し、後に続く解析に使用されます。

第2部では、非反転オペアンプ構成のDCの開ループ伝達関数を計算しました。繰り返しになりますが、オペアンプが1次開ループ応答を実行すると仮定して伝達関数を求めました。非反転アンプと反転アンプのDCの開ループ・ゲインは、計算式2と4で $f$ を0に設定することによって求められます。次の2つの計算式になります。

$$A_{CL\_DC} = \frac{A_{OL\_DC}}{1 + \beta \times A_{OL\_DC}} \quad (6)$$

$$A_{CL\_DC} = -\alpha \frac{A_{OL\_DC}}{1 + \beta \times A_{OL\_DC}} \quad (7)$$

DCの開ループ・ゲインは、発表されている他の記事（参考文献3～8）とは少し違う方法で求められています。ただし、結果はこの解析と一致します。残念なことに、これらの記事では計算式6と7の $A_{OL\_DC}$ を $A_{OL}(f)$ に置き換えるだけでACの開ループ・ゲインを求めているので、単純な伝達関数になっています。その結果が計算式8と9です。

$$A_{CL}(f) = \frac{A_{OL}(f)}{1 + \beta \times A_{OL}(f)} \quad (8)$$

$$A_{CL}(f) = -\alpha \frac{A_{OL}(f)}{1 + \beta \times A_{OL}(f)} \quad (9)$$

この2つの計算式では、1次システム $A_{OL}(f)$ を次のように定義します。

$$A_{OL}(f)|_{dB} = A_{OL\_DC}|_{dB} - 20 \log \sqrt{1 + \frac{f^2}{f_0^2}}. \quad (10)$$

ただし、これはACの開ループ・ゲインを計算するには適した方法ではありません。代わりに、閉ループの伝達関数の振幅を表す計算式2と4を使用する必要があります。非反転構成では計算式8の代わりに計算式2を使用し、反転構成では計算式9の代わりに計算式4を使用します。次の2つのセクションでは、適切な計算式と不適切な計算式を使用してゲインを計算した場合の結果の違いについて説明します。

図2. 非反転構成のOPA211の閉ループ応答 (G = 200V/V)

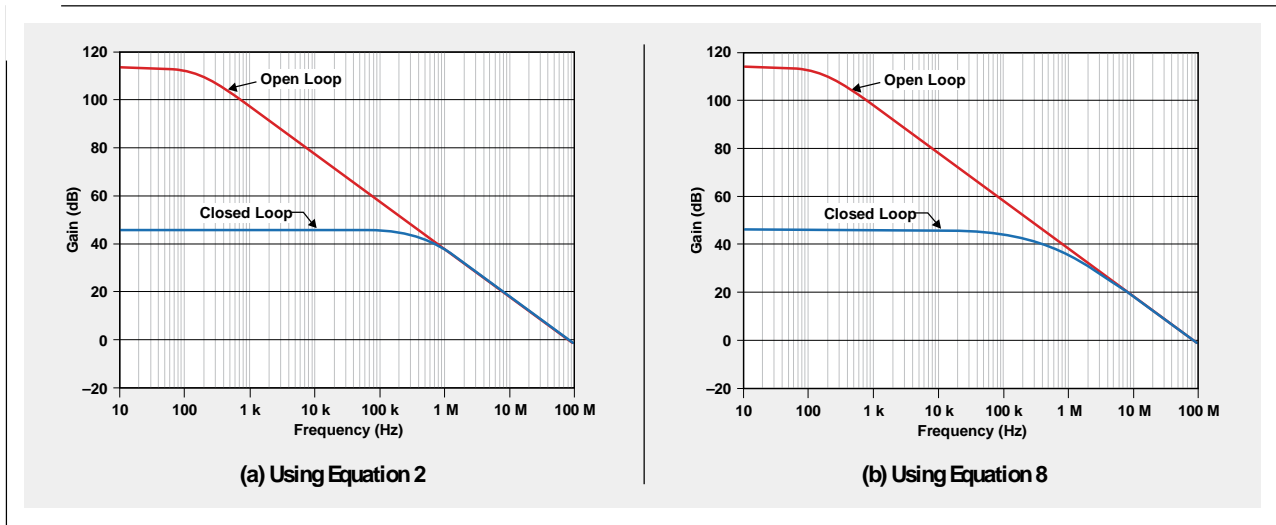


表1. 非反転構成のOPA211の閉ループ・ゲイン (G = 200V/Vまたは46dB)

周波数 (kHz)	計算式8で求めた 閉ループ・ゲイン		計算式2で求めた 閉ループ・ゲイン		計算式8で求めた場合との 閉ループ・ゲイン誤差	
	(V/V)	(dB)	(V/V)	(dB)	(%)	(dB)
10	195.121	45.806	199.86	46.014	2.37	0.208
30	186.046	45.392	199.361	45.993	6.679	0.6
60	173.913	44.807	197.71	45.921	12.036	1.114
100	160	44.082	193.956	45.754	17.507	1.672
300	114.286	41.16	159.959	44.08	28.553	2.92
600	80	38.062	110.926	40.901	27.88	2.839
1000	57.143	35.139	74.274	37.417	23.065	2.278

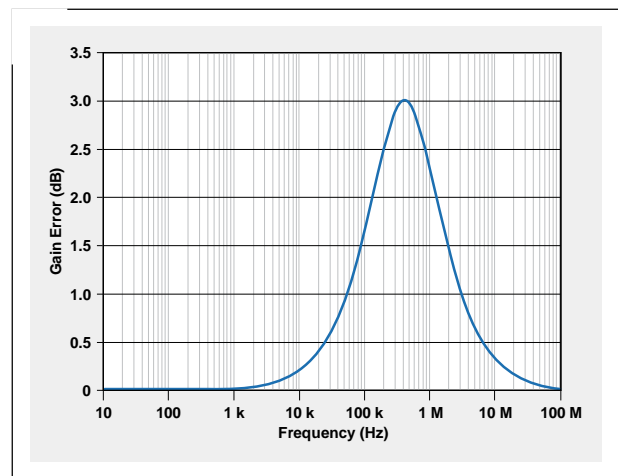
### 非反転構成のACのゲイン誤差

先ほど述べたように、システム設計者は計算式10を計算式8に代入して非反転構成のACのゲインを計算する傾向があります。図2は、この方法と計算式2を使用するときのOPA211の閉ループ応答における差を示しています。この例では、閉ループ・ゲインは200V/V ( $\beta = 1/200$ ) に設定されています。図2からわかるように、2つの計算式を使用する場合の差は、主に開ループと閉ループの曲線が理論上交わる点（カットオフ周波数）の前後1ディケードの範囲で生じます。

GBWPについて先ほど説明した内容から、ゲインが200V/VのOPA211のカットオフ周波数は400kHz (80MHz/200) になると予想されます。表1は、図2から選択したいくつかの周波数での値を表形式で表したものです。周波数10kHzと100kHzでは、表から周波数応答にかなりの差があることがわかります。計算式8を用いて計算された閉ループ・ゲインは約195V/Vから160V/Vに低下します。それに比べて、計算式2を用いて計算した場合は約199V/Vから194V/Vに低下します。400kHzのカットオフ周波数で、誤差29%または3dBという最大の差が生じます。この差はゲイン誤差と考えることができます。それをグラフにしたものが図3です。

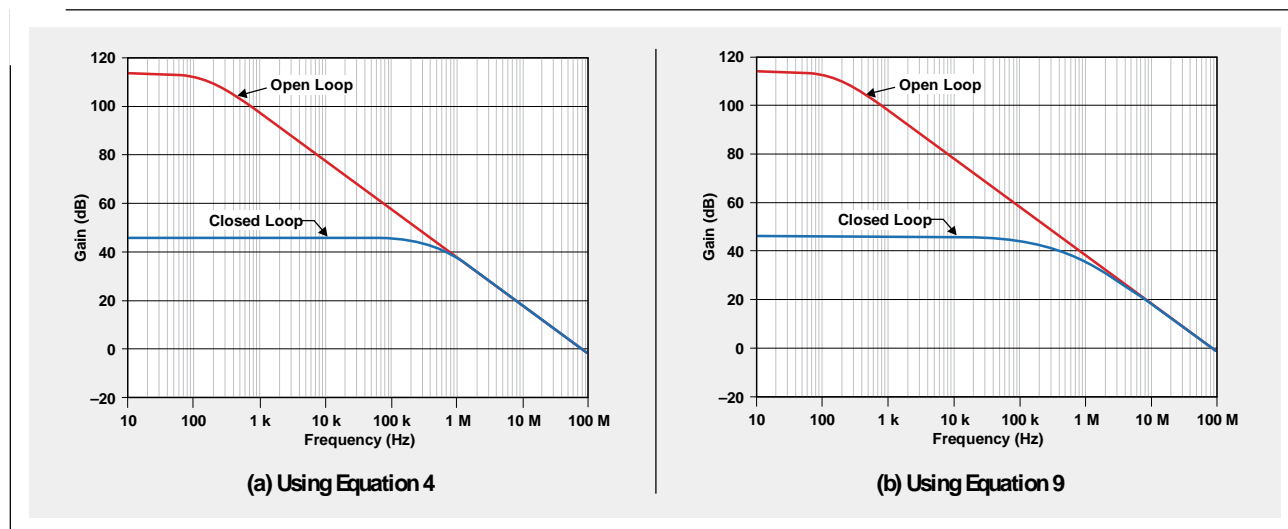
前述の分析から、適切なコンポーネントを選択するにはゲイン誤差を適切に理解することが非常に重要であることがわ

図3. 計算式8で求めた場合とのOPA211の開ループ・ゲイン誤差



かります。つまり、設計において閉ループ・ゲインの平坦性を指定のマージン内に維持する必要がある場合、数式8を使用することにより、数式2を使用した場合よりもUGBWが10倍高いオペアンプを選択するべきであることに気付くでしょう。



図4. 反転構成のOPA211の閉ループ応答 ( $G = -200V/V$ )表2. 反転構成のOPA211の閉ループ・ゲイン ( $G = -200V/V$ または46dB)

周波数 (kHz)	計算式9で求めた 閉ループ・ゲイン		計算式4で求めた 閉ループ・ゲイン		計算式9で求めた場合との 閉ループ・ゲイン誤差	
	(V/V)	(dB)	(V/V)	(dB)	(%)	(dB)
10	195.098	45.805	199.857	46.014	2.381	0.209
30	185.981	45.389	199.355	45.993	6.708	0.603
60	173.8	44.801	197.688	45.92	12.084	1.119
100	159.84	44.074	193.898	45.751	17.565	1.678
300	114.041	41.141	159.671	44.065	28.577	2.923
600	79.761	38.036	110.543	40.871	27.847	2.835
1000	56.94	35.108	73.955	37.379	23.008	2.271

### 反転構成のACのゲイン誤差

非反転構成と同様に、ほとんどのシステム設計者は計算式9と10を使用して反転構成のACのゲインを計算します。計算式4と9を使用して閉ループ・ゲインを求めた場合の差を図4に示します。この例では、オペアンプは $-200V/V$  ( $\beta = 1/201$ ,  $\alpha = 200/201$ )の反転ゲインに設定されています。図4から、またしても、結果における最大の差はカットオフ周波数の前後1ディケードの範囲で生じることがわかります。

表2は、図4から選択したいくつかの周波数での値を表形式で表したものです。周波数10kHzと100kHzでは、表2から周波数応答の差が非反転構成の場合と同じになることがわかります。計算式9を用いて計算された閉ループ・ゲインは約195V/Vから160V/Vに低下します。それに比べて、計算式4を用いて計算した場合は約199V/Vから194V/Vに低下します。繰り返しになりますが、400kHzのカットオフ周波数で、誤差29%または3dBという最大の差が生じます。この差はゲイン誤差と考えることができます。それをグラフにしたものが図5です。非反転構成の場合と同じ結論になります。つまり、設計において閉ループ・ゲインの平坦性を指定のマーヅン内に維持する必要がある場合、計算式9を使用することにより、数式4を使用した場合よりもUGBWが10倍高いオペアンプを選択するべきであることに気付くでしょう。

図5. 計算式9で求めた場合とのOPA211の閉ループ・ゲイン誤差

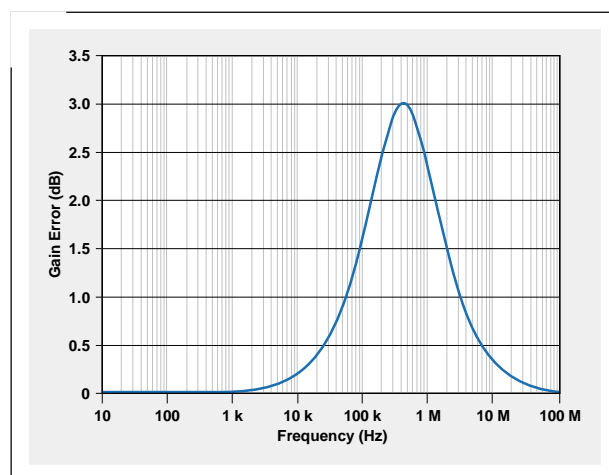


表3 ACの閉ループ・ゲインの計算値とSPICEシミュレーション値

周波数 (kHz)	非反転構成の閉ループ・ゲイン (V/V)		反転構成の閉ループ・ゲイン (V/V)	
	計算式2	SPICEシミュレーション	計算式4	SPICEシミュレーション
10	199.86	199.91	199.86	199.91
30	199.36	199.43	199.36	199.42
60	197.71	197.85	197.69	197.82
100	193.96	194.24	193.89	194.18
300	159.96	161.18	159.67	160.89
600	110.93	112.53	110.54	112.12
1000	74.27	75.5	73.96	75.18

### SPICEシミュレーションとの比較

非反転および反転構成のACの閉ループ・ゲイン計算での計算式2と4の有効性を確認するために、その結果をTINA-TI™ SPICEシミュレーションの結果と比較しました。この解析では、OPA211マクロモデルを使用しました。シミュレーションモデルは次のURLからダウンロードできます。

<http://focus.ti.com/docs/prod/folders/print/opa211.html#toolssoftware>

表3から、計算式2と4の計算結果がSPICEシミュレーションの結果とかなり一致することがわかるので、計算式2と4はACの閉ループ・ゲインの計算に適した計算式であることが認められます。計算結果とシミュレーション結果のわずかな相違は、簡略化された解析では無視される非理想的なオペアンプ要因（入力バイアス電流など）がSPICEシミュレーションに含まれたためだと考えることができます。

### 結論

この一連の記事の第1部では、1次伝送関数に適用される一般的なフィードバック制御システムの分析と統合について考察しました。非反転と反転の両方のオペアンプ回路にこの分析方法を適用し、各構成の周波数領域の伝送関数を求めました。

第2部では、この2つの伝達関数とメーカーのデータ・シート（仕様書）を使用して閉ループ・オペアンプ回路のDCゲイン誤差を解析する方法について説明しました。この解析では、DCゲインの有限値と同様に開ループ・ゲインの温度依存も考慮しました。

この一連の記事の第3部では、AC入力信号の開ループ・ゲイン誤差の計算方法を考察しました。システム設計者は、振幅の計算式を使用するのではなく、単純な伝送関数の計算式を使用する傾向があります。これまで説明してきたように、そのような計算式を使用すると、特に回路のカットオフ周波数周辺の結果が正しくなくなり、誤差が大きくなります。振幅の計算式を使用して閉ループ・ゲインを計算すると、設計要件を満たすより適切なオペアンプを選択できます。

### 参考文献

この記事に関する詳細な情報についてご覧になりたい方は、以下のAcrobat® Reader®のファイルをwww.ti.com/lit/litnumberからダウンロードしてください。（"litnumber"は以下に示す"TI Lit. #"です）

- 文書タイトル I Lit. #
- Miroslav Oljaca and Henry Surtihadi, "Operational amplifier gain stability, Part 1: General system analysis," *Analog Applications Journal* (1Q 2010) .....slyt367
  - Henry Surtihadi and Miroslav Oljaca, "Operational amplifier gain stability, Part 2: DC gain-error analysis," *Analog Applications Journal* (2Q 2010) .....slyt374
  - Soufiane Bendaoud, "Gain error affects op amp choices," *Planet Analog* (July 14, 2006) [オンライン]。  
<http://www.planetanalog.com>から入手できます（検索フィールドに小文字で「bendaoud」と入力してください）。
  - Ron Mancini, "Op-amp-gain error analysis," *EDN* (Dec. 7, 2000) [オンライン]。  
<http://www.edn.com>から入手できます。
  - Ron Mancini, "Op-amp bandwidth and accuracy," *EDN* (Feb. 17, 2000) [オンライン]。  
<http://www.edn.com>から入手できます。
  - Ron Mancini, "Stability analysis of voltage feedback op amps," *Application Report* .....sloa020
  - Bonnie Baker, "A designer's guide to op-amp gain error," *EDN* (Sept. 17, 2009) [オンライン]。  
<http://www.edn.com>から入手できます。
  - "Op amp open loop gain and open loop gain nonlinearity," *Analog Devices, Norwood, MA, U.S., MT-044 Tutorial* [オンライン]。  
<http://www.analog.com/static/imported-files/tutorials/MT-044.pdf>から入手できます。

### 関連ウェブサイト

[amplifier.ti.com](http://amplifier.ti.com)  
[www.ti.com/sc/device/OPA211](http://www.ti.com/sc/device/OPA211)  
[www.ti.com/tina-ti](http://www.ti.com/tina-ti)  
[focus.ti.com/docs/prod/folders/print/opa211.html#toolssoftware](http://focus.ti.com/docs/prod/folders/print/opa211.html#toolssoftware)

# 記事の索引

タイトル	号	ページ数	Lit. No.
<b>データ収集</b>			
Aspects of data acquisition system design.....	August 1999.....	1	
.....	SLYT191		
Low-power data acquisition sub-system using the TI TLV1572.....	August 1999.....	4	SLYT192
Evaluating operational amplifiers as input amplifiers for A-to-D converters.....	August 1999.....	7	SLYT193
Precision voltage references.....	November 1999.....	1	SLYT183
Techniques for sampling high-speed graphics with lower-speed A/D converters.....	November 1999.....	5	SLYT184
A methodology of interfacing serial A-to-D converters to DSPs.....	February 2000.....	1	SLYT175
The operation of the SAR-ADC based on charge redistribution.....	February 2000.....	10	SLYT176
The design and performance of a precision voltage reference circuit for 14-bit and 16-bit A-to-D and D-to-A converters.....	May 2000.....	1	SLYT168
Introduction to phase-locked loop system modeling.....	May 2000.....	5	SLYT169
New DSP development environment includes data converter plug-ins.....	August 2000.....	1	SLYT158
Higher data throughput for DSP analog-to-digital converters.....	August 2000.....	5	SLYT159
Efficiently interfacing serial data converters to high-speed DSPs.....	August 2000.....	10	SLYT160
Smallest DSP-compatible ADC provides simplest DSP interface.....	November 2000.....	1	SLYT148
Hardware auto-identification and software auto-configuration for the TLV320AIC10 DSP Codec — a “plug-and-play” algorithm.....	November 2000.....	8	SLYT149
Using quad and octal ADCs in SPI mode.....	November 2000.....	15	SLYT150
Building a simple data acquisition system using the TMS320C31 DSP.....	February 2001.....	1	SLYT136
Using SPI synchronous communication with data converters — interfacing the MSP430F149 and TLV5616.....	February 2001.....	7	SLYT137
A/D and D/A conversion of PC graphics and component video signals, Part 1: Hardware.....	February 2001.....	11	SLYT138
A/D and D/A conversion of PC graphics and component video signals, Part 2: Software and control.....	July 2001.....	5	SLYT129
Intelligent sensor system maximizes battery life: Interfacing the MSP430F123 Flash MCU, ADS7822, and TPS60311.....	1Q, 2002.....	5	SLYT123
SHDSL AFE1230 application.....	2Q, 2002.....	5	SLYT114
Synchronizing non-FIFO variations of the THS1206.....	2Q, 2002.....	12	SLYT115
Adjusting the A/D voltage reference to provide gain.....	3Q, 2002.....	5	SLYT109
MSC1210 debugging strategies for high-precision smart sensors.....	3Q, 2002.....	7	SLYT110
Using direct data transfer to maximize data acquisition throughput.....	3Q, 2002.....	14	SLYT111
Interfacing op amps and analog-to-digital converters.....	4Q, 2002.....	5	SLYT104
ADS82x ADC with non-uniform sampling clock.....	4Q, 2003.....	5	SLYT089
Calculating noise figure and third-order intercept in ADCs.....	4Q, 2003.....	11	SLYT090
Evaluation criteria for ADSL analog front end.....	4Q, 2003.....	16	SLYT091
Two-channel, 500-kSPS operation of the ADS8361.....	1Q, 2004.....	5	SLYT082
ADS809 analog-to-digital converter with large input pulse signal.....	1Q, 2004.....	8	SLYT083
Streamlining the mixed-signal path with the signal-chain-on-chip MSP430F169.....	3Q, 2004.....	5	SLYT078
Supply voltage measurement and ADC PSRR improvement in MSC12xx devices.....	1Q, 2005.....	5	SLYT073
14-bit, 125-MSPS ADS5500 evaluation.....	1Q, 2005.....	13	SLYT074
Clocking high-speed data converters.....	1Q, 2005.....	20	SLYT075
Implementation of 12-bit delta-sigma DAC with MSC12xx controller.....	1Q, 2005.....	27	SLYT076
Using resistive touch screens for human/machine interface.....	3Q, 2005.....	5	SLYT209A
Simple DSP interface for ADS784x/834x ADCs.....	3Q, 2005.....	10	SLYT210
Operating multiple oversampling data converters.....	4Q, 2005.....	5	SLYT222
Low-power, high-intercept interface to the ADS5424 14-bit, 105-MSPS converter for undersampling applications.....	4Q, 2005.....	10	SLYT223
Understanding and comparing datasheets for high-speed ADCs.....	1Q, 2006.....	5	SLYT231
Matching the noise performance of the operational amplifier to the ADC.....	2Q, 2006.....	5	SLYT237
Using the ADS8361 with the MSP430 USI port.....	3Q, 2006.....	5	SLYT244
Clamp function of high-speed ADC THS1041.....	4Q, 2006.....	5	SLYT253
Conversion latency in delta-sigma converters.....	2Q, 2007.....	5	SLYT264
Calibration in touch-screen systems.....	3Q, 2007.....	5	SLYT277
Using a touch-screen controller’s auxiliary inputs.....	4Q, 2007.....	5	SLYT283

タイトル	号	ページ数	Lit. No.
<b>データ収集 (続き)</b>			
Understanding the pen-interrupt (PENIRQ) operation of touch-screen controllers .....	2Q, 2008	5	SLYT292
A DAC for all precision occasions .....	3Q, 2008	5	SLYT300
Stop-band limitations of the Sallen-Key low-pass filter .....	4Q, 2008	5	SLYT306
How the voltage reference affects ADC performance, Part 1 .....	2Q, 2009	5	SLYT331
Impact of sampling-clock spurs on ADC performance .....	3Q, 2009	5	SLYT338
How the voltage reference affects ADC performance, Part 2 .....	3Q, 2009	13	SLYT339
How the voltage reference affects ADC performance, Part 3 .....	4Q, 2009	5	SLYT355
How digital filters affect analog audio-signal levels .....	2Q, 2010	5	SLYT375
Clock jitter analyzed in the time domain, Part 1 .....	3Q, 2010	5	SLYT379
<b>電力管理</b>			
Stability analysis of low-dropout linear regulators with a PMOS pass element .....	August 1999	10	SLYT194
Extended output voltage adjustment (0 V to 3.5 V) using the TI TPS5210 .....	August 1999	13	SLYT195
Migrating from the TI TL770x to the TI TLC770x .....	August 1999	14	SLYT196
TI TPS5602 for powering TI's DSP .....	November 1999	8	SLYT185
Synchronous buck regulator design using the TI TPS5211 high-frequency hysteretic controller .....	November 1999	10	SLYT186
Understanding the stable range of equivalent series resistance of an LDO regulator .....	November 1999	14	SLYT187
Power supply solutions for TI DSPs using synchronous buck converters .....	February 2000	12	SLYT177
Powering Celeron-type microprocessors using TI's TPS5210 and TPS5211 controllers .....	February 2000	20	SLYT178
Simple design of an ultra-low-ripple DC/DC boost converter with TPS60100 charge pump .....	May 2000	11	SLYT170
Low-cost, minimum-size solution for powering future-generation Celeron™-type processors with peak currents up to 26 A .....	May 2000	14	SLYT171
Advantages of using PMOS-type low-dropout linear regulators in battery applications .....	August 2000	16	SLYT161
Optimal output filter design for microprocessor or DSP power supply .....	August 2000	22	SLYT162
Understanding the load-transient response of LDOs .....	November 2000	19	SLYT151
Comparison of different power supplies for portable DSP solutions working from a single-cell battery .....	November 2000	24	SLYT152
Optimal design for an interleaved synchronous buck converter under high-slew-rate, load-current transient conditions .....	February 2001	15	SLYT139
- 48-V/+48-V hot-swap applications .....	February 2001	20	SLYT140
Power supply solution for DDR bus termination .....	July 2001	9	SLYT130
Runtime power control for DSPs using the TPS62000 buck converter .....	July 2001	15	SLYT131
Power control design key to realizing InfiniBandSM benefits .....	1Q, 2002	10	SLYT124
Comparing magnetic and piezoelectric transformer approaches in CCFL applications .....	1Q, 2002	12	SLYT125
Why use a wall adapter for ac input power? .....	1Q, 2002	18	SLYT126
SWIFT™ Designer power supply design program .....	2Q, 2002	15	SLYT116
Optimizing the switching frequency of ADSL power supplies .....	2Q, 2002	23	SLYT117
Powering electronics from the USB port .....	2Q, 2002	28	SLYT118
Using the UCC3580-1 controller for highly efficient 3.3-V/100-W isolated supply design .....	4Q, 2002	8	SLYT105
Power conservation options with dynamic voltage scaling in portable DSP designs .....	4Q, 2002	12	SLYT106
Understanding piezoelectric transformers in CCFL backlight applications .....	4Q, 2002	18	SLYT107
Load-sharing techniques:Paralleling power modules with overcurrent protection .....	1Q, 2003	5	SLYT100
Using the TPS61042 white-light LED driver as a boost converter .....	1Q, 2003	7	SLYT101
Auto-Track™ voltage sequencing simplifies simultaneous power-up and power-down .....	3Q, 2003	5	SLYT095
Soft-start circuits for LDO linear regulators .....	3Q, 2003	10	SLYT096
UCC28517 100-W PFC power converter with 12-V, 8-W bias supply, Part 1 .....	3Q, 2003	13	SLYT097
UCC28517 100-W PFC power converter with 12-V, 8-W bias supply, Part 2 .....	4Q, 2003	21	SLYT092
LED-driver considerations .....	1Q, 2004	14	SLYT084
Tips for successful power-up of today's high-performance FPGAs .....	3Q, 2004	11	SLYT079
A better bootstrap/bias supply circuit .....	1Q, 2005	33	SLYT077
Understanding noise in linear regulators .....	2Q, 2005	5	SLYT201
Understanding power supply ripple rejection in linear regulators .....	2Q, 2005	8	SLYT202
Miniature solutions for voltage isolation .....	3Q, 2005	13	SLYT211
New power modules improve surface-mount manufacturability .....	3Q, 2005	18	SLYT212
Li-ion switching charger integrates power FETs .....	4Q, 2005	19	SLYT224
TLC5940 dot correction compensates for variations in LED brightness .....	4Q, 2005	21	SLYT225

タイトル	号	ページ数	Lit. No.
<b>電力管理 (続き)</b>			
Powering today's multi-rail FPGAs and DSPs, Part 1 .....	1Q, 2006.....	9	SLYT232
TPS79918 RF LDO supports migration to StrataFlash® Embedded Memory (P30).....	1Q, 2006.....	14	SLYT233
Practical considerations when designing a power supply with the TPS6211x .....	1Q, 2006.....	17	SLYT234
TLC5940 PWM dimming provides superior color quality in LED video displays .....	2Q, 2006.....	10	SLYT238
Wide-input dc/dc modules offer maximum design flexibility .....	2Q, 2006.....	13	SLYT239
Powering today's multi-rail FPGAs and DSPs, Part 2 .....	2Q, 2006.....	18	SLYT240
TPS61059 powers white-light LED as photoflash or movie light .....	3Q, 2006.....	8	SLYT245
TPS65552A powers portable photoflash .....	3Q, 2006.....	10	SLYT246
Single-chip bq2403x power-path manager charges battery while powering system.....	3Q, 2006.....	12	SLYT247
Complete battery-pack design for one- or two-cell portable applications .....	3Q, 2006.....	14	SLYT248
A 3-A, 1.2-VOUT linear regulator with 80% efficiency and PLOST < 1 W .....	4Q, 2006.....	10	SLYT254
bq25012 single-chip, Li-ion charger and dc/dc converter for <i>Bluetooth</i> ® headsets.....	4Q, 2006.....	13	SLYT255
Fully integrated TPS6300x buck-boost converter extends Li-ion battery life .....	4Q, 2006.....	15	SLYT256
Selecting the correct IC for power-supply applications .....	1Q, 2007.....	5	SLYT259
LDO white-LED driver TPS7510x provides incredibly small solution size .....	1Q, 2007.....	9	SLYT260
Power management for processor core voltage requirements.....	1Q, 2007.....	11	SLYT261
Enhanced-safety, linear Li-ion battery charger with thermal regulation and input overvoltage protection.....	2Q, 2007.....	8	SLYT269
Current balancing in four-pair, high-power PoE applications .....	2Q, 2007.....	11	SLYT270
Power-management solutions for telecom systems improve performance, cost, and size .....	3Q, 2007.....	10	SLYT278
TPS6108x-A boost converter with extreme versatility .....	3Q, 2007.....	14	SLYT279
Get low-noise, low-ripple, high-PSRR power with the TPS717xx .....	3Q, 2007.....	17	SLYT280
Simultaneous power-down sequencing with the TPS74x01 family of linear regulators.....	3Q, 2007.....	20	SLYT281
Driving a WLED does not always require 4 V .....	4Q, 2007.....	9	SLYT284
Host-side gas-gauge-system design considerations for single-cell handheld applications.....	4Q, 2007.....	12	SLYT285
Using a buck converter in an inverting buck-boost topology .....	4Q, 2007.....	16	SLYT286
Understanding output voltage limitations of DC/DC buck converters .....	2Q, 2008.....	11	SLYT293
Battery-charger front-end IC improves charging-system safety .....	2Q, 2008.....	14	SLYT294
New current-mode PWM controllers support boost, flyback, SEPIC, and LED-driver applications .....	3Q, 2008.....	9	SLYT302
Getting the most battery life from portable systems .....	4Q, 2008.....	8	SLYT307
Compensating and measuring the control loop of a high-power LED driver.....	4Q, 2008.....	14	SLYT308
Designing DC/DC converters based on SEPIC topology.....	4Q, 2008.....	18	SLYT309
Paralleling power modules for high-current applications .....	1Q, 2009.....	5	SLYT320
Improving battery safety, charging, and fuel gauging in portable media applications .....	1Q, 2009.....	9	SLYT321
Cell balancing buys extra run time and battery life.....	1Q, 2009.....	14	SLYT322
Using a portable-power boost converter in an isolated flyback application.....	1Q, 2009.....	19	SLYT323
Taming linear-regulator inrush currents .....	2Q, 2009.....	9	SLYT332
Designing a linear Li-Ion battery charger with power-path control .....	2Q, 2009.....	12	SLYT333
Selecting the right charge-management solution .....	2Q, 2009.....	18	SLYT334
Reducing radiated EMI in WLED drivers .....	3Q, 2009.....	17	SLYT340
Using power solutions to extend battery life in MSP430 applications.....	4Q, 2009.....	10	SLYT356
Designing a multichemistry battery charger .....	4Q, 2009.....	13	SLYT357
Efficiency of synchronous versus nonsynchronous buck converters.....	4Q, 2009.....	15	SLYT358
Fuel-gauging considerations in battery backup storage systems .....	1Q, 2010.....	5	SLYT364
Li-ion battery-charger solutions for JEITA compliance .....	1Q, 2010.....	8	SLYT365
Power-supply design for high-speed ADCs.....	1Q, 2010.....	12	SLYT366
Discrete design of a low-cost isolated 3.3- to 5-V DC/DC converter .....	2Q, 2010.....	12	SLYT371
Designing DC/DC converters based on ZETA topology .....	2Q, 2010.....	16	SLYT372
Coupled inductors broaden DC/DC converter usage .....	3Q, 2010.....	10	SLYT380
Computing power going "Platinum".....	3Q, 2010.....	13	SLYT382
<b>インターフェイス (データ伝送)</b>			
TIA/EIA-568A Category 5 cables in low-voltage differential signaling (LVDS).....	August 1999.....	16	SLYT197
Keep an eye on the LVDS input levels .....	November 1999..	17	SLYT188
Skew definition and jitter analysis .....	February 2000 ..	29	SLYT179
LVDS receivers solve problems in non-LVDS applications.....	February 2000 ..	33	SLYT180

タイトル	号	ページ数	Lit. No.
<b>インターフェイス (データ伝送) (続き)</b>			
LVDS: The ribbon cable connection.....	May 2000.....	19	SLYT172
Performance of LVDS with different cables.....	August 2000.....	30	SLYT163
A statistical survey of common-mode noise.....	November 2000..	30	SLYT153
The Active Fail-Safe feature of the SN65LVDS32A.....	November 2000..	35	SLYT154
The SN65LVDS33/34 as an ECL-to-LVTTL converter.....	July 2001.....	19	SLYT132
Power consumption of LVPECL and LVDS.....	1Q, 2002.....	23	SLYT127
Estimating available application power for Power-over-Ethernet applications.....	1Q, 2004.....	18	SLYT085
The RS-485 unit load and maximum number of bus connections.....	1Q, 2004.....	21	SLYT086
Failsafe in RS-485 data buses.....	3Q, 2004.....	16	SLYT080
Maximizing signal integrity with M-LVDS backplanes.....	2Q, 2005.....	11	SLYT203
Device spacing on RS-485 buses.....	2Q, 2006.....	25	SLYT241
Improved CAN network security with TI's SN65HVD1050 transceiver.....	3Q, 2006.....	17	SLYT249
Detection of RS-485 signal loss.....	4Q, 2006.....	18	SLYT257
Enabling high-speed USB OTG functionality on TI DSPs.....	2Q, 2007.....	18	SLYT271
When good grounds turn bad—isolate!.....	3Q, 2008.....	11	SLYT298
Cascading of input serializers boosts channel density for digital inputs.....	3Q, 2008.....	16	SLYT301
RS-485: Passive failsafe for an idle bus.....	1Q, 2009.....	22	SLYT324
Message priority inversion on a CAN bus.....	1Q, 2009.....	25	SLYT325
Designing with digital isolators.....	2Q, 2009.....	21	SLYT335
Magnetic-field immunity of digital capacitive isolators.....	3Q, 2010.....	19	SLYT381
<b>アンプ : オーディオ</b>			
Reducing the output filter of a Class-D amplifier.....	August 1999.....	19	SLYT198
Power supply decoupling and audio signal filtering for the Class-D audio power amplifier.....	August 1999.....	24	SLYT199
PCB layout for the TPA005D1x and TPA032D0x Class-D APAs.....	February 2000..	39	SLYT182
An audio circuit collection, Part 1.....	November 2000..	39	SLYT155
1.6- to 3.6-volt BTL speaker driver reference design.....	February 2001... 23		SLYT141
Notebook computer upgrade path for audio power amplifiers.....	February 2001... 27		SLYT142
An audio circuit collection, Part 2.....	February 2001... 41		SLYT145
An audio circuit collection, Part 3.....	July 2001.....	34	SLYT134
Audio power amplifier measurements.....	July 2001.....	40	SLYT135
Audio power amplifier measurements, Part 2.....	1Q, 2002.....	26	SLYT128
Precautions for connecting APA outputs to other devices.....	2Q, 2010.....	22	SLYT373
<b>アンプ : オペアンプ (OP アンプ)</b>			
Single-supply op amp design.....	November 1999..	20	SLYT189
Reducing crosstalk of an op amp on a PCB.....	November 1999..	23	SLYT190
Matching operational amplifier bandwidth with applications.....	February 2000... 36		SLYT181
Sensor to ADC — analog interface design.....	May 2000.....	22	SLYT173
Using a decompensated op amp for improved performance.....	May 2000.....	26	SLYT174
Design of op amp sine wave oscillators.....	August 2000.....	33	SLYT164
Fully differential amplifiers.....	August 2000.....	38	SLYT165
The PCB is a component of op amp design.....	August 2000.....	42	SLYT166
Reducing PCB design costs: From schematic capture to PCB layout.....	August 2000.....	48	SLYT167
Thermistor temperature transducer-to-ADC application.....	November 2000..	44	SLYT156
Analysis of fully differential amplifiers.....	November 2000..	48	SLYT157
Fully differential amplifiers applications: Line termination, driving high-speed ADCs, and differential transmission lines.....	February 2001... 32		SLYT143
Pressure transducer-to-ADC application.....	February 2001... 38		SLYT144
Frequency response errors in voltage feedback op amps.....	February 2001... 48		SLYT146
Designing for low distortion with high-speed op amps.....	July 2001.....	25	SLYT133
Fully differential amplifier design in high-speed data acquisition systems.....	2Q, 2002.....	35	SLYT119
Worst-case design of op amp circuits.....	2Q, 2002.....	42	SLYT120
Using high-speed op amps for high-performance RF design, Part 1.....	2Q, 2002.....	46	SLYT121
Using high-speed op amps for high-performance RF design, Part 2.....	3Q, 2002.....	21	SLYT112
FilterPro™ low-pass design tool.....	3Q, 2002.....	24	SLYT113
Active output impedance for ADSL line drivers.....	4Q, 2002.....	24	SLYT108

タイトル	号	ページ数	Lit. No.
<b>アンプ : オペアンプ (続き)</b>			
RF and IF amplifiers with op amps .....	1Q, 2003 .....	9	SLYT102
Analyzing feedback loops containing secondary amplifiers .....	1Q, 2003 .....	14	SLYT103
Video switcher using high-speed op amps .....	3Q, 2003 .....	20	SLYT098
Expanding the usability of current-feedback amplifiers .....	3Q, 2003 .....	23	SLYT099
Calculating noise figure in op amps .....	4Q, 2003 .....	31	SLYT094
Op amp stability and input capacitance .....	1Q, 2004 .....	24	SLYT087
Integrated logarithmic amplifiers for industrial applications .....	1Q, 2004 .....	28	SLYT088
Active filters using current-feedback amplifiers .....	3Q, 2004 .....	21	SLYT081
Auto-zero amplifiers ease the design of high-precision circuits .....	2Q, 2005 .....	19	SLYT204
So many amplifiers to choose from: Matching amplifiers to applications .....	3Q, 2005 .....	24	SLYT213
Getting the most out of your instrumentation amplifier design .....	4Q, 2005 .....	25	SLYT226
High-speed notch filters .....	1Q, 2006 .....	19	SLYT235
Low-cost current-shunt monitor IC revives moving-coil meter design .....	2Q, 2006 .....	27	SLYT242
Accurately measuring ADC driving-circuit settling time .....	1Q, 2007 .....	14	SLYT262
New zero-drift amplifier has an IQ of 17 $\mu$ A .....	2Q, 2007 .....	22	SLYT272
A new filter topology for analog high-pass filters .....	3Q, 2008 .....	18	SLYT299
Input impedance matching with fully differential amplifiers .....	4Q, 2008 .....	24	SLYT310
A dual-polarity, bidirectional current-shunt monitor .....	4Q, 2008 .....	29	SLYT311
Output impedance matching with fully differential operational amplifiers .....	1Q, 2009 .....	29	SLYT326
Using fully differential op amps as attenuators, Part 1: Differential bipolar input signals ...	2Q, 2009 .....	33	SLYT336
Using fully differential op amps as attenuators, Part 2: Single-ended bipolar input signals ..	3Q, 2009 .....	21	SLYT341
Interfacing op amps to high-speed DACs, Part 1: Current-sinking DACs .....	3Q, 2009 .....	24	SLYT342
Using the infinite-gain, MFB filter topology in fully differential active filters .....	3Q, 2009 .....	33	SLYT343
Using fully differential op amps as attenuators, Part 3: Single-ended unipolar input signals ...	4Q, 2009 .....	19	SLYT359
Interfacing op amps to high-speed DACs, Part 2: Current-sourcing DACs .....	4Q, 2009 .....	23	SLYT360
Operational amplifier gain stability, Part 1: General system analysis .....	1Q, 2010 .....	20	SLYT367
Signal conditioning for piezoelectric sensors .....	1Q, 2010 .....	24	SLYT369
Interfacing op amps to high-speed DACs, Part 3: Current-sourcing DACs simplified .....	1Q, 2010 .....	32	SLYT368
Operational amplifier gain stability, Part 2: DC gain-error analysis .....	2Q, 2010 .....	24	SLYT374
Operational amplifier gain stability, Part 3: AC gain-error analysis .....	3Q, 2010 .....	23	SLYT383
<b>低消費電力 RF</b>			
Using the CC2430 and TIMAC for low-power wireless sensor applications: A power- consumption study .....	2Q, 2008 .....	17	SLYT295
Selecting antennas for low-power wireless applications .....	2Q, 2008 .....	20	SLYT296
<b>その他</b>			
Synthesis and characterization of nickel manganite from different carboxylate precursors for thermistor sensors .....	February 2001 ...	52	SLYT147
Analog design tools .....	2Q, 2002 .....	50	SLYT122
Spreadsheet modeling tool helps analyze power-and ground-plane voltage drops to keep core voltages within tolerance .....	2Q, 2007 .....	29	SLYT273





# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上