

Technical Article

1kW 高密度 LLC 電源モジュールに使用される平面トランスの概要



Brent McDonald

データセンターの電力需要が増大する中、サーバー機器メーカーは、システムの放熱フットプリントを低減するために、より高い電力変換効率を達成する必要があります。12V 配電バスから 48V バスへの移行に伴い、高効率で小型フットプリントの降圧コンバータ (48V ~ 12V) が必要になります。

LLC (インダクタ-インダクタ-コンデンサ) コンバータは、広い負荷範囲にわたってゼロ電圧スイッチングを維持する能力があるため、バス コンバータとして受け入れられているトポロジです。この Power Tip では、高密度の 1kW 1/8 ブリック LLC コンバータである 1MHz で使用され、98% を上回る効率を実現するトランスの概要を紹介します。

LLC コンバータの設計

実用的な LLC コンバータの設計を出発点にするのは、共振タンクの設計です。LLC コンバータの効率をできるだけ高くするために、コンバータは共振に近い固定周波数で開ループ制御を使用して動作します。トランスの漏れインダクタンスを共振インダクタとして使用すると、コンバータ全体のサイズを最小化できます。このデザインは 1MHz で動作し、トランスと関連する受動部品のサイズをできるだけ小型化します。図 1 は、この設計に選択されたタンク パラメータを示しています。これらのパラメータの選択方法の詳細については、参照 [1] および [2] を参照してください。

Turns ratio	4-to-1
L_r	7 nH
L_m	2 μ H
C_r	3.52 μ F

図 1. 1MHz で動作する設計のための LLC タンク パラメータ。

効率を最大化するには、同期整流器に複数の並列電界効果トランジスタ (FET) を使用する必要があります。図 2 に示すマトリクストランスの構造は、複数の FET 間で強制的に共有されます。機能的に、各トランスは 1 次側の 2 つのターンと、センター タップ付きの 2 次側ごとに 1 つのターンを持っています。1 次側巻線を直列に配置すると、同じ電流が各 1 次側に流れるようになります。そのため、2 次側の巻線に電流を強制的に共有させます。

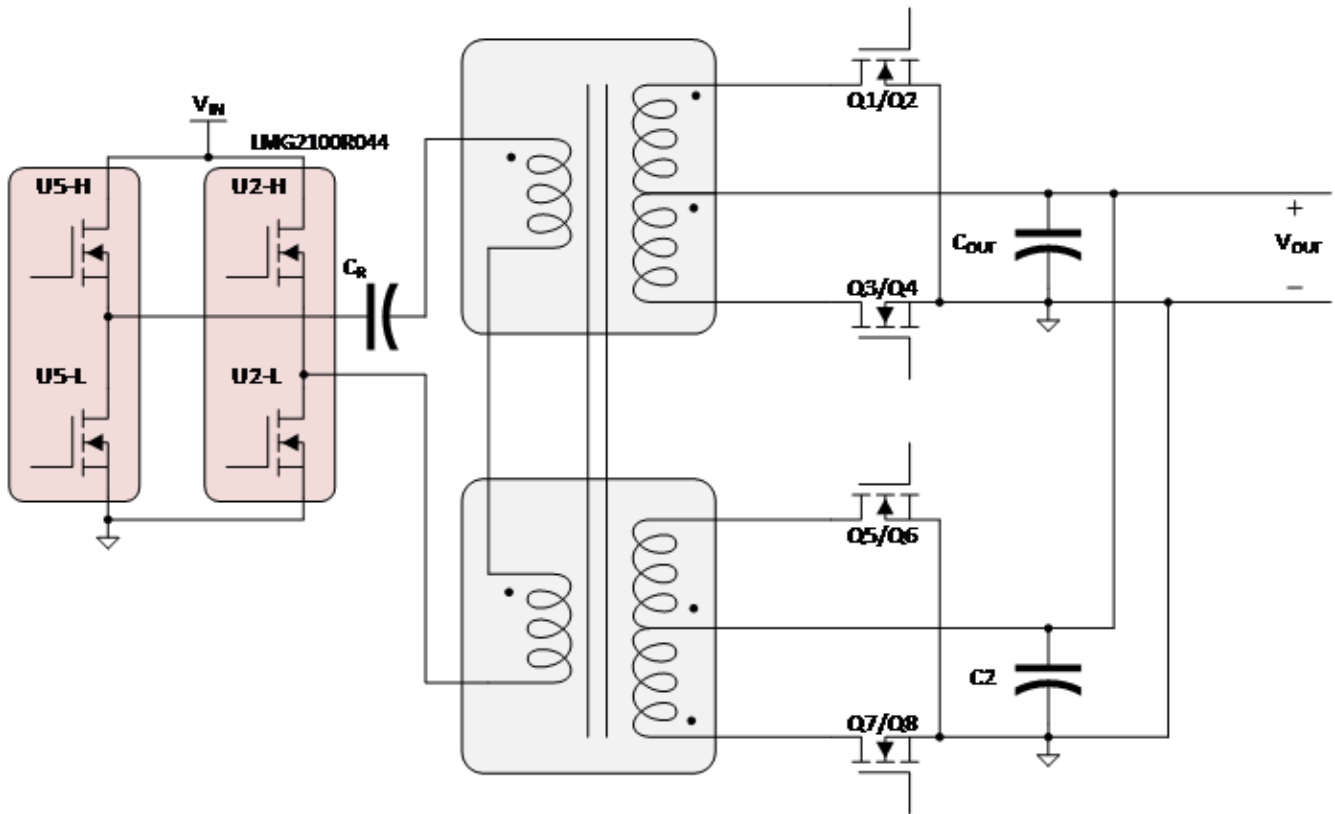


図 2. マトリクストランスを搭載した LLC コンバータは、複数の FET の間で強制的に共有します。出典: テキサス・インスツルメンツ

図 3 に、図 2 に示す 2 つのトランスの磁束パスを示します。最初の画像は、2 つのディスクリート コアの状況を示しています。中央の隣接する脚のフラックスは等しいが反対方向にあることに注意してください。図 3 の中央の図に示すように、これらの脚を 1 つの脚に組み合わせると、正味磁束は 0 になります。コアのこの脚にはフラックスがないため、右端の画像に示すように、脚を排除できます。

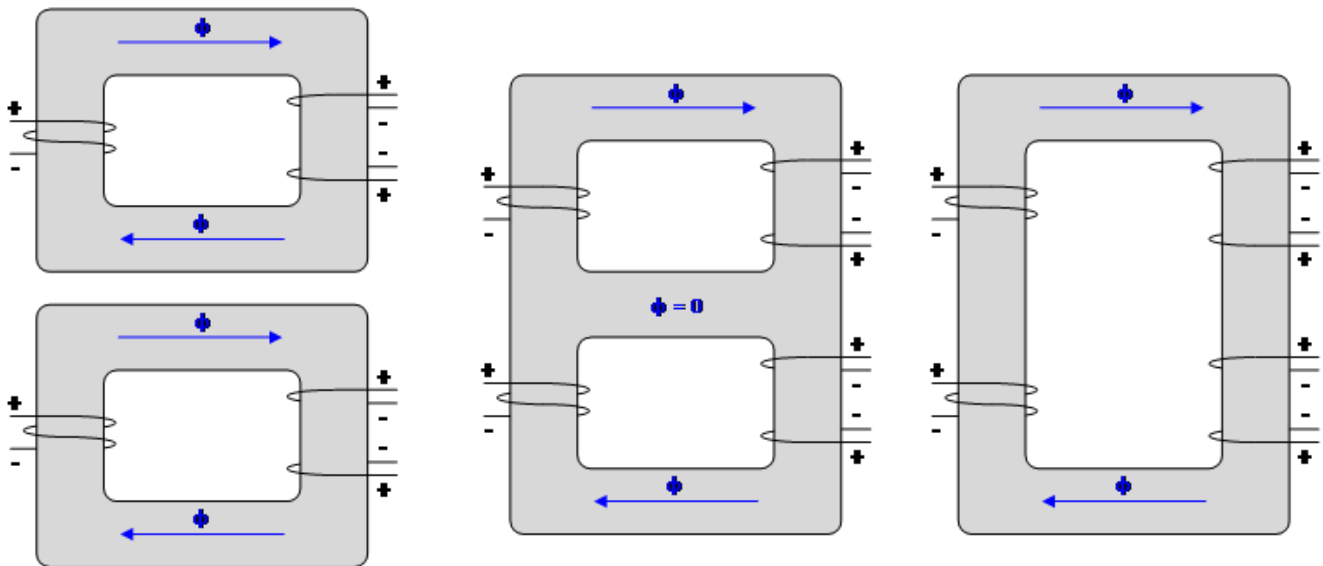


図 3. 図 2 に、マトリクストランス統合の磁束パスを示します。出典: テキサス・インスツルメンツ

したがって、図 2 に示す両方のマトリクストランス素子を、単一のトランス コアに統合することができます。図 4 は、単一フェライト コア上に最終的なマトリクストランスを内蔵した LLC コンバータの概略図 [3] です。

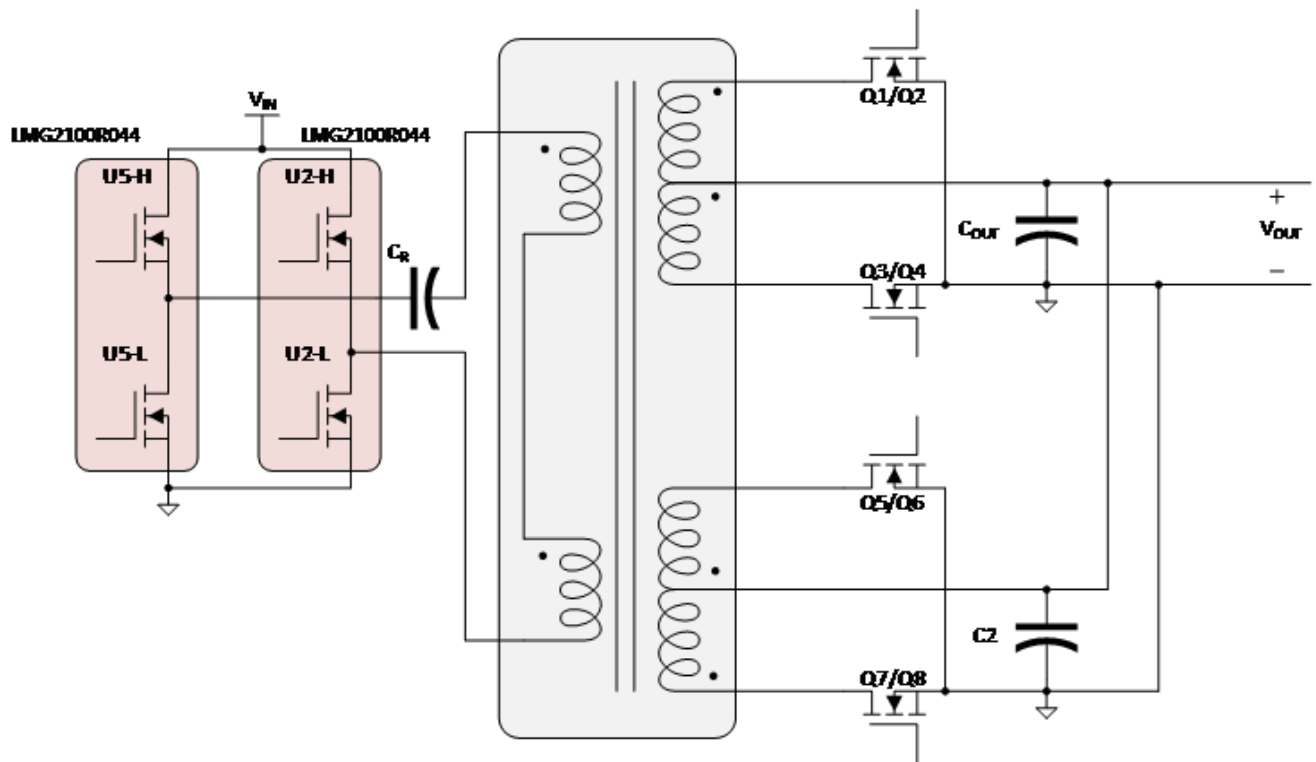


図 4. 単一のフェライト コアにマトリクス トランスを内蔵した LLC コンバータ。出典: テキサス・インスツルメンツ

RMS 電流の推定

コンバータの損失の大部分は、2 乗平均平方根 (RMS) 電流に起因するため、トランス巻線の RMS 電流を正確に推定する方法が必要です。[4] に示す方法は、これを実現するために、コンバータが共振タンクよりわずかに低いスイッチング周波数で動作している場合、磁化電流は一定にとどまると仮定しています。この想定により、LLC コンバータの主要な波形を区分的に線形近似することができ、これらの電流の区分的線形定義から、式 1 と式 2 に示すように、トランスの 1 次側電流とトランスの 2 次側電流に関する RMS 電流の閉形式の式を導くことができます。

$$I_{1r,rms} = \frac{V_{out}}{4nf_r^{3/2}L_M} \sqrt{\frac{f_s \left(4\pi^2 f_r^2 L_M^2 (2t_{dead} f_r + 1)^2 + n^4 R_{load}^2 \right)}{2R_{load}^2} + n^4 f_r - n^4 f_s} \quad (1)$$

$$I_{2sec,rms} = \frac{1}{4\sqrt{6}} \sqrt{\frac{f_s V_{out}^2}{f_r^3 L_M^2} \left(\frac{3 \left(4\pi^2 f_r^2 L_M^2 (2t_{dead} f_r + 1)^2 + n^4 R_{load}^2 \right)}{R_{load}^2} - \frac{48n^4}{\pi^2} + 2n^4 \right)} \quad (2)$$

トランス巻線の設計

[2] に示す巻線インターリーブ戦略は、高周波に関連する損失を最小限に抑えるように設計されています。図 5 に、プリント配線基板 (PWB) のスタックアップを示します。

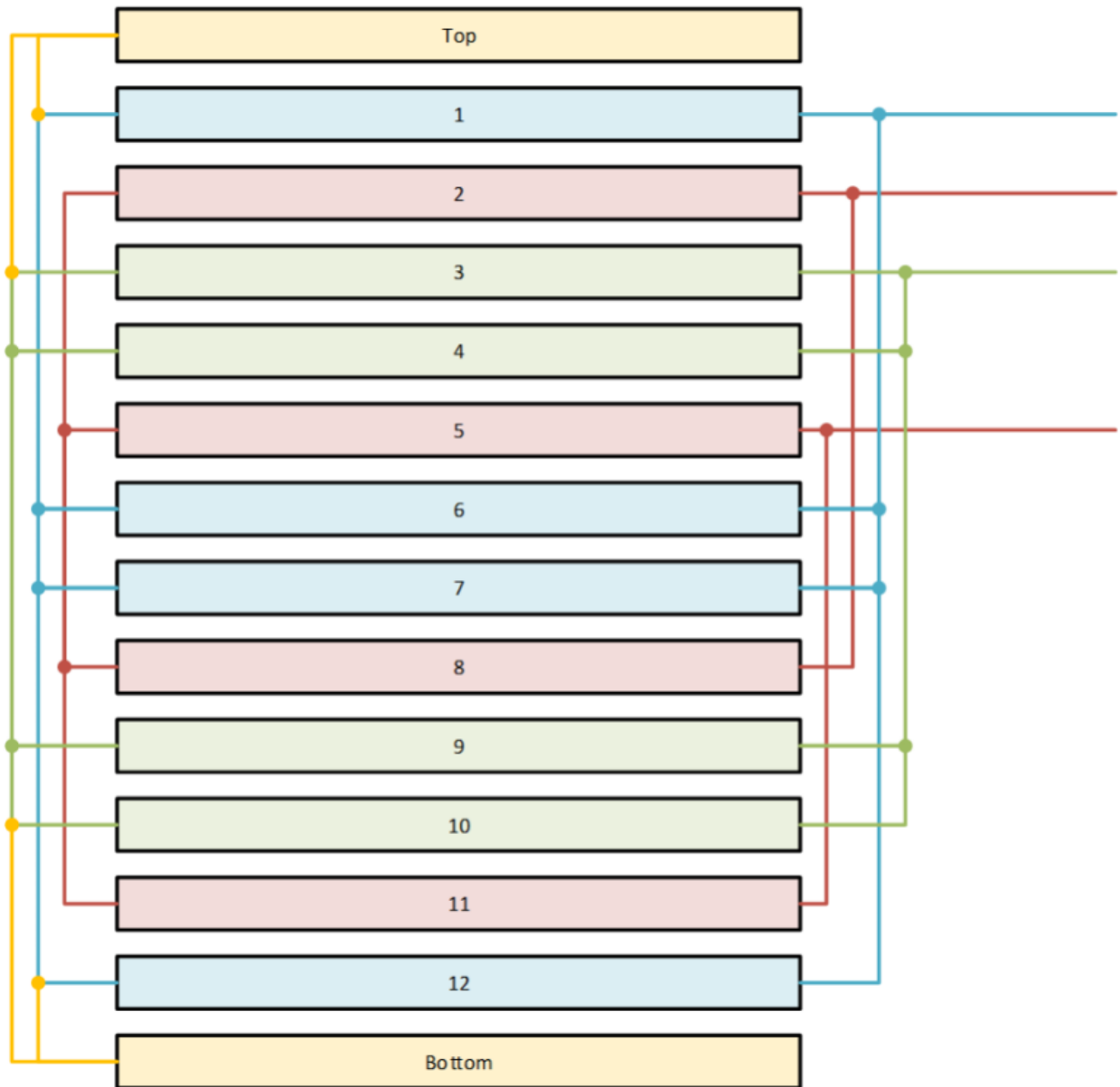


図 5. トランスの PWB スタックアップ。出典: テキサス・インスツルメンツ

図 5 の赤い巻線は、4 つの PWB 層で構成されています。各レイヤーには 2 つのターンがあります。第 2 層と第 5 層は連続しており、第 8 層と第 11 層も同様です。さらに、2 層と 5 層は 8 層と 11 層と並列になっています。図 6 に、実際の PWB 層を示します。赤とオレンジで囲んだ銅の形状が、トランスの 1 次側です。図 6 また、スイッチング期間の正の半分の間の電流の方向も黄色の線で示しています。

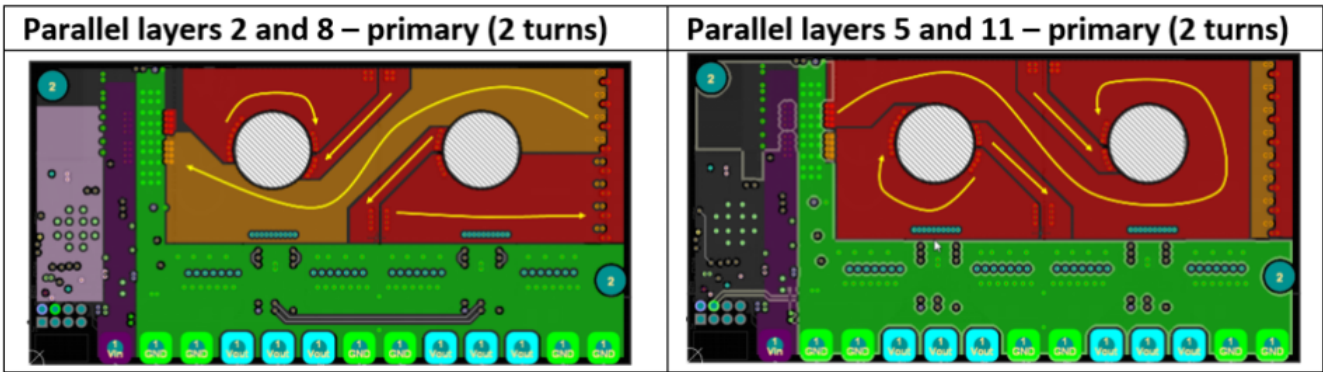


図 6. トランスの 1 次側銅箔層が赤とオレンジで表示されている実際の PWB 層。出典: テキサス・インスツルメンツ

図 5 の青い層はすべて平行で、トランスの 2 次側の 1 つを形成しています。図 5 の緑色の層は青と同じですが、他のトランス 2 次側では同じです。図 7 に、実際の PWB 層を示します。シアン色の銅の形状は、トランスの 2 番目のものです。センター タップの正の半分は左側、負の半分は右側に表示されています。図 7 また、スイッチング期間の正の半分の間、電流の方向も黄色の線で示しています。

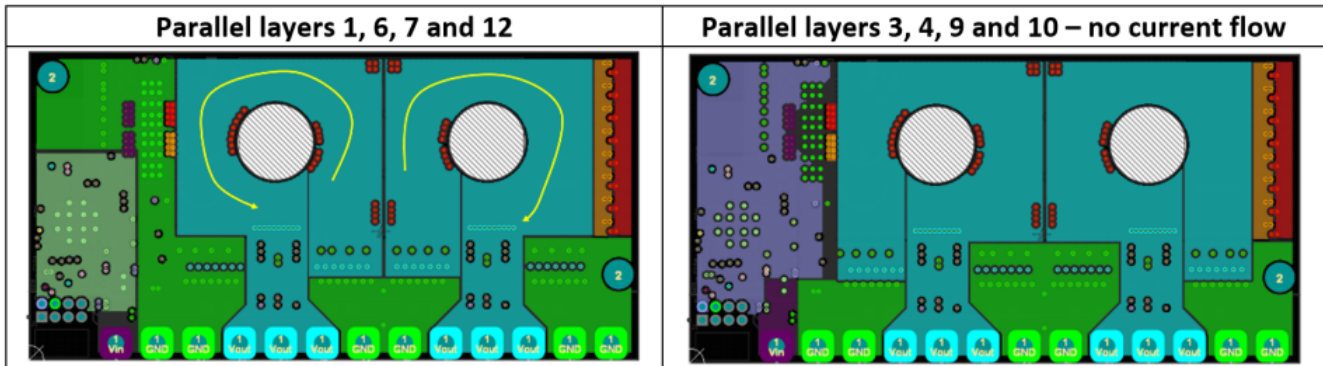


図 7. トランスの 2 次側銅層を水色で示した実際の PWB 層で、センター タップの正の半分 (左) と負の半分 (右)。出典: テキサス・インスツルメンツ

この巻線構造は AC 損失を最小限に抑える上で効果的ですが、巻線損失をゼロに低減することはできません。これらの損失の近似値をよりの確にするには、最初に、巻線の DC 抵抗をよりの確に推定することが不可欠です。これは、正確な平面巻き取り円弧と実際の巻き取りジオメトリの DC 有限要素解析 (FEA) モデルの差を計算することによって行われます。正確な平面アークの抵抗の式を、式 3 に示します。

$$R_{ca} = \frac{2 \times \pi}{\sigma \cdot h_{cu} \times \ln\left(\frac{r_2}{r_1}\right)} \quad (3)$$

ここで、 σ は銅の導電率、 h_{cu} は銅層の厚さ、 r_1 はアークの内側半径、 r_2 はアークの外半径です。

図 8 は、円弧の DC FEA モデルと正確な巻線形状の比較です。モデルの 4 分の 1 だけを使用すると、計算の複雑さが軽減されます。 R_+ と R_- は、FEA モデルの結果に基づく巻線抵抗の 2 つの独立した計算値です。 R_{ca} は式 3 の出力です。左側のプロットでは、FEA モデルを式 3 に対してキャリブレーションします。右側のプロットは、式 3 と実際の形状の間の誤差を決定します。この誤差をスケール係数として使用すると、モデルを調整して実際のジオメトリとより密接に関連付けることができます。

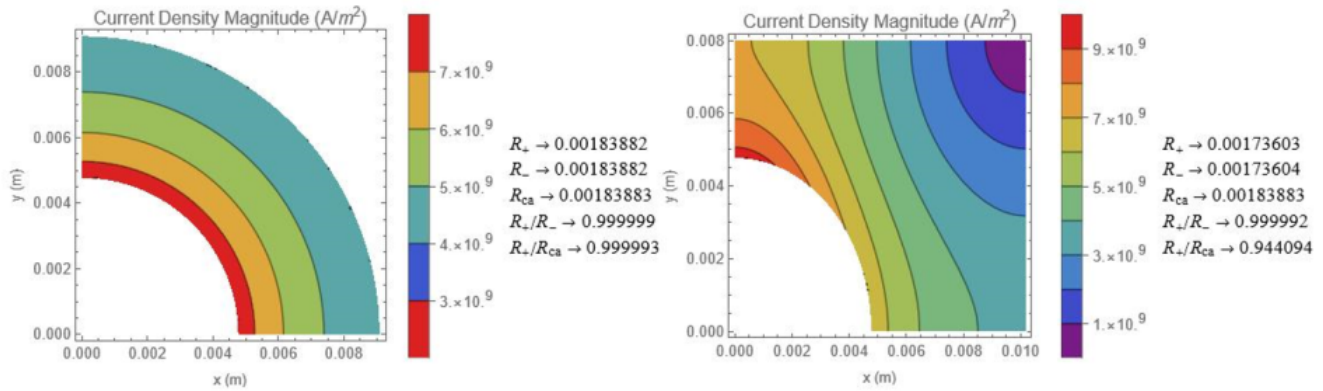


図 8. 有限要素巻線の直流抵抗の推定値左側のプロットが式 3 に対して FEA モデルを較正し、右側のプロットが式 3 と実際の形状の誤差を決定します。出典: テキサス・インスツルメンツ

式 4 は [5] からの校正と AC 損失の影響を考慮した最終的な巻線損失の式です。

$$R_{ac} = \frac{R_+}{R_{ca}} \frac{2 \times \pi}{\sigma \times h_{cu} \times \ln\left(\frac{r_2}{r_1}\right)} \times \operatorname{Re}\left(\sqrt{j \times 2 \times \pi \times f_s \times \mu_0 \times \sigma} \times h_{cu} \times \coth\left(\sqrt{j \times 2 \times \pi \times f_s \times \mu_0 \times \sigma} \times h_{cu}\right)\right) \quad (4)$$

ここで、 f_s はスイッチング周波数、 μ_0 は $4 \times \pi \times 10^{-7}$ です。

Ansys FEA ソフトウェアを使用して、シミュレーションした LLC コンバータの波形によって、過渡励起時のトランスの巻線損失をチェックすることができます。式 4 は Ansys 非定常 FEA モデルを 1% 以内に一致させました。

テスト結果

図 9 はハードウェアのイメージです。

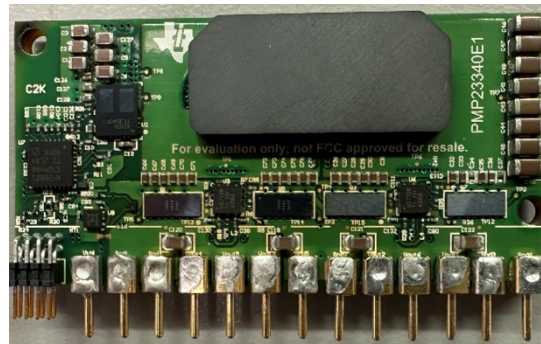


図 9. 1/8 ブリック LLC コンバータのプロトタイプ ハードウェア。出典: テキサス・インスツルメンツ

図 10 に、ハードウェアから測定した損失と効率を示します。このデータは、48V 入力の定電流負荷と強制空冷を使用して収集しました。図 10 また、モジュールの効率を示し、予測損失と測定された損失を比較します。

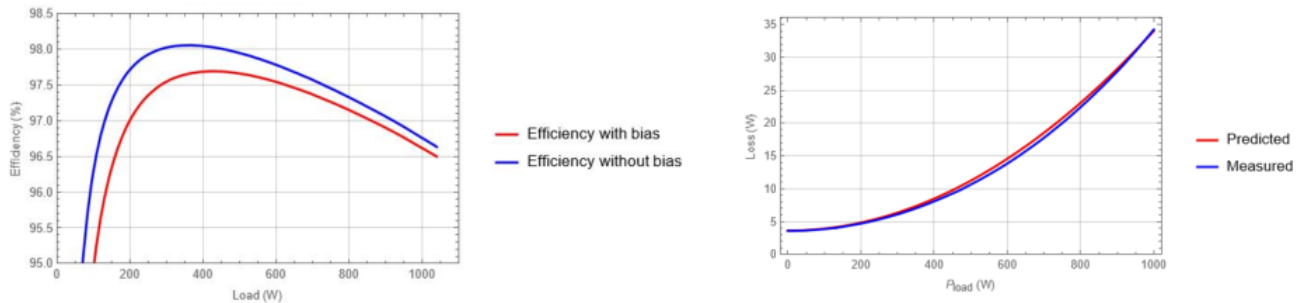


図 10. プロトタイプ ハードウェアの測定効率、損失、およびレギュレーション。出典: テキサス・インスツルメンツ

LLC コンバータ用トランスの概要

この Power Tip は、高効率の LLC コンバータを対象にして、分析的に健全なトランスの構造と巻線損失の推定方法を提示しました。この手法を、LMG2100[6] のような高性能 GaN スイッチと組み合わせて使用すると、データセンターの電源設計者は、より小型でより効率の高いバス コンバータを設計することができます。

関連コンテンツ

- [Power Tips #121: アクティブ スナバを使用した位相シフトフルブリッジ効率の改善](#)
- [Power Tips #120: 絶縁型バイアストランスの寄生容量が EMI 特性に及ぼす影響](#)
- [Power Tips #119: EMI 性能を重視して電源トランスの特性評価を行う方法](#)
- [Power Tips #118: 交互に配置されたグラウンドプレーンによる絶縁型電源のノイズフィルタ性能の向上](#)

参考資料

1. Huang, Hong. 『LLC 共振ハーフブリッジパワー コンバータの設計』テキサス・インスツルメンツ パワー サプライ デザイン セミナー SEM1900、文献番号 SLUP263、2010～2011 年。
2. Bing Lu, Wenduo Liu, Yan Liang, F.C.Lee, J.D. van Wyk. 『LLC 共振コンバータの最適な設計方法論』以下で公開。21st Annual IEEE Applied Power Electronics Conference and Exposition (APEC)、2006 年 3 月 19 ～ 23 日、6 pp. doi: 10.1109/APEC.2006.1620590。
3. Ahmed, Mohamed. 2019. 『次世代マイクロプロセッサ向けの電源アーキテクチャと設計』博士論文、バージニア工科大学。
4. Liu, Ya. 2007. 『広い負荷範囲を実現する LLC 共振コンバータの高効率最適化』修士論文、バージニア工科大学。
5. Dowell, P.L. 『トランス巻線における Eddy 電流の影響』Proceedings IEE (UK) 113, no. 8 (1966 年 8 月): pp. 1387-1394 で公開。

この記事は、以前 EDN.com で公開された記事です。

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated