

TMS320DM643x DMP **I2C (Inter-Integrated Circuit) ペリフェラル**

ユーザーズ・ガイド

TMS320DM643x DMP

I2C (Inter-Integrated Circuit) ペリフェラル

ユーザーズ・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



目次

最初にお読みください.....	6
1 はじめに	7
1.1 ペリフェラルの使用目的.....	7
1.2 機能.....	7
1.3 機能ブロック図.....	8
1.4 業界標準への準拠について.....	8
2 ペリフェラル・アーキテクチャ	9
2.1 バス構成.....	9
2.2 クロック生成.....	10
2.3 クロックの同期.....	11
2.4 信号の説明.....	11
2.5 START 条件と STOP 条件.....	12
2.6 シリアル・データ・フォーマット.....	13
2.7 動作モード.....	15
2.8 NACK ビットの生成.....	16
2.9 アービトレーション.....	17
2.10 リセットに関する考慮事項.....	18
2.11 初期化.....	18
2.12 割り込みサポート.....	20
2.13 I2C ペリフェラルにより生成される DMA イベント.....	20
2.14 パワー・マネージメント.....	21
2.15 エミュレーションに関する考慮事項.....	21
3 レジスタ	22
3.1 I2C オウン・アドレス・レジスタ (ICOAR).....	23
3.2 I2C インタラプト・マスク・レジスタ (ICIMR).....	24
3.3 I2C インタラプト・ステータス・レジスタ (ICSTR).....	25
3.4 I2C クロック・デバイダ・レジスタ (ICCLKL と ICCLKH).....	29
3.5 I2C データ・カウント・レジスタ (ICCNT).....	30
3.6 I2C データ・レシーブ・レジスタ (ICDRR).....	31
3.7 I2C スレーブ・アドレス・レジスタ (ICSAR).....	32
3.8 I2C データ・トランスミット・レジスタ (ICDXR).....	33
3.9 I2C モード・レジスタ (ICMDR).....	34
3.10 I2C インタラプト・ベクタ・レジスタ (ICIVR).....	39
3.11 I2C エクステンデッド・モード・レジスタ (ICEMDR).....	40
3.12 I2C プリスケアラ・レジスタ (ICPSC).....	41
3.13 I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1).....	42
3.14 I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2).....	42
付録 A 改訂履歴	43

図一覧

図 1	I2C ペリフェラルのブロック図	8
図 2	接続される複数の I2C モジュール	9
図 3	I2C ペリフェラルのクロッキング図	10
図 4	アービトレーション中の 2 つの I2C クロック発生回路の同期	11
図 5	I2C バス上のビット転送	12
図 6	I2C ペリフェラルの START 条件および STOP 条件	12
図 7	I2C ペリフェラルのデータ転送	13
図 8	I2C ペリフェラルの 7 ビット・アドレッシング・フォーマット (ICMDR の FDF=0、XA=0)	13
図 9	スレーブ・レシーバヘライト (ICMDR の FDF=0、XA=1) するマスタ・トランスミッタを指定した I2C ペリフェラルの 10 ビット・アドレッシング・フォーマット	14
図 10	I2C ペリフェラルのフリー・データ・フォーマット (ICMDR の FDF=1)	14
図 11	繰り返し START 条件を指定した I2C ペリフェラルの 7 ビット・アドレッシング・フォーマット (ICMDR の FDF=0、XA=0)	14
図 12	2 つのマスタ・トランスミッタ間でのアービトレーション処理	17
図 13	I2C オウン・アドレス・レジスタ (ICOAR)	23
図 14	I2C インタラプト・マスク・レジスタ (ICIMR)	24
図 15	I2C インタラプト・ステータス・レジスタ (ICSTR)	25
図 16	I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL)	29
図 17	I2C クロック・ハイタイム・デバイダ・レジスタ (ICCLKH)	29
図 18	I2C データ・カウント・レジスタ (ICCNT)	30
図 19	I2C データ・レシーブ・レジスタ (ICDRR)	31
図 20	I2C スレーブ・アドレス・レジスタ (ICSAR)	32
図 21	I2C データ・トランスミット・レジスタ (ICDXR)	33
図 22	I2C モード・レジスタ (ICMDR)	34
図 23	デジタル・ループバック・モード (DLB) ビットを示すブロック図	38
図 24	I2C インタラプト・ベクタ・レジスタ (ICIVR)	39
図 25	I2C エクステンデッド・モード・レジスタ (ICEMDR)	40
図 26	I2C プリスケアラ・レジスタ (ICPSC)	41
図 27	I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1)	42
図 28	I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2)	42

表一覧

表 1	I2C ペリフェラルの動作モード	15
表 2	NACK ビットを生成する方法	16
表 3	I2C 割り込みイベントの説明	20
表 4	I2C (Inter-Integrated Circuit) レジスタ	22
表 5	I2C オウン・アドレス・レジスタ (ICOAR) フィールドの説明	23
表 6	I2C インタラプト・マスク・レジスタ (ICIMR) フィールドの説明	24
表 7	I2C インタラプト・ステータス・レジスタ (ICSTR) フィールドの説明	25
表 8	I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL) フィールドの説明	29
表 9	I2C クロック・ハイタイム・デバイダ・レジスタ (ICCLKH) フィールドの説明	29
表 10	I2C データ・カウント・レジスタ (ICCNT) フィールドの説明	30
表 11	I2C データ・レシーブ・レジスタ (ICDRR) フィールドの説明	31
表 12	I2C スレーブ・アドレス・レジスタ (ICSAR) フィールドの説明	32
表 13	I2C データ・トランスミット・レジスタ (ICDXR) フィールドの説明	33
表 14	I2C モード・レジスタ (ICMDR) フィールドの説明	34
表 15	RM、STT、STP の各ビットで指定されるマスタ・トランスミッタ/レシーバのバス動作	37
表 16	MST と FDF ビットによる TRX ビットの機能へ与える影響	38
表 17	I2C インタラプト・ベクタ・レジスタ (ICIVR) フィールドの説明	39
表 18	I2C エクステンデッド・モード・レジスタ (ICEMDR) フィールドの説明	40
表 19	I2C プリスケアラ・レジスタ (ICPSC) フィールドの説明	41
表 20	I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1) フィールドの説明	42
表 21	I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2) フィールドの説明	42
表 A-1	資料改訂履歴	43

最初にお読みください

本書について

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されている I2C (Inter-Integrated Circuit) ペリフェラルについて説明します。I2C ペリフェラルは、Philips Semiconductors 社が策定した I2C (Inter-IC) バス規格バージョン 2.1 に準拠し、I2C バス経由で接続される他のデバイスと DMP 間のインターフェイスを備えています。本書で説明する範囲は、I2C バス規格について知識がある読者を想定しています。

表記規則

本書では、次の表記規則を使用します。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書ではレジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、リード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連資料

TMS320DM643x デジタル・メディア・プロセッサ (DMP) を解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに資料番号を入力してください。

DM643x DMP、関連ペリフェラル、およびその他の技術資料は、C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

[SPRU978 - TMS320DM643x DMP DSP Subsystem Reference Guide](#) では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているデジタル・シグナル・プロセッサ (DSP) のサブシステムについて説明しています。

[SPRU983 - TMS320DM643x DMP Peripherals Overview Reference Guide](#) では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) 上で使用可能なペリフェラルについて説明しています。

[SPRAA84 - TMS320C64x to TMS320C64x+ CPU Migration Guide](#) では、Texas Instruments TMS320C64x デジタル・シグナル・プロセッサ (DSP) から TMS320C64x+ DSP への移行方法について説明しています。本書の目的は、2 つのコア間の相違点を的確に示すことです。2 つのデバイスの機能が等価な場合には、説明は省略されています。

[SPRU732 - TMS320C64x/C64x+ DSP CPU and Instruction Set Reference Guide](#) では、TMS320C6000 DSP ファミリーの TMS320C64x と TMS320C64x+ のデジタル・シグナル・プロセッサ (DSP) の CPU アーキテクチャ、パイプライン、命令セット、および割り込みについて説明しています。C64x/C64x+ DSP 世代は、C6000 DSP プラットフォームの固定小数点デバイスを構成しています。C64x+ DSP は C64x DSP の機能性を高め、命令セットを拡張した機能強化版です。

[SPRU871 - TMS320C64x+ DSP Megamodule Reference Guide](#) では、TMS320C64x+ デジタル・シグナル・プロセッサ (DSP) のメガモジュールについて説明しています。具体的には、内部ダイレクト・メモリ・アクセス (IDMA) コントローラ、割り込みコントローラ、パワーダウン・コントローラ、メモリ保護、帯域幅管理、およびメモリとキャッシュについて説明しています。

I2C (Inter-Integrated Circuit) ペリフェラル

1 はじめに

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されている I2C (Inter-Integrated Circuit) ペリフェラルの動作について説明します。本書で説明する範囲は、Philips Semiconductors 社が策定した I2C (Inter-IC) バス規格バージョン 2.1 について知識がある読者を想定しています。

1.1 ペリフェラルの使用目的

I2C ペリフェラルは、I2C バス規格バージョン 2.1 に準拠し、I2C バス経由で接続される他のデバイスと DMP 間のインターフェイスを備えています。この 2 線式シリアル・バスに接続される外部コンポーネントは、DMP 間と I2C ペリフェラルを通じて 最大で 8 ビット幅のデータを送受信可能です。

1.2 機能

I2C ペリフェラルの機能は、次のとおりです。

- Philips Semiconductors 社が策定した I2C バス規格 (バージョン 2.1) に準拠 :
 - バイト形式の転送をサポート
 - 7 ビットおよび 10 ビットのアдресング・モード
 - ゼネラル・コール
 - START バイト・モード
 - マスタ・トランスミッタとスレーブ・レシーバを複数組み合わせモードをサポート
 - スレーブ・トランスミッタとマスタ・レシーバを複数組み合わせモードをサポート
 - マスタ送信 / 受信と受信 / 送信を組み合わせモード
 - 10 kbps ~ 最大 400 kbps の I2C データ転送レート (Philips I2C レート)
- 2 ビット ~ 7 ビット形式の転送
- フリー・データ・フォーマット・モード
- DMA は DMA リード・イベントと DMA ライト・イベントを 1 つずつ使用可能
- CPU が使用できる 7 つの割り込み
- ペリフェラルによるイネーブル / ディスエーブル機能

1.2.1 サポート対象外の機能

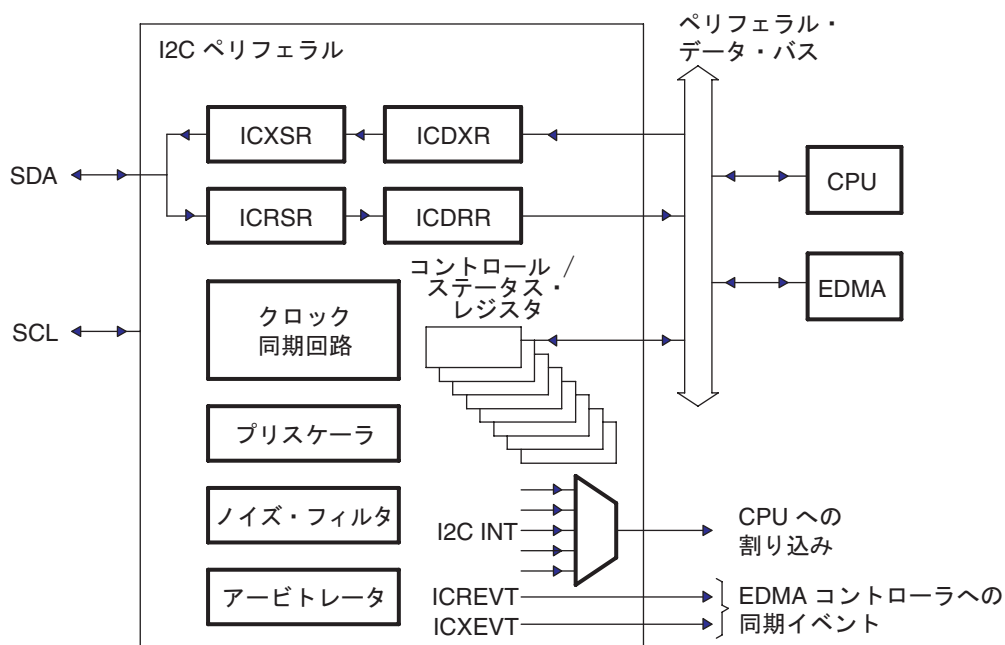
- 高速モード
- CBUS 互換モード
- 10 ビット・アドレスング・モードを混在させた形式 (I2C はスレーブ・アドレスに先頭バイトを送るたびに 2 番目のバイトを送る)

はじめに

1.3 機能ブロック図

I2C ペリフェラルのブロック図を図 1 に示します。I2C ペリフェラルのアーキテクチャの詳細については、第 2 章を参照してください。

図 1. I2C ペリフェラルのブロック図



1.4 業界標準への準拠について

I2C ペリフェラルは、Philips Semiconductors 社が策定した I2C (Inter-IC) バス規格バージョン 2.1 に準拠しています。

2 ペリフェラル・アーキテクチャ

I2C ペリフェラルは、次の主要ブロックから構成されます。

- シリアル・インターフェイス：データ・ピン（SDA）とクロック・ピン（SCL）がそれぞれ 1 本ずつ
- SDA ピンと CPU または EDMA コントローラ間で転送する送受信データを一時的に保持するデータ・レジスタ
- コントロール/ステータス・レジスタ
- CPU と EDMA コントローラで I2C ペリフェラル・レジスタへのアクセスを可能にするペリフェラル・データ・バス・インターフェイス
- SCL ピン上の I2C 入力クロックを（プロセッサ・クロック発生回路から）同期させるためのクロック同期回路、およびさまざまなクロック・スピードで動作するマスタとデータ転送を同期させるための I2C 入力クロック
- I2C ペリフェラルへドライブされる入力クロックの分周を行うプリスケアラ
- SDA と SCL の 2 本のピンそれぞれに搭載されたノイズ・フィルタ
- I2C ペリフェラル（これがマスタの場合）ともう 1 つのマスタ間のアービトレーションを処理するアービトレータ
- 割り込み生成ロジック。これにより、割り込みを CPU に送ることが可能
- EDMA イベント生成ロジック。これにより、EDMA コントローラの動作は I2C ペリフェラルでデータの送受信に同期可能

送受信で使用する 4 つのレジスタを図 1 に示します。CPU または EDMA コントローラは、送信データを ICDXR ヘライトし、ICDRR から受信したデータをリードします。I2C ペリフェラルがトランスミッタとして設定されている場合、ICDXR ヘライトされたデータは ICXSR へコピーされ、1 ビットずつ SDA ピン上にシフト・アウトされます。I2C ペリフェラルがレシーバとして設定されている場合、受信データは ICRSR へシフト・アウトされ、その後 ICDRR へコピーされます。

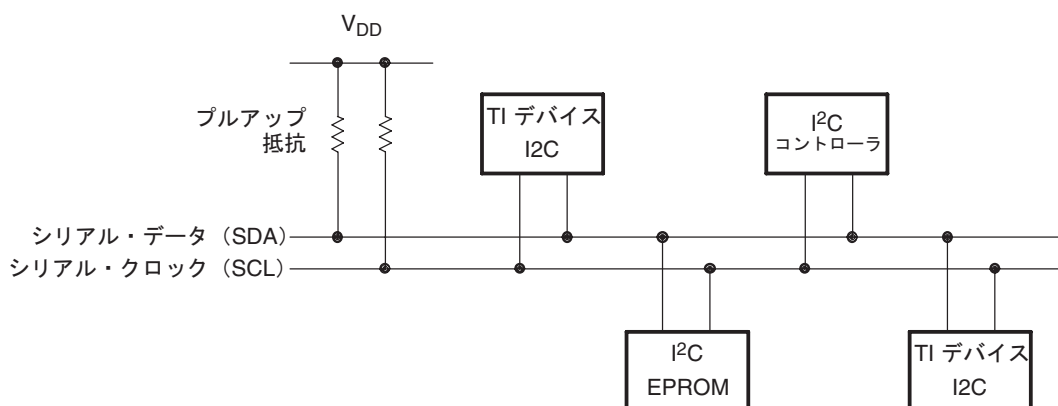
2.1 バス構成

I2C ペリフェラルが I2C バスへ接続される様子を 図 1 に示します。I2C バスは、マルチ・マスタ・モードをサポートするマルチ・マスタ・バスです。これにより、1 つ以上のデバイスに接続されているバスを制御することができます。固有のアドレスで、それぞれの I2C デバイスを認識します。それぞれの I2C デバイスは、デバイスの機能に応じてトランスミッタまたはレシーバのいずれかとして動作します。I2C バスに接続されているデバイスは、データ転送実行時に、トランスミッタまたはレシーバのいずれかであるかだけでなく、マスタまたはスレーブのいずれかであると見なされます。

注： マスタ・デバイスは、バス上でデータ転送を開始し、その転送を許可するためにクロック信号を生成します。このマスタによってアドレス指定されるデバイスはいずれも、転送中はスレーブと見なされます。

デバイス間で行われる 2 ウェイ転送で接続される複数の I2C モジュールの例を図 2 に示します。

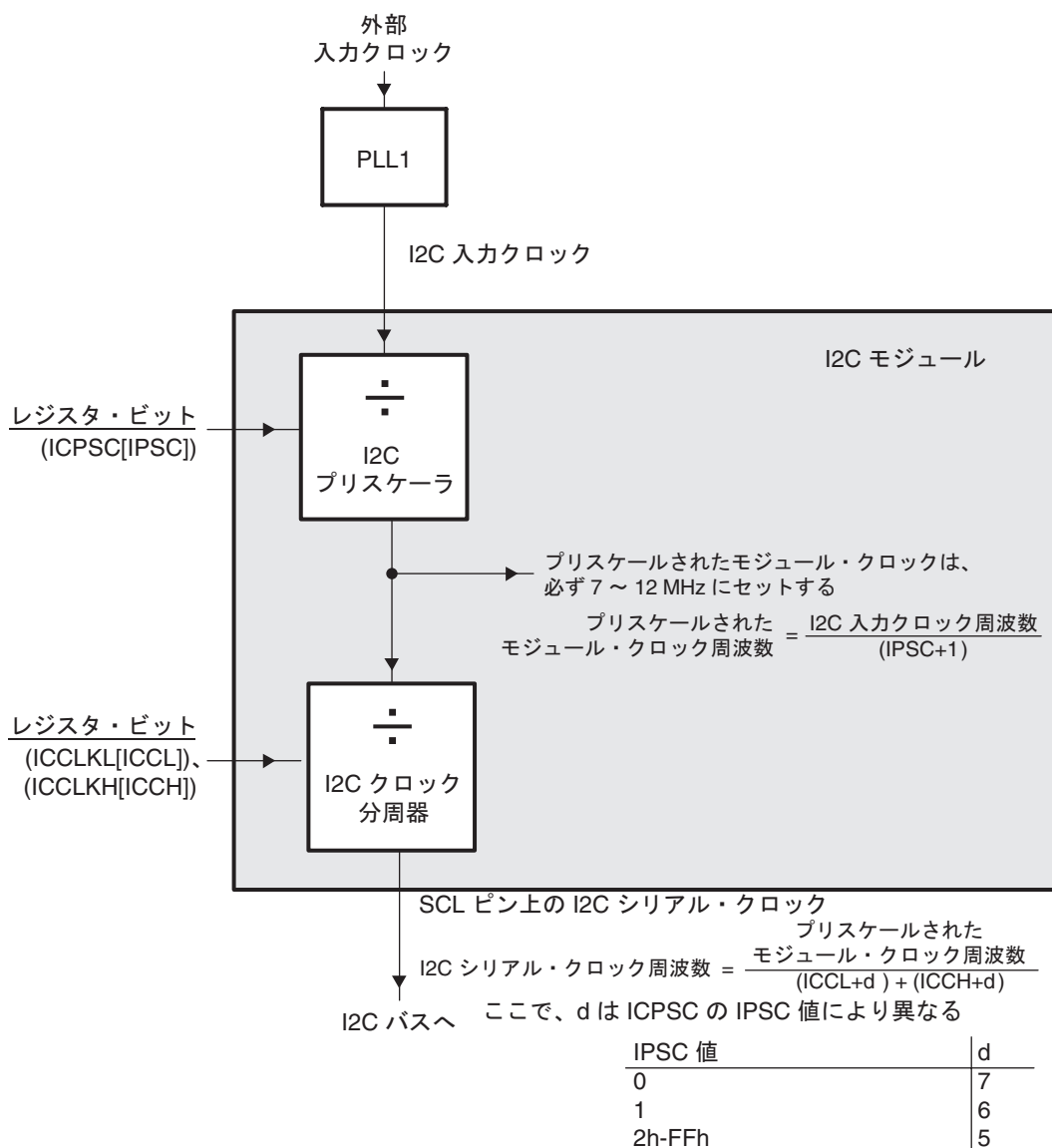
図 2. 接続される複数の I2C モジュール



2.2 クロック生成

図3に示すように、PLL1は外部クロック・ソースから信号を受信し、I2C入力クロックを生成します。I2Cモジュールのプログラム可能なプリスケラ（ICPSCのIPSCビット）は、プリスケールされたモジュール・クロックを生成するためにI2C入力クロックの分周を行います。プリスケールされたモジュール・クロックは、7～12MHzの範囲内で動作させる必要があります。I2Cクロック分周器は、I2Cシリアル・クロックを生成するために、プリスケールされたモジュール・クロック信号のHigh区間（ICCLKHのICCHビット）およびLow区間（ICCLKLのICCLビット）の分周を行います。これは、I2CモジュールがI2Cバス上のマスタとなるように設定されている場合にはSCLピン上に生成されます。

図3. I2Cペリフェラルのクロッキング図



注意

プリスケールされたモジュール・クロック周波数の範囲：

I2Cモジュールは、7～12MHzのプリスケールされたモジュール・クロック周波数を指定して動作させる必要があります。I2Cプリスケラ・レジスタ（ICPSC）は、この周波数範囲に適合するように設定する必要があります。

プリスケラ (ICPSC の IPSC ビット) は、I2C モジュールがリセット状態 (ICMDR の IRS = 0) にある間に、初期化する必要があります。プリスケラされた周波数は、ICMDR の IRS ビットが 1 に変化したときのみ有効です。ICMDR の IRS = 1 の間は、ICPSC の IPSC ビットを変更しても影響はありません。同様に、I2C モジュールがリセット状態になったままの状態、I2C クロック分周比 (ICCLKH の ICCH ビットおよび ICCLKL の ICCL ビット) を設定する必要があります。

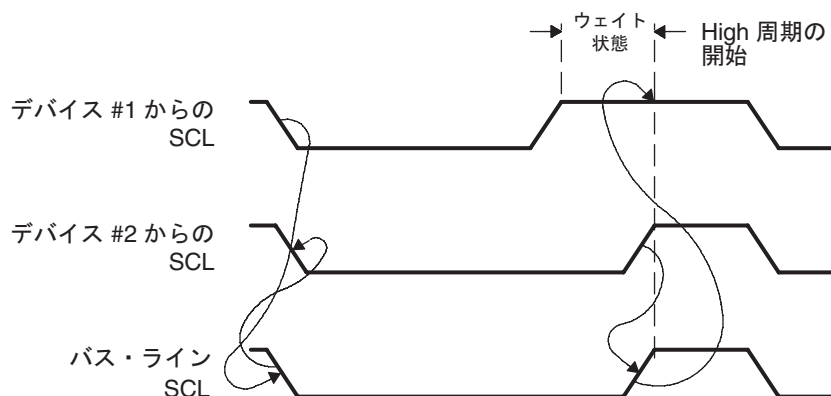
2.3 クロックの同期

通常の状態では、クロック信号 (SCL) を生成するのは 1 つのマスタ・デバイスだけです。しかし、アービトレーション処理時には 2 つ以上のマスタがあります。また、データ出力を比較するために必ずクロックを同期させなければなりません。クロック同期の様子を図 4 に示します。SCL が接続されているため、SCL 上の Low 周期を最初に生成するデバイス (デバイス #1) が、その他のデバイスを却下します。

この High から Low への遷移では、他のデバイスのクロック発生回路は Low 周期を強制的に開始します。SCL は Low 周期を最長にするデバイスにより Low に保持されます。Low 周期を終了した他のデバイスは、High 周期を開始する前に SCL が解放されることを待つ必要があります。最も低速なデバイスが Low 周期の期間を決定し、最も高速なデバイスが High 周期の期間を決定することにより、SCL 上の同期信号を取得します。

あるデバイスがより長時間にわたりクロック・ラインをプル・ダウンする場合、すべてのクロック発生回路がウェイト状態に入る必要がなくなります。これにより、スレーブが高速なマスタをスロー・ダウンさせ、低速なデバイスが受信データ・ワードを格納したり、送信対象のデータ・ワードを準備したりするのに十分な時間を確保できます。

図 4. アービトレーション中の 2 つの I2C クロック発生回路の同期



2.4 信号の説明

I2C ペリフェラルには、データ通信を行うためにシリアル・データ・ピン (SDA) およびシリアル・クロック・ピン (SCL) が用意されています (図 1 を参照)。これらの 2 つのピンは、DM643x デバイスと I2C バスに接続されている他のデバイス間で情報を伝達します。SDA と SCL ピンは両方とも送受信を行います。これらのピンはそれぞれ、プルアップ抵抗を使用して正の電源電圧に接続する必要があります。バスが空になっている場合、ピンは両方とも High になります。これらの 2 つのピンのドライバは、AND 接続となるようにオープン・ドレイン・コンフィギュレーションを備えています。

これらのピンの他のタイミングおよび電気的な特性については各デバイスのデータ・マニュアルを参照してください。

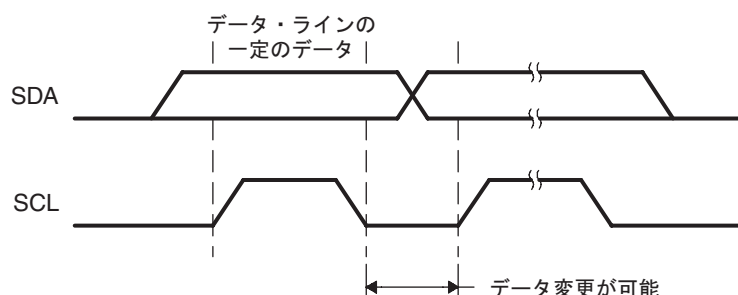
2.4.1 入出力電圧レベル

マスタ・デバイスは、転送されるデータ・ビットごとに 1 つのクロック・パルスを生成します。I2C バスに接続されるさまざまなテクノロジー・デバイスがあるため、ロジック 0 (Low) およびロジック 1 (High) のレベルは固定されず、関連付けられた電源レベルによって異なります。詳細については、各デバイスのデータ・マニュアルを参照してください。

2.4.2 データの有効性

SDA 上のデータは、クロックの High 周期では一定である必要があります (図 5 を参照)。データ・ライン SDA の High または Low の状態は、SCL 上のクロック信号が Low の場合にのみ変更可能です。

図 5. I2C バス上のビット転送



2.5 START 条件と STOP 条件

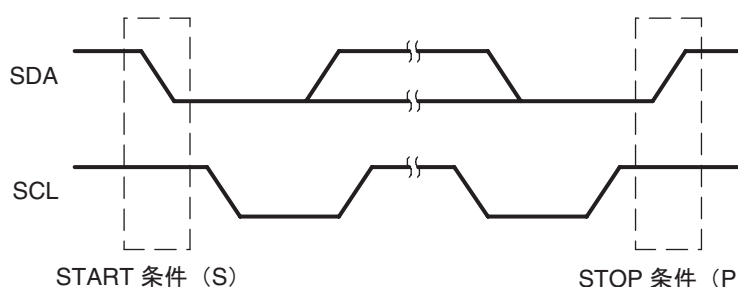
I2C ペリフェラルは I2C バス上のマスタとなるように設定された場合、START 条件と STOP 条件を生成できます (図 6 を参照)。

- START 条件は、SCL が High のときの SDA ライン上の High から Low への遷移であると規定されています。マスタは、この条件をドライブして、データ転送の開始を示します。
- STOP 条件は、SCL が High のときの SDA ライン上の Low から High への遷移であると規定されています。マスタは、この条件をドライブして、データ転送の終了を示します。

I2C バスは、START 条件後および以降の STOP 条件前ではビジーと見なされます。ICSTR のバス・ビジー (BB) ビットは 1 です。このバスは STOP 条件から次の START 条件の間では空であると見なされます。BB は 0 です。

ICMDR のマスタ・モード (MST) ビットおよび START 条件 (STT) ビットは、I2C ペリフェラルが START 条件を使用してデータ転送を開始する場合、両方とも 1 でなければなりません。STOP 条件 (STP) ビットは、I2C ペリフェラルが STOP 条件を使用してデータ転送を終了する場合、両方とも 1 にセットする必要があります。また、BB と STT が両方とも 1 にセットされている場合、繰り返し START 条件が生成されます。ICMDR (MST、STT、STP の各ビットなど) の説明については、3.9 節を参照してください。

図 6. I2C ペリフェラルの START 条件および STOP 条件



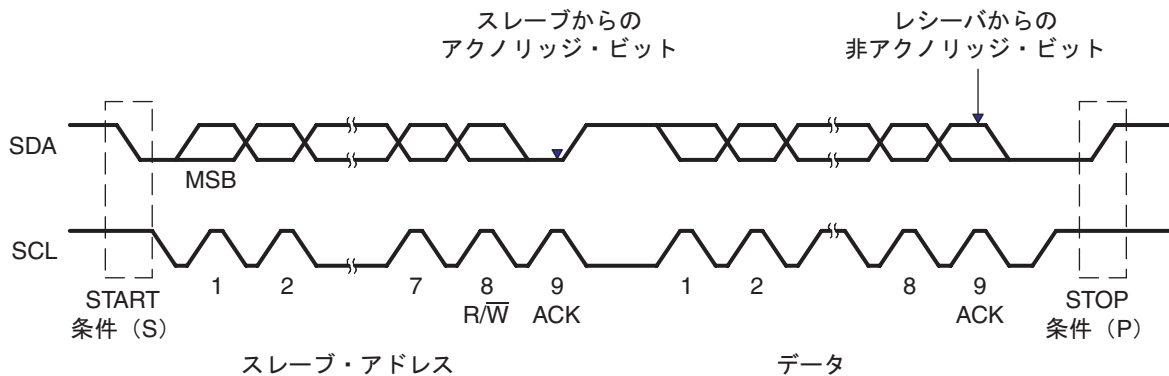
2.6 シリアル・データ・フォーマット

I2C バス上のデータ転送例を図 7 に示します。I2C ペリフェラルは、1 ビット ~ 8 ビットのデータ値をサポートします。8 ビット・データ・フォーマットを図 7 に示します (ICMDR の BC = 000)。SDA ライン上に置かれた各ビットは、SCL ライン上の 1 パルスと同等です。データは、MSB ファーストで常に転送されます。送信または受信できるデータ値の数は、制限されていません。ただし、トランスミッタおよびレシーバは転送対象のデータ値の数に一致する必要があります。

I2C ペリフェラルは、次のデータ・フォーマットをサポートします。

- 7 ビット・アドレッシング・モード
- 10 ビット・アドレッシング・モード
- フリー・データ・フォーマット・モード

図 7. I2C ペリフェラルのデータ転送



2.6.1 7 ビット・アドレッシング・フォーマット

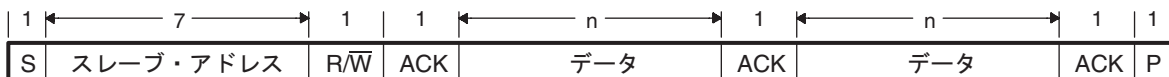
7 ビット・アドレッシング・フォーマット (図 8) では、START 条件 (S) 後の最初のバイトは 7 ビット・スレーブ・アドレスの後に続く R/\bar{W} ビットから構成されます。 R/\bar{W} ビットは、データの方向を決定します。

- $R/\bar{W} = 0$: マスタは、アドレス指定されたスレーブにデータをライト (転送) します。
- $R/\bar{W} = 1$: マスタは、スレーブからデータをリード (受信) します。

アクノリッジ (ACK) 専用の余分なクロック・サイクルが R/\bar{W} ビットの後に挿入されます。スレーブが ACK ビットを挿入すると、トランスミッタ (R/\bar{W} ビットに応じてマスタかスレーブのいずれか) からのデータの n ビットがその後に続きます。 n は 1 ~ 8 までの数で、ICMDR のビット・カウンタ (BC) ビットによって決まります。データ・ビットが転送された後に、レシーバは ACK ビットを挿入します。

7 ビット・アドレッシング・フォーマットを選択するには、ICMDR の拡張アドレス・イネーブル (XA) に 0 をライトします。

図 8. I2C ペリフェラルの 7 ビット・アドレッシング・フォーマット (ICMDR の FDF = 0、XA = 0)



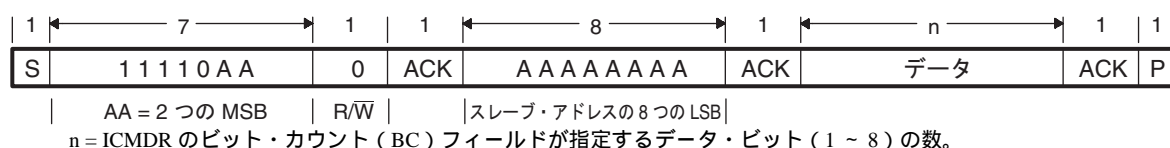
n = ICMDR のビット・カウンタ (BC) フィールドが指定するデータ・ビット (1 ~ 8) の数。

2.6.2 10 ビット・アドレッシング・フォーマット

10 ビット・アドレッシング・フォーマット (図 9) は 7 ビット・アドレッシング・フォーマットに似ていますが、マスタは 2 つの別々のバイト転送のスレーブ・アドレスを送信します。先頭バイトは、11110b、10 ビット・スレーブ・アドレスの 2 つの MSB、および R/W = 0 (ライト) で構成されます。2 番目のバイトは、10 ビットのスレーブ・アドレスの残りの 8 ビットです。スレーブは、2 つのバイトがそれぞれ転送後に ACK を送信する必要があります。マスタが 2 番目のバイトをスレーブへライトすると、マスタはデータをライトするか、繰り返し START 条件を使用してデータの方向を変更できます (10 ビット・アドレッシングを使用する方法の詳細については、Philips Semiconductors 社が策定した I2C バス規格を参照してください)。

10 ビット・アドレッシング・フォーマットを選択するには、ICMDR の XA ビットへ 1 をライトします。

図 9. スレーブ・レシーバへライト (ICMDR の FDF = 0、XA = 1) するマスタ・トランスミッタを指定した I2C ペリフェラルの 10 ビット・アドレッシング・フォーマット

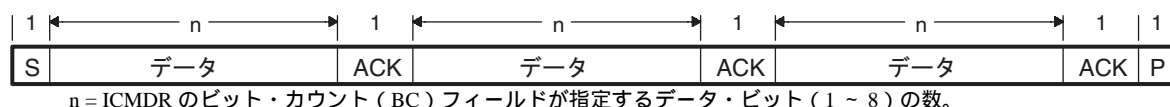


2.6.3 フリー・データ・フォーマット

フリー・データ・フォーマット (図 10) では、START 条件 (S) の後の先頭ビットはデータ・ワードです。ACK ビットが各データ・ワードの後に挿入されます。これは 1 ~ 8 ビットで、ICMDR のビット・カウント (BC) によって異なります。アドレス・ビットもデータ方向ビットも送信されません。したがって、トランスミッタとレシーバは両方ともフリー・データ・フォーマットをサポートし、データの方向は転送全体を通じて一定にする必要があります。

フリー・データ・フォーマットを選択するには、ICMDR のフリー・データ・フォーマット (FDF) ビットへ 1 をライトします。

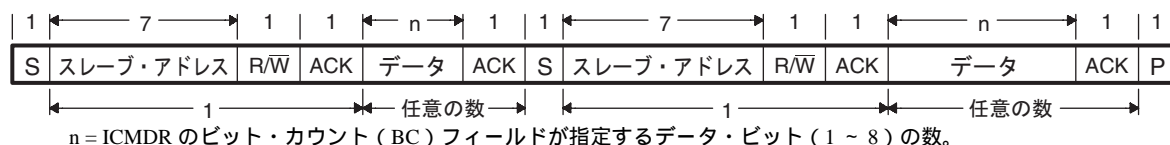
図 10. I2C ペリフェラルのフリー・データ・フォーマット (ICMDR の FDF = 1)



2.6.4 繰り返し START 条件を使用

繰り返し START 条件は、7 ビット・アドレッシング、10 ビット・アドレッシング、およびフリー・データ・フォーマットと組み合わせて使用できます。繰り返し START 条件 (S) を使用した 7 ビット・アドレッシング・フォーマットを図 11 に示します。各データ・ワードの終了時点で、マスタは別の START 条件をドライブすることができます。この機能を使用すると、マスタは STOP 条件をドライブする前に任意のデータ・ワード数を送信または受信できます。データ・ワードの長さは、1 ~ 8 ビットになり、ICMDR のビット・カウント (BC) ビットで選択されます。

図 11. 繰り返し START 条件を指定した I2C ペリフェラルの 7 ビット・アドレッシング・フォーマット (ICMDR の FDF = 0、XA = 0)



2.7 動作モード

I2C ペリフェラルには、マスタおよびスレーブとしてデータ転送をサポートする 4 つの基本動作モードがあります。それぞれのモードの名称と説明については、表 1 を参照してください。

I2C ペリフェラルがマスタの場合、マスタ・トランスミッタとして動作を開始し、一般に、特定のスレーブに対してアドレスを送信します。スレーブヘータを送信する場合、I2C ペリフェラルはマスタ・トランスミッタのままではなりません。スレーブからデータを受信するために、I2C ペリフェラルはその動作モードをマスタ・レシーバに変更する必要があります。

I2C ペリフェラルがスレーブの場合、スレーブ・レシーバとして動作し、一般に、マスタからスレーブ・アドレスを認識したときにアクノリッジを送信します。マスタが I2C ペリフェラルヘータを送る場合、ペリフェラルはスレーブ・レシーバのままではなりません。マスタが I2C ペリフェラルからデータをリクエストした場合、I2C ペリフェラルはその動作モードをスレーブ・トランスミッタ・モードに変更する必要があります。

表 1. I2C ペリフェラルの動作モード

動作モード	説明
スレーブ・レシーバ・モード	I2C ペリフェラルはスレーブで、マスタからデータを受信します。すべてのスレーブ・モジュールはこのモードで動作を開始します。このモードでは、SDA 上に受信されるシリアル・データ・ビットは、マスタが生成するクロック・パルスでシフト・インされます。I2C ペリフェラルは、スレーブとしてクロック信号を生成しませんが、データ受信後にプロセッサの介入が必要な場合 (ICSTR の RSFULL = 1) SCL を Low に保持できます。
スレーブ・トランスミッタ・モード	I2C ペリフェラルはスレーブで、データをマスタへ送信します。スレーブ・レシーバ・モードからのみ、このモードへ入ることができます。I2C ペリフェラルは、最初にマスタからコマンドを受信する必要があります。7 ビット / 10 ビット・アドレッシング・フォーマットのいずれかを使用しているときに、スレーブ・アドレスが (ICOAR の) 自身のアドレスと同じでかつ、マスタが R/W = 1 を送信している場合、I2C ペリフェラルはスレーブ・トランスミッタ・モードに入ります。その後、I2C ペリフェラルはスレーブ・トランスミッタとして、マスタが生成したクロック・パルスを使用して SDA 上のシリアル・データをシフト・アウトします。I2C ペリフェラルは、スレーブである間、クロック信号を生成しませんが、データ送信後にプロセッサの介入が必要な場合 (ICSTR の XSMT = 0) SCL を Low に保持できます。
マスタ・レシーバ・モード	I2C ペリフェラルはマスタで、スレーブからデータを受信します。マスタ・トランスミッタ・モードからのみ、このモードへ入ることができます。I2C ペリフェラルは、最初にスレーブにコマンドを送信する必要があります。7 ビット / 10 ビット・アドレッシング・フォーマットのいずれかを使用しているときに、I2C ペリフェラルはスレーブ・アドレスおよび R/W = 1 を送信後にマスタ・スレーブ・モードに入ります。SDA 上のシリアル・データ・ビットは SCL 上の I2C ペリフェラルが生成したクロック・パルスを使用して I2C ペリフェラルにシフトされます。データ受信後にプロセッサの介入が必要な場合 (ICSTR の RSFULL = 1) クロック・パルスは抑制され、SCL は Low に保持されます。
マスタ・トランスミッタ・モード	I2C ペリフェラルはマスタで、制御情報とデータをマスタへ送信します。すべてのマスタ・モジュールはこのモードで動作を開始します。このモードでは、7 ビット / 10 ビット・アドレッシング・フォーマットのいずれかで組み立てられたデータは、SDA 上でシフト・アウトされます。ビット・シフトは、SCL 上の I2C ペリフェラルが生成したクロック・パルスと同期します。データ送信後にプロセッサの介入が必要な場合 (ICSTR の XSMT = 0) クロック・パルスは抑制され、SCL は Low に保持されます。

2.8 NACK ビットの生成

I2C ペリフェラルがレシーバの場合（マスタでもスレーブでも）、トランスミッタが送信したビットを確認するか無視します。新たなビットを無視するには、I2C ペリフェラルはバス上のアクノリッジ・サイクル間に非アクノリッジ（NACK）ビットを送信する必要があります。I2C ペリフェラルが NACK ビットを送信するさまざまな方法を表 2 にまとめています。

表 2. NACK ビットを生成する方法

I2C ペリフェラルの状態	NACK ビットの生成	
	基本	オプション
スレーブ・レシーバ・モード	<ul style="list-style-type: none"> データ転送をディスエーブルします（ICSTR の STT = 0）。 オーバーラン状態を許可します（ICSTR の RSFULL = 1）。 ペリフェラルをリセットします（ICMDR の IRS = 0）。 	受信する最後のデータ・ビットの立ち上がりエッジの前に、ICMDR の NACKMOD ビットをセットします。
マスタ・レシーバ・モードでかつ繰り返しモード（ICMDR の RM = 1）	<ul style="list-style-type: none"> STOP 条件を生成します（ICMDR の STOP = 1）。 ペリフェラルをリセットします（ICMDR の IRS = 0）。 	受信する最後のデータ・ビットの立ち上がりエッジの前に、ICMDR の NACKMOD ビットをセットします。
マスタ・レシーバ・モードでかつ非繰り返しモード（ICMDR の RM = 0）	<ul style="list-style-type: none"> ICMDR の STP = 1 の場合、内部データ・カウンタはゼロまでカウントダウンし、STOP 条件を強制的に設定します。 STP = 0 の場合、STP = 1 を設定すると STOP 条件を生成します。 ペリフェラルをリセットします（ICMDR の IRS = 0）。 	受信する最後のデータ・ビットの立ち上がりエッジの前に、ICMDR の NACKMOD ビットをセットします。

2.9 アービトレーション

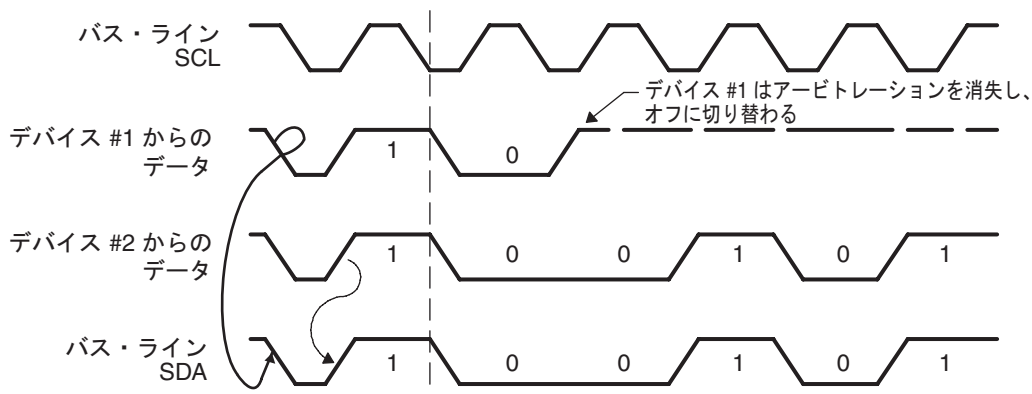
2つ以上のマスタ・トランスミッタが同時に同じバス上に送信を開始する場合、アービトレーション処理が行われます。アービトレーション処理では、競合するトランスミッタからシリアル・データ・バス (SDA) 上に渡されるデータを使用します。2つのデバイス間で行われるアービトレーション処理を図 12 に示します。SDA を High にドライブする最初のマスタ・トランスミッタは、SDA を Low にドライブする別のマスタ・トランスミッタによって却下されます。このアービトレーション処理では、最も小さいバイナリ値を含むシリアル・データ・ストリームを送信するデバイスが優先されます。2つ以上のデバイスが同一の先頭バイトを送信すると、アービトレーションは以降のバイトでも続行します。

I2C ペリフェラルがアービトレーションを消失したマスタの場合、スレーブ・レシーバ・モードに切り替わり、アービトレーション・ロスト (AL) フラグをセットし、アービトレーション・ロスト割り込みを生成します。

シリアル転送中に連続した START 条件または STOP 条件が SDA へ送信されるときにアービトレーション処理が依然として進行中の場合、アービトレーションを実行していたマスタ・トランスミッタは連続した START 条件または STOP 条件をフォーマット・フレーム内の同じ位置から送信する必要があります。アービトレーションは、次の場合は実行できません。

- 連続した START 条件とデータ・ビットの間
- STOP 条件とデータ・ビットの間
- 連続した START 条件と STOP 条件の間

図 12. 2つのマスタ・トランスミッタ間でのアービトレーション処理



2.10 リセットに関する考慮事項

I2C ペリフェラルには、ソフトウェア・リセットとハードウェア・リセットの2つのリセット要因があります。

2.10.1 ソフトウェア・リセットに関する考慮事項

I2C ペリフェラルをリセットするには、I2C モード・レジスタ (ICMDR) の I2C リセット (IRS) ビットに 0 をライトします。I2C インタラプト・ステータス・レジスタ (ICSTR) のすべてのステータス・ビットは強制的にデフォルト値に設定され、IRS が 1 に変更されるまで I2C ペリフェラルはディスエーブルのままです。SDA および SCL ピンは、ハイ・インピーダンス状態になります。

注： 注：転送中に IRS ビットが 0 にクリアされると、I2C がハングする原因になります (SDA および SCL は、ハイ・インピーダンス状態になります)。

2.10.2 ハードウェア・リセットに関する考慮事項

ハードウェア・リセットが発生すると、I2C ペリフェラルのレジスタはすべてデフォルト値にセットされ、I2C ペリフェラルは、I2C モード・レジスタ (ICMDR) の I2C リセット (IRS) ビットが 1 に変更されるまで、ディスエーブルのままになります。

注： I2C ペリフェラルを設定 / 再設定した場合、IRS ビットを 0 にクリアする必要があります。IRS を強制的に 0 に設定するのは、消費電力を削減し、エラー状態を解消するためです。

2.11 初期化

その他の I2C デバイスと通信を開始する前に、I2C を適切に初期化しなければなりません。完全に動作するドライバが用意されていない場合、必要な I2C のコンフィギュレーション・モード (マスタ・レシーバなど) を判別し、I2C コントローラを目的のモードに設定する必要があります。I2C クロックをイネーブルすることが最初のタスクになります。その後、I2C コントローラをリセット状態に置きます。これで、I2C コントローラを設定する準備ができたことになります。一度コンフィギュレーションを行ったら、I2C コントローラをリセット状態から解除してイネーブルする必要があります。通信を開始する前に、すべてのステータス・ビットがクリアされ、ペンディングされている割り込みが存在しないことを確認する必要があります。バスが使用できる (バスがビジーではない) ことが判別したら、I2C は目的の通信を開始する準備ができたことになります。

2.11.1 マスタ・レシーバ・モードに I2C を設定し、CPU を介して受信データを処理する方法

次の初期化手順は、I2C コントローラをマスタ・レシーバ・モードに設定する場合のものです。CPU を使用して、I2C レシーバ・レジスタから CPU メモリ (CPU がアクセスできるメモリ) へデータを転送します。

1. パワー・スリープ・コントローラから I2C クロックをイネーブルします (『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 SPRU978) を参照)。
2. I2C をリセット状態に置きます (ICMDR の IRS = 0 をクリアします)。
3. ICMDR を次のように設定します。
 - I2C をマスタとして設定します (MST = 1)。
 - 使用する I2C コンフィギュレーションを示します。たとえば、データ・レシーバなど (TRX = 0)。
 - 7 ビット・アドレッシングを使用することを示します (XA = 0)。
 - 繰り返しモードをディスエーブルします (RM = 0)。
 - ループバック・モードをディスエーブルします (DLB = 0)。
 - フリー・データ・フォーマットをディスエーブルします (FDF = 0)。
 - オプション: 完全に動作する I2C デバイスをアドレス指定する場合、スタート・バイト・モードをディスエーブルします (STB = 0)。
 - 転送するビット数を 8 ビットになるようにセットします (BC = 0)。
4. この I2C マスタがアドレス指定する I2C デバイスのスレーブ・アドレスを設定します (ICSAR = 7 ビット・アドレス)。
5. ペリフェラル・クロックの動作周波数を設定します (ICPSC)。この値は、周波数の範囲が 7 ~ 12 MHz にある場合に選択してください。
6. I2C マスタ・クロック周波数を設定します。
 - ロータム分周比の値 (ICCLKL) を設定します。
 - ハイタイム分周比の値 (ICCLKH) を設定します。
7. インタラプト・ステータス・レジスタ (ICSTR) がクリアされていることを確認します。
 - ICSTR をリードし、ライトバックします (1 をライトしてクリアします)。ICSTR = ICSTR
 - ICIVR をゼロになるまでリードします。
8. I2C コントローラをリセット状態から変更します。I2C コントローラをイネーブルします (ICMDR の IRS ビット = 1 をセットします)。
9. バス・ビジー・ビットがクリアされるまで待機します (ICSTR の BB = 0)。
10. START イベント、その後に続けてスレーブ・アドレスなどを生成します (ICMDR の STT = 1 をセットします)。
11. データが受信されるまで待機します (ICSTR の ICRRDY = 1)。
12. データをリードします。
 - ICSTR の ICRRDY = 1 の場合、ICDRR をリードします。
 - 受信すると想定したバイト全体より 1 バイト少ないデータを受信するまで、直前の 2 つのステップを実行します。
13. 次のバイトまたは最後のバイトを受信した時に ACK を生成しないように、I2C コントローラを設定します。I2C が最後のバイトを受信した時に NACK を生成するように、NACKMOD ビットをセットします (ICMDR の NACKMOD = 1 をセットします)。
14. 転送が完了したら、バスの転送/解放を終了します。STOP イベントを生成します (ICMDR の STP = 1 をセットします)。

2.12 割り込みサポート

割り込みサポートは、DSP の CPU 割り込みを可能にする機能です。CPU は、I2C インタラプト・ベクタ・レジスタ (ICIVR) をリードして、割り込みの原因となる I2C イベントを判別することができます。ICIVR には、どの割り込みが発生したかを示すバイナリ・コードの割り込みベクタ・タイプが含まれています。ICIVR をリードすると、割り込みフラグがクリアされます。他の割り込みがペンディングされていると、新たな割り込みが生成されます。1 つ以上のペンディングされている割り込みフラグがある場合、ICIVR をリードすると優先順位が最も高い割り込みフラグがクリアされます。

2.12.1 割り込みイベントおよびリクエスト

I2C ペリフェラルは、表 3 に示す割り込みを生成できます。それぞれの割り込みには、I2C インタラプト・ステータス・レジスタ (ICSTR) のフラグ・ビットおよびインタラプト・マスク・レジスタ (ICIMR) のマスク・ビットがあります。指定したイベントの一つが発生すると、フラグ・ビットがセットされます。対応するマスク・ビットが 0 の場合、割り込みリクエストはブロックされます。マスク・ビットが 1 の場合、割り込みリクエストは I2C 割り込みとして CPU へ転送されます。

表 3. I2C 割り込みイベントの説明

I2C 割り込み	イベントの開始
アービトレーション・ロスト割り込み (AL)	I2C アービトレーション処理が失われるか、不正な START/STOP 条件が発生したときに生成されます。
非アクノリッジ割り込み (NACK)	マスタの I2C がレシーバからアクノリッジを受信しないときに生成されます。
レジスタ・アクセス・レディ割り込み (ARDY)	以前プログラムされたアドレス、データ、コマンドが実行され、かつステータス・ビットが更新されたときに I2C により生成されます。制御プロセッサに対して I2C レジスタへアクセスできる状態になっていることを通知するために、この割り込みは使用されます。
受信割り込み / ステータス (ICRINT および ICRRDY)	レシーブ・シフト・レジスタ (ICRSR) で受信したデータが ICDRR へコピーされるときに生成されます。また、ICRRDY ビットは ICDRR の受信データをリードするために CPU でポーリングします。
送信割り込み / ステータス (ICXINT および ICXRDY)	送信されたデータが ICDXR からトランスミット・シフト・レジスタ (ICXSR) へコピーされ、SDA ピン上でシフト・アウトされるときに生成されます。また、次の送信データを ICDXR へライトするために、このビットを CPU でポーリングします。
STOP 条件検出割り込み (SCD)	STOP 条件が検出されたときに生成されます。
アドレス・アズ・スレーブ割り込み (AAS)	I2C が自身のスレーブ・アドレスまたはすべて (8 個) ゼロで構成されたアドレスを認識したときに生成されます。

2.12.2 割り込みのマルチプレクス

I2C による DSP CPU への割り込みは、それ以外の割り込みソースとマルチプレクスされません。

2.13 I2C ペリフェラルにより生成される DMA イベント

EDMA コントローラがデータの送受信を処理する場合、I2C ペリフェラルは次の 2 つの EDMA イベントを生成します。EDMA チャンネルの動作を、これらのイベントに同期させることができます。

- 受信イベント (ICREVT): 受信データがレシーブ・シフト・レジスタ (ICRSR) からデータ・レシーブ・レジスタ (ICDRR) へコピーされると、I2C ペリフェラルは REVT 信号を EDMA コントローラへ送信します。これにตอบสนองして、EDMA コントローラは ICDRR からデータをリードすることができます。
- 送信イベント (ICXEVT): 送信データがデータ・トランスミット・レジスタ (ICDXR) からトランスミット・シフト・レジスタ (ICXSR) へコピーされると、I2C ペリフェラルは XEVT 信号を EDMA コントローラへ送信します。これにตอบสนองして、EDMA コントローラは次の送信データの値を ICDXR へライトすることができます。

2.14 パワー・マネージメント

I2C ペリフェラルは、消費電力を節約するために低消費電力モードに置くことができます。I2C ペリフェラルの電源管理は、プロセッサのパワー・スリープ・コントローラ (PSC) によって制御されます。PSC はマスタ・コントローラとして動作し、デバイスに搭載されたすべてのペリフェラルのパワー・マネージメントを行います。PSC を使用してパワー・マネージメント処理を行う方法の詳細については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 [SPRU978](#)) を参照してください。

2.15 エミュレーションに関する考慮事項

エミュレーション・サスペンド・イベント (動作停止やブレークポイントなど) に対する I2C イベントの応答は、I2C モード・レジスタ (ICMDR) の FREE ビットにより制御されます。I2C ペリフェラルは、エミュレーション・サスペンド・イベントが発生すると、データ交換を停止する (FREE = 0) か、引き続き実行します (FREE = 1)。I2C ペリフェラルがデータ処理を終了する方法は、I2C ペリフェラルがマスタまたはスレーブのいずれかとして動作しているかにより影響を受けます。詳細については、ICMDR の FREE ビットの説明を参照してください (3.9 節を参照)。

3 レジスタ

I2C (Inter-Integrated Circuit) ペリフェラルのメモリ・マップド・レジスタを表 4 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。表 4 に記述されていない他のレジスタ・オフセット・アドレスは、予約ロケーションと見なされ、レジスタの内容は変更されません。

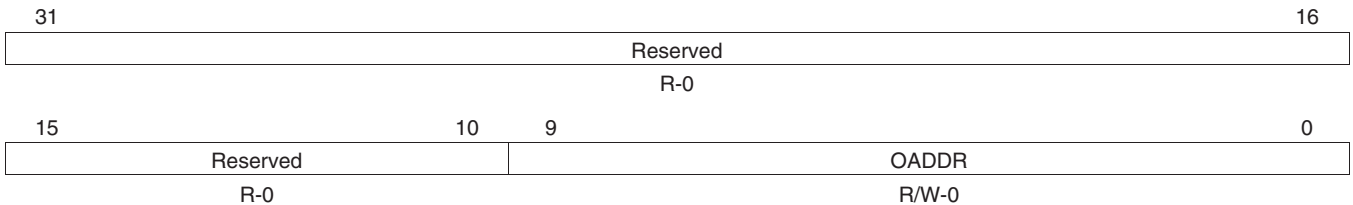
表 4. I2C (Inter-Integrated Circuit) レジスタ

オフセット	短縮形	レジスタの説明	参照先
0h	ICOAR	I2C オウン・アドレス・レジスタ	3.1 節
4h	ICIMR	I2C インタラプト・マスク・レジスタ	3.2 節
8h	ICSTR	I2C インタラプト・ステータス・レジスタ	3.3 節
Ch	ICCLKL	I2C クロック・ロータイム・ディバイダ・レジスタ	3.4 節
10h	ICCLKH	I2C クロック・ハイタイム・ディバイダ・レジスタ	3.4 節
14h	ICCNT	I2C データ・カウント・レジスタ	3.5 節
18h	ICDRR	I2C データ・レシーブ・レジスタ	3.6 節
1Ch	ICSAR	I2C スレーブ・アドレス・レジスタ	3.7 節
20h	ICDXR	I2C データ・トランスミット・レジスタ	3.8 節
24h	ICMDR	I2C モード・レジスタ	3.9 節
28h	ICIVR	I2C インタラプト・ベクタ・レジスタ	3.10 節
2Ch	ICEMDR	I2C エクステンデッド・モード・レジスタ	3.11 節
30h	ICPSC	I2C プリスケアラ・レジスタ	3.12 節
34h	ICPID1	I2C ペリフェラル・アイデンティフィケーション・レジスタ 1	3.13 節
38h	ICPID2	I2C ペリフェラル・アイデンティフィケーション・レジスタ 2	3.13 節

3.1 I2C オウン・アドレス・レジスタ (ICOAR)

I2C オウン・アドレス・レジスタ (ICOAR) は、I2C バスに接続されている他のスレーブと区別するために、自身のスレーブ・アドレスを指定するために使われます。7 ビット・アドレッシング・モードが選択された場合 (ICMDR の XA = 0)、ビット 6 ~ 0 のみが使われ、ビット 9 ~ 7 は無視されます。I2C オウン・アドレス・レジスタ (ICOAR) を図 13 に示し、表 5 で説明します。

図 13. I2C オウン・アドレス・レジスタ (ICOAR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 5. I2C オウン・アドレス・レジスタ (ICOAR) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
9-0	OADDR	0 ~ 3FFh	オウン・スレーブ・アドレス。I2C のスレーブ・アドレスを指定します。 7 ビット・アドレッシング・モード (ICMDR の XA = 0) の場合：ビット 6 ~ 0 が I2C の 7 ビット・スレーブ・アドレスになります。ビット 9 ~ 7 は無視されます。 10 ビット・アドレッシング・モード (ICMDR の XA = 1) の場合：ビット 9 ~ 0 が I2C の 10 ビット・スレーブ・アドレスになります。

3.2 I2C インタラプト・マスク・レジスタ (ICIMR)

I2C インタラプト・マスク・レジスタ (ICIMR) は、I2C 割り込みリクエストを個別にイネーブルしたり、ディスエーブルしたりするために使われます。I2C インタラプト・マスク・レジスタ (ICIMR) を図 14 に示し、図 6 で説明します。

図 14. I2C インタラプト・マスク・レジスタ (ICIMR)

Reserved							
R-0							
7	6	5	4	3	2	1	0
Reserved	AAS	SCD	ICXRDY	ICRRDY	ARDY	NACK	AL
R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 6. I2C インタラプト・マスク・レジスタ (ICIMR) フィールドの説明

ビット	フィールド	値	説明
31-7	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
6	AAS	0	アドレス・アズ・スレーブ割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
5	SCD	0	STOP 条件検出割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
4	ICXRDY	0	送信データ・レディ割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
3	ICRRDY	0	受信データ・レディ割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
2	ARDY	0	レジスタ・アクセス・レディ割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
1	NACK	0	非アクノリッジ割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。
0	AL	0	アービトラージ・ロスト割り込みイネーブル・ビット。 割り込みリクエストはディスエーブル。
		1	割り込みリクエストはイネーブル。

3.3 I2C インタラプト・ステータス・レジスタ (ICSTR)

I2C インタラプト・ステータス・レジスタ (ICSTR) は、どの割り込みが発生したのかを判別したり、ステータス情報をリードしたりするために使われます。

I2C インタラプト・ステータス・レジスタ (ICSTR) を図 15 に示し、表 7 で説明します。

図 15. I2C インタラプト・ステータス・レジスタ (ICSTR)

Reserved							
R-0							
15	14	13	12	11	10	9	8
Reserved	SDIR	NACKSNT	BB	RSFULL	XSMT	AAS	ADO
R-0	R/W1C-0	R/W1C-0	R/W1C-0	R-0	R-1	R-0	R-0
7	6	5	4	3	2	1	0
Reserved		SCD	ICXRDY	ICRRDY	ARDY	NACK	AL
R-0		R/W1C-0	R/W1C-1	R/W1C-0	R/W1C-0	R/W1C-0	R/W1C-0

凡例：R/W = リード/ライト。R = リード専用。W1C = 1 をライトするとクリア (0 をライトしても影響なし)。-n = リセット後の値。

表 7. I2C インタラプト・ステータス・レジスタ (ICSTR) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
14	SDIR	0	スレーブ方向ビット。デジタル・ループバック・モード (DLB) では、SDIR ビットは 0 にクリアされます。 I2C は、マスタ・トランスミッタ/レシーバまたはスレーブ・レシーバとして動作します。SDIR がクリアされるのは、次のイベントのいずれが発生した場合です。 <ul style="list-style-type: none"> STOP 条件または START 条件。 SDIR が手動でクリアされた。このビットをクリアするには、1 をライトします。
		1	I2C は、スレーブ・トランスミッタとして動作します。
13	NACKSNT	0	非アクノリッジ送信ビット。NACKSNT は、I2C がレシーバ・モードで動作しているときに使われます。NACKSNT が影響を受けるのは、NACK モードが使われている場合です (3.9 節の NACKMOD の説明を参照)。 NACK は送信されない。NACKSNT がクリアされるのは、次のイベントのいずれが発生した場合です。 <ul style="list-style-type: none"> このビットが手動でクリアされた。このビットをクリアするには、1 をライトします。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。
		1	NACK が送信されます。非アクノリッジビットが、I2C バスのアクノリッジ・サイクルで送信されます。
12	BB	0	バス・ビジー・ビット。BB ビットは、別のデータ転送に対して I2C バスがビジーなのかフリーなのかを示します。マスタ・モードでは、BB はソフトウェアで制御されます。 バスはフリー。BB がクリアされるのは、次のイベントのいずれが発生した場合です。 <ul style="list-style-type: none"> I2C が STOP ビットを受信または送信した (バスがフリー)。 BB が手動でクリアされた。このビットをクリアするには、1 をライトします。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。
		1	バスはビジー。ICMDR の STT ビットが 1 にセットされると、RESTART 条件が生成されず。BB がセットされるのは、次のイベントのいずれが発生した場合です。 <ul style="list-style-type: none"> I2C がバス上で START ビットを受信または送信。 SCL が Low 状態にあり、ICMDR の IRS ビットが 0。

表 7. I2C インタラプト・ステータス・レジスタ (ICSTR) フィールドの説明 (続き)

ビット	フィールド	値	説明
11	RSFULL	0 1	<p>レシーブ・シフト・レジスタのフル・ビット。RSFULL は、受信中のオーバーラン状態を示します。オーバーランが発生するのは、レシーブ・シフト・レジスタ (ICRSR) が新たなデータで一杯になっているが、以前のデータがデータ・レシーブ・レジスタ (ICDRR) からリードされていない場合です。以前のデータがリードされるまで、新たなデータが ICDRR にコピーされることはありません。新たなビットが SDA ピンから届くと、そのビットで ICRSR のビットはオーバーライトされます。</p> <p>0 オーバーランは検出されていない。RSFULL がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> ICDRR がリードされた。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。 <p>1 オーバーランが検出された。</p>
10	XSMT	0 1	<p>トランスミット・シフト・レジスタのエンpty・ビット。XSMT は、トランスミッタがアンダーフローを検出したことを示します。アンダーフローが発生するのは、トランスミット・シフト・レジスタ (ICXSR) には何も入っていないが、データ・トランスミット・レジスタ (ICDXR) から ICXSR へ最後の転送が行われているため、ICDXR がロードされていない場合です。新たなデータが ICDXR に届くまで、ICDXR から ICXSR への次の転送は発生しません。新たなデータが時間内に転送されない場合、以前のデータが SDA ピン上に再送信される場合があります。</p> <p>0 アンダーフローが検出された。</p> <p>1 アンダーフローは検出されていない。XSMT がセットされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> データが ICDXR へライトされた。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。
9	AAS	0 1	<p>アドレス・アズ・スレーブ・ビット。</p> <p>0 AAS ビットは、繰り返し START 条件または STOP 条件によってクリアされます。</p> <p>1 AAS がセットされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> I2C はスレーブ・アドレスまたはすべてがゼロから構成されるアドレス (ゼネラル・コール) を認識した。 最初のデータ・ワードが、フリー・データ・フォーマットで受信された (ICMDR の FDF=1)。
8	AD0	0 1	<p>アドレス 0 ビット。</p> <p>0 AD0 は、START 条件または STOP 条件でクリアされます。</p> <p>1 すべてがゼロから構成されるアドレス (ゼネラル・コール) が検出されます。</p>
7-6	Reserved	0	<p>これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。</p>
5	SCD	0 1	<p>STOP 条件検出ビット。SCD は、STOP 条件が I2C バス上で検出されるタイミングを示します。</p> <p>STOP 条件は、I2C またはバスに接続された別の I2C によって生成できます。</p> <p>0 STOP 条件は検出されていない。SCD がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> ICIVR の INTCODE ビットが 110b としてリードされた。 SCD が手動でクリアされた。このビットをクリアするには、1 をライトします。 <p>1 STOP 条件が検出された。</p>

表 7. I2C インタラプト・ステータス・レジスタ (ICSTR) フィールドの説明 (続き)

ビット	フィールド	値	説明
4	ICXRDY	0 1	<p>送信データ・レディ割り込みフラグ・ビット。ICXRDY は、以前のデータがデータ・トランスミット・レジスタ (ICDXR) からトランスミット・シフト・レジスタ (ICXSR) ヘコピーされたため、ICDXR が新たなデータを受け付ける状態になっていることを示します。CPU は ICXRDY をポーリングすることも、XRDY 割り込みリクエストを使うこともできます。</p> <p>0 ICDXR がレディではない。ICXRDY がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> データが ICDXR ヘライトされた。 ICXRDY が手動でクリアされた。このビットをクリアするには、1 をライトします。 <p>1 ICDXR はレディ。データが ICDXR から ICXSR ヘコピーされます。I2C がリセットされると、ICXRDY は強制的に 1 に設定されます。</p>
3	ICRRDY	0 1	<p>受信データ・レディ割り込みフラグ・ビット。ICRRDY は、データがレシーブ・シフト・レジスタ (ICRSR) からデータ・レシーブ・レジスタ (ICDRR) ヘコピーされたため、ICDRR が新たなデータを受け付ける準備ができたことを示します。CPU は ICRRDY をポーリングすることも、RRDY 割り込みリクエストを使うこともできます。</p> <p>0 ICDRR がレディではない。ICRRDY がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> ICDRR がリードされた。 ICRRDY が手動でクリアされた。このビットをクリアするには、1 をライトします。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合) <p>1 ICDRR はレディ。データが ICRSR から ICDRR ヘコピーされます。</p>
2	ARDY	0 1	<p>レジスタ・アクセス・レディ割り込みフラグ・ビット (I2C がマスタ・モードで動作している場合にのみ適用可能)。ARDY は、以前プログラムされたアドレス、データ、およびコマンドの値が使われるため、I2C レジスタへアクセスできる状態になっていることを示します。CPU は ARDY をポーリングすることも、ARDY 割り込みリクエストを使うこともできます。</p> <p>0 レジスタにアクセスできる状態になっていない。ARDY がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> I2C が現在のレジスタの内容を使用して動作を開始した。 ARDY が手動でクリアされた。このビットをクリアするには、1 をライトします。 I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合) <p>1 レジスタにアクセスできる状態になっている。このビットは、スレーブ・アドレスが I2C バスに指定された後にセットされます。</p> <ul style="list-style-type: none"> 非繰り返しモードの場合 (ICMDR の RM = 0): ICMDR の STP = 0 の場合、ARDY は、内部データ・カウンタが 0 までカウントダウンしたときにセットされます。STP = 1 の場合、ARDY は影響を受けません (その代わりに、カウンタが 0 に達したときに I2C は STOP 条件を生成します)。 繰り返しモードの場合 (RM = 1): ARDY は、ICDXR から送信された各データ・ワードの受信を終了した時点でセットされます。

表 7. I2C インタラプト・ステータス・レジスタ (ICSTR) フィールドの説明 (続き)

ビット	フィールド	値	説明
1	NACK	0	<p>非アクノリッジ割り込みフラグ・ビット。NACK は、I2C がトランスミッタ (マスタでもスレーブでも) の場合に適用されます。NACK は、I2C がレシーバからのアクノリッジ (ACK) ビットまたは非アクノリッジ (NACK) ビットを検出したかどうかを示します。CPU は NACK をポーリングすることも、NACK 割り込みリクエストを使うこともできます。</p> <p>ACK を受信 / NACK を受信していない。NACK がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> • アクノリッジビット (ACK) がレシーバから送信された。 • NACK が手動でクリアされた。このビットをクリアするには、1 をライトします。 • インタラプト・ソース・レジスタ (ICISR) に NACK 割り込みを行うコードが含まれている場合、CPU はこのレジスタをリードします。 • I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。
		1	<p>NACK ビットを受信。ハードウェアで、非アクノリッジ (NACK) ビットを受信したことを検出します。</p> <p>注：I2C がゼネラル・コール転送を行っている間、1 つ以上のスレーブがアクノリッジを送信したとしても NACK は 1 です。</p>
0	AL	0	<p>アービトレーション・ロスト割り込みフラグ・ビット (I2C がマスタ・トランスミッタの場合にのみ適用可能)。AL は主に I2C が競合する別のマスタ・トランスミッタにより、アービトレーションを消失したタイミングを示します。CPU は AL をポーリングすることも、AL 割り込みリクエストを使うこともできます。</p> <p>アービトレーションは消失していない。AL がクリアされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> • AL が手動でクリアされた。このビットをクリアするには、1 をライトします。 • インタラプト・ソース・レジスタ (ICISR) に AL 割り込みを行うコードが含まれている場合、CPU はこのレジスタをリードします。 • I2C がリセットされた (ICMDR の IRS ビットに 0 がライトされた場合またはプロセッサがリセットされた場合)。
		1	<p>アービトレーションが消失。AL がセットされるのは、次のイベントのいずれが発生した場合です。</p> <ul style="list-style-type: none"> • I2C は、ほとんど同時に送信を開始する 2 つ以上の競合するトランスミッタにより、アービトレーションを消失したことを検出します。 • I2C は、BB (バス・ビジー) ビットが 1 にセットされている間、転送を開始しようとします。 <p>AL が 1 にセットされると、ICMDR の MST および STP ビットがクリアされ、I2C はスレーブ・レシーバになります。</p>

3.4 I2C クロック・デバイダ・レジスタ (ICCLKL と ICCLKH)

I2C がマスタの場合、プリスケールされたモジュール・クロックは、SCL ピン上の I2C シリアル・クロックとして使用できるように分周されます。I2C シリアル・クロックの波形は、ICCL と ICCH の 2 つの分周比によって異なります。これらの値のプログラム方法の詳細については、2.2 節を参照してください。

3.4.1 I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL)

I2C シリアル・クロック・サイクルごとに、ICCL は信号が Low になっている時間を決めます。ICCLKL は、I2C がリセット状態になったままの場合 (ICMDR の IRS = 0) 設定する必要があります。

I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL) を図 16 に示し、表 8 で説明します。

図 16. I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL)

31	Reserved	16
	R-0	
15	ICCL	0
	R/W-0	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 8. I2C クロック・ロータイム・デバイダ・レジスタ (ICCLKL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
15-0	ICCL	0 ~ FFFFh	クロック・ロータイムの分周比 1 ~ 65536。モジュール・クロックの周期を (ICCL + d) と乗算し、SCL ピン上の I2C シリアルの Low 持続時間を生成します。

3.4.2 I2C クロック・ハイトタイム・デバイダ・レジスタ (ICCLKH)

I2C シリアル・クロック・サイクルごとに、ICCH は信号が High になっている時間を決めます。ICCLKH は、I2C がリセット状態になったままの場合 (ICMDR の IRS = 0) 設定する必要があります。

I2C クロック・ハイトタイム・デバイダ・レジスタ (ICCLKH) を図 17 に示し、表 9 で説明します。

図 17. I2C クロック・ハイトタイム・デバイダ・レジスタ (ICCLKH)

31	Reserved	16
	R-0	
15	ICCH	0
	R/W-0	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 9. I2C クロック・ハイトタイム・デバイダ・レジスタ (ICCLKH) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
15-0	CCH	0 ~ FFFFh	クロック・ハイトタイムの分周比 1 ~ 65536。モジュール・クロックの周期を (ICCH + d) と乗算し、SCL ピン上の I2C シリアルの High 持続時間を生成します。

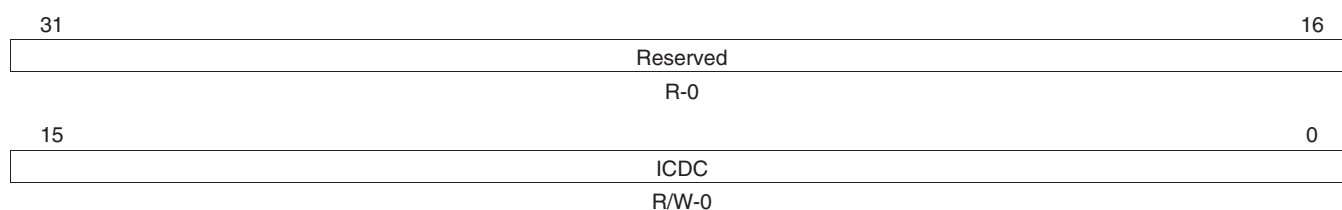
3.5 I2C データ・カウント・レジスタ (ICCNT)

I2C データ・カウント・レジスタ (ICCNT) は、I2C がマスタ・トランスミッタとして設定され (ICMDR の MST = 1 か TRX = 1)、かつ繰り返しモードがオフ (ICMDR の RM = 0) の場合に転送するデータ・ワード数を示すために使われます。繰り返しモードの場合 (RM = 1)、ICCNT は使われません。

ICCNT へライトされた値は、内部データ・カウンタへコピーされます。内部データ・カウンタは、データ・ワードが転送されるたびに 1 デクリメントされます (ICCNT は変更されません)。STOP 条件がリクエストされた場合 (ICMDR の STP = 1)、I2C はカウントダウンを完了すると (つまり、最後のデータ・ワードが転送されると) STOP 条件で転送を終了します。

I2C データ・カウント・レジスタ (ICCNT) を図 18 に示し、表 10 で説明します。

図 18. I2C データ・カウント・レジスタ (ICCNT)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 10. I2C データ・カウント・レジスタ (ICCNT) フィールドの説明

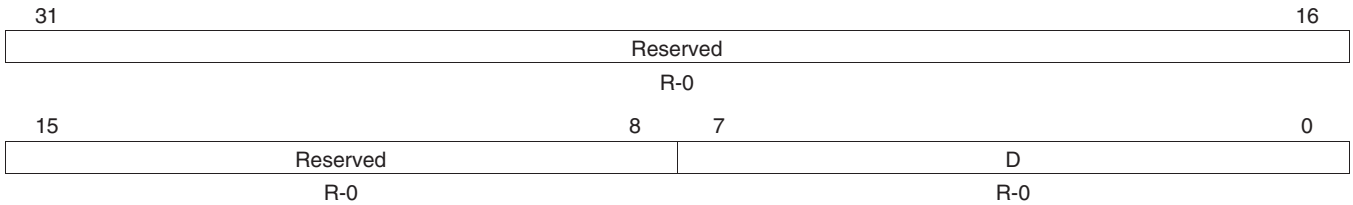
ビット	フィールド	値	説明
31-16	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
15-0	ICDC	0 ~ FFFFh	データ・カウント値。ICMDR の RM = 0 の場合、ICDC は非繰り返しモードで転送するデータ・ワード数を示します。ICMDR の RM = 1 の場合、ICCNT の値は無関係です。ICMDR の STP = 1 の場合、STOP 条件は、内部データ・カウンタが 0 までカウントダウンしたときに生成されます。
		0	内部データ・カウンタにロードされる開始値は 65536 です。
		1h ~ FFFFh	内部データ・カウンタにロードされる開始値は 1 ~ 65535 です。

3.6 I2C データ・レシーブ・レジスタ (ICDRR)

I2C データ・レシーブ・レジスタ (I2C) は、受信データをリードするために使われます。ICDRR は、最大で 8 ビットのデータ値を受信できます。8 ビット未満のデータ値は D ビットの右詰め、残りの D ビットは未定義です。データ・ビット数は、ICMDR のビット・カウント (BC) ビットによって選択されます。I2C レシーブ・シフト・レジスタ (ICRSR) は、SDA ピンから受信したデータをシフト・インします。データのシフトが完了したら、I2C は ICRSR の内容を ICDRR へコピーします。CPU および EDMA コントローラは ICRSR へアクセスできません。

I2C データ・レシーブ・レジスタ (ICDRR) を図 19 に示し、表 11 で説明します。

図 19. I2C データ・レシーブ・レジスタ (ICDRR)



凡例：R = リード専用。-n = リセット後の値。

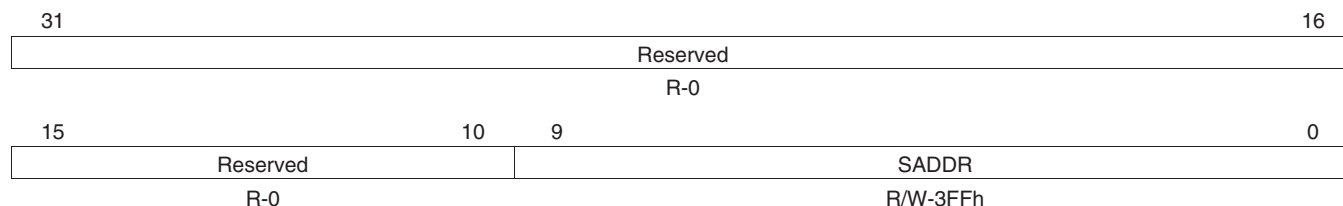
表 11. I2C データ・レシーブ・レジスタ (ICDRR) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
7-0	D	0 ~ FFh	受信データ。

3.7 I2C スレーブ・アドレス・レジスタ (ICSAR)

I2C スレーブ・アドレス・レジスタ (ICSAR) には、7 ビットまたは 10 ビットのスレーブ・アドレスが含まれています。I2C がフリー・データ・フォーマットを使用していない場合 (ICMDR の FDF = 0)、このスレーブ・アドレスを使用して、1 つまたは複数のスレーブとデータ転送を開始します。アドレスがゼロ以外の場合、そのアドレスは特定のスレーブを対象にしたものです。アドレスが 0 の場合、そのアドレスはすべてのスレーブに対するゼネラル・コールです。7 ビット・アドレッシング・モードが選択された場合 (ICMDR の XA = 0)、ICSAR のビット 6 ~ 0 のみが使われ、ビット 9 ~ 7 は無視されます。I2C スレーブ・アドレス・レジスタ (ICSAR) を図 20 に示し、表 12 で説明します。

図 20. I2C スレーブ・アドレス・レジスタ (ICSAR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 12. I2C スレーブ・アドレス・レジスタ (ICSAR) フィールドの説明

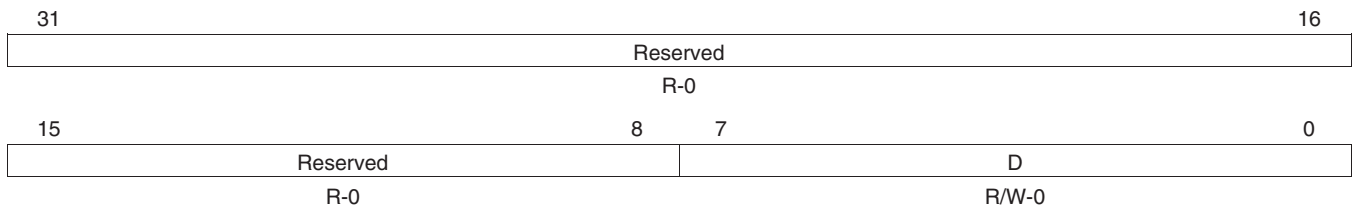
ビット	フィールド	値	説明
31-10	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
9-0	SADDR	0 ~ 3FFh	<p>スレーブ・アドレス。I2C のスレーブ・アドレスを指定します。</p> <p>7 ビット・アドレッシング・モード (ICMDR の XA = 0) の場合：ビット 6 ~ 0 は I2C がマスタ・トランスミッタ・モードで動作しているときに送信する 7 ビット・スレーブ・アドレスを指定します。ビット 9 ~ 7 は無視されます。</p> <p>10 ビット・アドレッシング・モード (ICMDR の XA = 1) の場合：ビット 9 ~ 0 は I2C がマスタ・トランスミッタ・モードで動作しているときに送信する 10 ビット・スレーブ・アドレスを指定します。</p>

3.8 I2C データ・トランスミット・レジスタ (ICDXR)

CPU または EDMA は、I2C データ・トランスミット・レジスタ (ICDXR) へ送信データをライトします。ICDXR は、最大で 8 ビットのデータ値を受け入れ可能です。8 ビット未満のデータ値をライトする場合、ライトされるデータは D ビットの右詰めにする必要があります。データ・ビット数は、ICMDR のビット・カウント (BC) ビットによって選択されます。データが ICDXR へライトされたら、I2C は ICDXR の内容を I2C トランスミット・シフト・レジスタ (ICXSR) へコピーします。ICXSR は、SDA ピンからの送信データをシフト・アウトします。CPU および EDMA コントローラは ICXSR へアクセスできません。

I2C データ・トランスミット・レジスタ (ICDXR) を図 21 に示し、表 13 で説明します。

図 21. I2C データ・トランスミット・レジスタ (ICDXR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 13. I2C データ・トランスミット・レジスタ (ICDXR) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
7-0	D	0 ~ FF	送信データ。

3.9 I2C モード・レジスタ (ICMDR)

I2C モード・レジスタ (ICMDR) には、I2C の制御ビットが含まれています。

I2C モード・レジスタ (ICMDR) を図 22 に示し、表 14 で説明します。

図 22. I2C モード・レジスタ (ICMDR)

31								16							
Reserved															
R-0															
15		14		13		12		11		10		9		8	
NACKMOD	FREE	STT	Reserved	STP	MST	TRX	XA								
R/W-0		R/W-0		R/W-0		R-0		R/W-0		R/W-0		R/W-0		R/W-0	
7		6		5		4		3		2		1		0	
RM	DLB	IRS	STB	FDF	BC										
R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0			

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 14. I2C モード・レジスタ (ICMDR) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
15	NACKMOD	0	非アクノリッジ (NACK) モード・ビット (I2C がレシーバの場合にのみ適用可能)。 スレーブ・レシーバ・モードの場合：I2C は、各アクノリッジ・サイクルがバス上で実行中に、アクノリッジ (ACK) ビットをトランスミッタへ送ります。NACKMOD ビットがセットされた場合にのみ、I2C は非アクノリッジ (NACK) ビットを送信します。 マスタ・レシーバ・モードの場合：I2C は、各アクノリッジ・サイクルが実行中に内部データ・カウンタが 0 までカウントダウンするまで、ACK ビットを送信します。このカウンタが 0 に達すると、I2C はトランスミッタに NACK ビットを送信します。NACK ビットをより早い段階で送信するには、NACKMOD ビットをセットする必要があります。
		1	スレーブ・レシーバ・モードまたはマスタ・レシーバ・モードの場合：I2C は次のアクノリッジ・サイクルがバス上で実行中に NACK ビットをトランスミッタへ送信します。NACK ビットが送信されると、NACKMOD がクリアされます。 次のアクノリッジ・サイクルで NACK ビットを送信するには、最後のデータ・ビットの立ち上がりエッジの前に NACKMOD をセットする必要があります。
14	FREE	0	このエミュレーション・モード・ビットは、高級言語のデバッガでブレークポイントを検出したときの I2C の状態を決定するために使われます。 I2C がマスタの場合：ブレークポイントに達したときに SCL が Low の場合、I2C がトランスミッタでもレシーバでも関係なく、I2C はただちに停止し、SCL を Low に保持します。SCL が High の場合、I2C は SCL が Low になり停止するまで待機します。 I2C がスレーブの場合：現在の送信 / 受信が完了したときに、ブレークポイントによって、I2C は強制的に停止します。
		1	I2C は制限なく自由に動作します。つまり、I2C はブレークポイントに達したときでも動作し続けます。

表 14. I2C モード・レジスタ (ICMDR) フィールドの説明 (続き)

ビット	フィールド	値	説明
13	STT	0 1	<p>START 条件ビット (I2C がマスタの場合にのみ適用可能)。RM、STT、STP の各ビットは、I2C のデータ送信の開始と停止のタイミングを決定します (表 15 を参照)。STT と STP ビットを使用して、繰り返しモードを終了させることができることに注意してください。</p> <p>マスタ・モードでは、STT は START 条件が生成された後に自動的にクリアされます。スレーブ・モードでは、STT が 0 の場合、I2C はマスタからのコマンドに対してバスを監視しません。結果的に、I2C はデータ転送を行いません。</p> <p>マスタ・モードでは、STT を 1 にセットすると、I2C は I2C バス上で START 条件を生成することになります。スレーブ・モードでは、STT が 1 の場合、I2C はバスを監視し、マスタからのコマンドにตอบสนองしてデータの送受信を行います。</p>
12	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
11	STP	0 1	<p>STOP 条件ビット (I2C がマスタの場合にのみ適用可能)。RM、STT、STP の各ビットは、I2C のデータ送信の開始と停止のタイミングを決定します (表 15 を参照)。STT と STP ビットを使用して、繰り返しモードを終了させることができることに注意してください。</p> <p>STP は STOP 条件が生成された後に自動的にクリアされます。</p> <p>I2C の内部データ・カウンタが 0 までカウントダウンすると、STOP 条件を生成するために、STP がセットされます。</p>
10	MST	0 1	<p>マスタ・モード・ビット。MST は、I2C がスレーブ・モードまたはマスタ・モードで動作しているかを判別します。MST は、I2C マスタが STOP 条件を生成すると、自動的に 1 から 0 へ変更されます。表 16 を参照してください。</p> <p>0 スレーブ・モード。I2C はスレーブで、マスタからシリアル・クロックを受信します。</p> <p>1 マスタ・モード。I2C はマスタで、SCL ピン上でシリアル・クロックを生成します。</p>
9	TRX	0 1	<p>トランスミッタ・モード・ビット。適用可能な場合、TRX は、I2C がトランスミッタ・モードまたはレシーバ・モードのいずれかで動作しているかを選択します。TRX を使用する場合と TRX が無関係の場合について、表 16 にまとめています。</p> <p>0 レシーバ・モード。I2C はレシーバで、SDA ピン上でデータを受信します。</p> <p>1 トランスミッタ・モード。I2C はトランスミッタで、SDA ピン上でデータを送信します。</p>
8	XA	0 1	<p>拡張アドレス・イネーブル・ビット。</p> <p>0 7 ビット・アドレッシング・モード (通常のアドレス・モード)。I2C は 7 ビット・スレーブ・アドレス (ICSAR のビット 6 ~ 0) を送信します。また、そのスレーブ・アドレスは 7 ビット (ICOAR のビット 6 ~ 0) になります。</p> <p>1 10 ビット・アドレッシング・モード (拡張アドレス・モード)。I2C は 10 ビット・スレーブ・アドレス (ICSAR のビット 9 ~ 0) を送信します。また、そのスレーブ・アドレスは 10 ビット (ICOAR のビット 9 ~ 0) になります。</p>
7	RM	0 1	<p>繰り返しモード・ビット (I2C がマスタ・トランスミッタの場合にのみ適用可能)。RM、STT、STP の各ビットは、I2C のデータ送信の開始と停止のタイミングを判別します (表 15 を参照)。I2C がスレーブ・モードで動作するように設定された場合、RM ビットは無関係です。</p> <p>0 非繰り返しモード。データ・カウント・レジスタ (ICCNT) の値で、I2C で送受信を行ったデータ・ワード数を判別します。</p> <p>1 繰り返しモード。データ・ワードは、STP ビットが手動で 1 にセットされるまで、I2C によって連続的に送受信されます。このとき、ICCNT の値は関係ありません。</p>

表 14. I2C モード・レジスタ (ICMDR) フィールドの説明 (続き)

ビット	フィールド	値	説明
6	DLB	0 1	デジタル・ループバック・モード・ビット (I2C がマスタ・トランスミッタの場合にのみ適用可能)。このビットで、I2C のデジタル・ループバック・モードをディスエーブルまたはイネーブルします。このビットの影響を図 23 に示します。フリー・データ・フォーマット・モード (DLB = 1 かつ FDF = 1) では、DLB モードはサポートされないことに注意してください。 0 デジタル・ループバック・モードはディスエーブル。 1 デジタル・ループバック・モードはイネーブル。このモードでは、MST ビットを 1 にセットしておく必要があり、ICDXR から送信されたデータは内部パスにより n クロック・サイクル後に ICDRR で受信されます。ここで、 $n = ((I2C \text{ 入力クロック周波数} / \text{プリスケールされたモジュール・クロック周波数}) \times 8)$ また転送クロックも受信クロックです。SDA ピン上に送信されたアドレスは、ICOAR のアドレスです。
5	IRS	0 1	I2C リセット・ビット。IRS が転送中にリセットされると、I2C バスがハングする原因になることに注意してください (SDA および SCL は、ハイ・インピーダンス状態になります)。 0 I2C はリセット状態またはディスエーブル。このビットを 0 にクリアすると、(ICSTR の) すべてのステータス・ビットがそのデフォルト値にセットされます。 1 I2C はイネーブル。
4	STB	0 1	START バイト・モード・ビット (I2C がマスタの場合にのみ適用可能)。Philips 社が策定した I2C バス規格バージョン 2.1 で説明しているように、START バイトは、START 条件を検出するのに通常より時間を必要とするスレーブをサポートするために使われます。I2C がスレーブの場合、I2C はマスタからの START バイトを無視します。このとき、STB ビットの値は関係ありません。 0 I2C は、START バイト・モードで動作していません。 1 I2C は、START バイト・モードで動作しています。START 条件ビット (STT) がセットされた場合、I2C は単なる START 条件以外の要件が付加されて転送を開始します。具体的には、セットされたときに生成される条件は次のとおりです。 1. START 条件 2. スタート・バイト (0000 0001b) 3. ダミーのアクノリッジ・クロック・パルス 4. 繰り返し START 条件 I2C は、ICSAR にあるスレーブ・アドレスを送ります。
3	FDF	0 1	フリー・データ・フォーマット・モード・ビット。フリー・データ・フォーマット・モード (DLB = 1 かつ FDF = 1) では、DLB モードはサポートされないことに注意してください。表 16 を参照してください。 0 フリー・データ・フォーマット・モードはディスエーブル。転送では、XA ビットにより選択される 7 ビットまたは 10 ビットのアドレッシング・フォーマットを使用します。 1 フリー・データ・フォーマット・モードはイネーブル。

表 14. I2C モード・レジスタ (ICMDR) フィールドの説明 (続き)

ビット	フィールド	値	説明
2-0	BC	0 ~ 7h	<p>ビット・カウント・ビット。BC は I2C が送受信を行うことになる、次のデータ・ワードに含まれるビット数 (1 ~ 8) を指定します。BC と組み合わせて選択されるビット数は、その他のデバイスのデータ・サイズと一致する必要があります。BC = 0 の場合、データ・ワードは 8 ビットであることに注意してください。</p> <p>ビット・カウントが 8 未満の場合、受信データは ICDRR の D ビットでは右詰め、残りの D ビットは未定義です。また、ICDXR ヘライトされる送信データは必ず右詰めされます。</p>
		0	データ・ワードごとに 8 ビット
		1h	データ・ワードごとに 1 ビット
		2h	データ・ワードごとに 2 ビット
		3h	データ・ワードごとに 3 ビット
		4h	データ・ワードごとに 4 ビット
		5h	データ・ワードごとに 5 ビット
		6h	データ・ワードごとに 6 ビット
		7h	データ・ワードごとに 7 ビット

表 15. RM、STT、STP の各ビットで指定されるマスタ・トランスミッタ / レシーバのバス動作

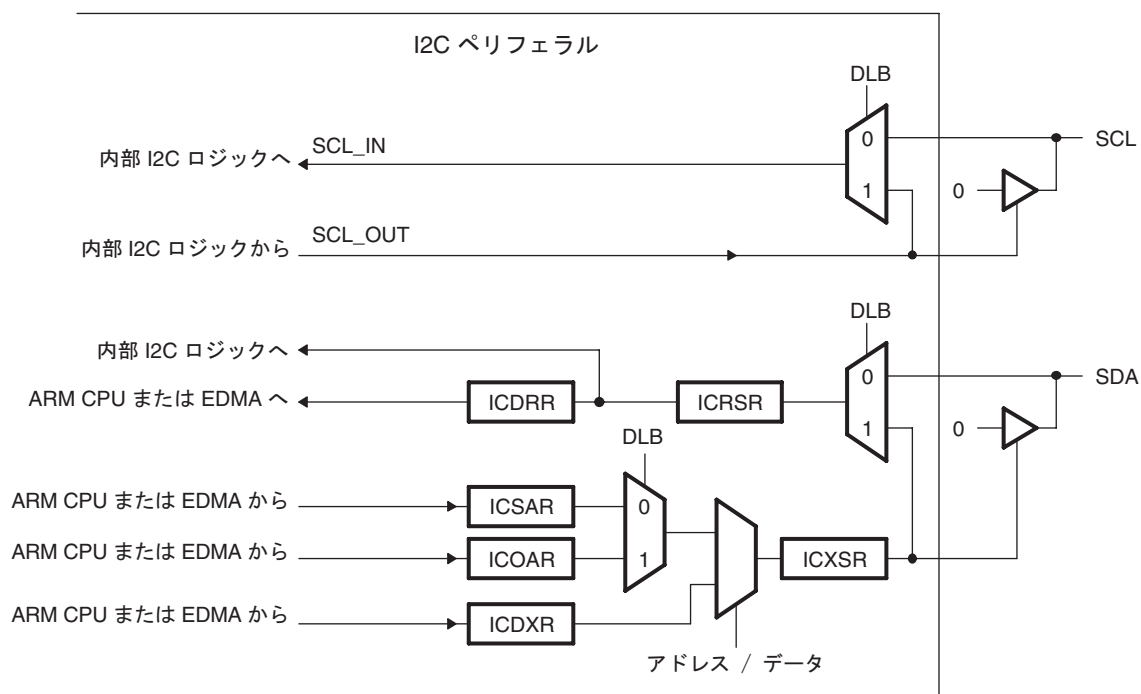
ICMDR ビット				
RM	STT	STP	バスの動作 ⁽¹⁾	説明
0	0	0	なし	動作なし
0	0	1	P	STOP 条件
0	1	0	S-A-D.. <i>(n)</i> ..D	START 条件、スレーブ・アドレス、 <i>n</i> 個のデータ・ワード (<i>n</i> = ICCNT の値)
0	1	1	S-A-D.. <i>(n)</i> ..D-P	START 条件、スレーブ・アドレス、 <i>n</i> 個のデータ・ワード、STOP 条件 (<i>n</i> = ICCNT の値)
1	0	0	なし	動作なし
1	0	1	P	STOP 条件
1	1	0	S-A-D-D-D..	繰り返しモード転送：START 条件、スレーブ・アドレス、STOP 条件または次の START 条件が来るまで連続データ転送
1	1	1	なし	予約ビットの組み合わせ (動作なし)

⁽¹⁾ A = アドレス。D = データ・ワード。P = STOP 条件。S = START 条件。

表 16. MST と FDF ビットによる TRX ビットの機能へ与える影響

ICMDR ビット			
MST	FDF	I2C の状態	TRX ビットの機能
0	0	スレーブ・モードで動作するが、フリー・データ・フォーマット・モードではない	TRX は無関係。マスタからのコマンドに応じて、I2C はレシーバまたはトランスミッタとして応答。
0	1	スレーブ・モードで動作し、フリー・データ・フォーマット・モード	フリー・データ・フォーマット・モードでは、トランスミッタおよびレシーバはモードが固定されていることが必要。TRX は I2C の機能を示します。 TRX = 0 : I2C はレシーバ。 TRX = 1 : I2C はトランスミッタ。
1	0	マスタ・モードで動作するが、フリー・データ・フォーマット・モードではない	TRX は I2C の機能を示します。 TRX = 0 : I2C はレシーバ。 TRX = 1 : I2C はトランスミッタ。
1	1	マスタ・モードで動作し、フリー・データ・フォーマット・モード	フリー・データ・フォーマット・モードでは、トランスミッタおよびレシーバはモードが固定されていることが必要。TRX は I2C の機能を示します。 TRX = 0 : I2C はレシーバ。 TRX = 1 : I2C はトランスミッタ。

図 23. デジタル・ループバック・モード (DLB) ビットを示すブロック図

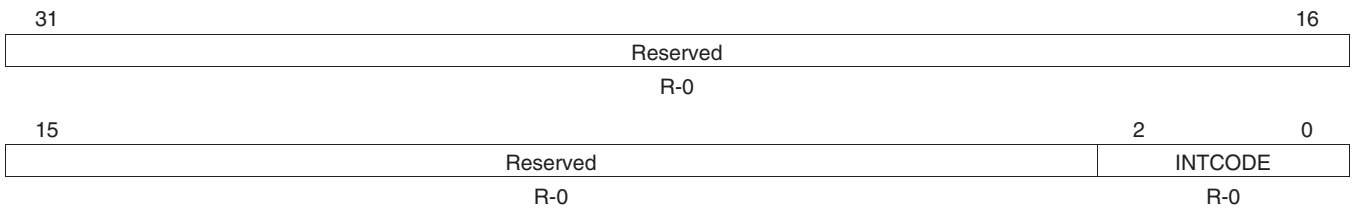


3.10 I2C インタラプト・ベクタ・レジスタ (ICIVR)

I2C インタラプト・ベクタ・レジスタ (ICIVR) は、CPU が I2C 割り込みを生成したイベントを判別するために使われます。ICIVR をリードすると、割り込みフラグがクリアされます。他の割り込みがペンディングされていると、新たな割り込みが生成されます。1 つ以上のペンディングされている割り込みフラグがある場合、ICIVR をリードすると優先順位が最も高い割り込みフラグがクリアされます。別の動作を開始する前に、ICIVR をリード (クリア) する必要があることに注意してください。そうしないと、ICIVR には不正確な (古い割り込みフラグ) 値が含まれることになります。

I2C インタラプト・ベクタ・レジスタ (ICIVR) を図 24 に示し、表 17 で説明します。

図 24. I2C インタラプト・ベクタ・レジスタ (ICIVR)



凡例：R = リード専用。-n = リセット後の値。

表 17. I2C インタラプト・ベクタ・レジスタ (ICIVR) フィールドの説明

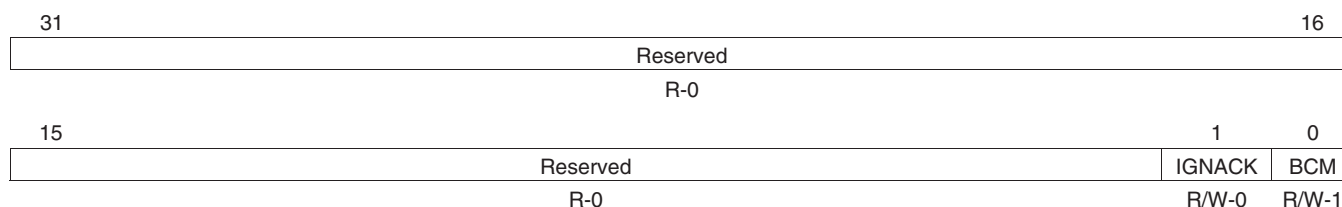
ビット	フィールド	値	説明
31-3	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
2-0	INTCODE	0 ~ 7h	割り込みコード・ビット。INTCODE のバイナリ・コードは、I2C 割り込みを生成したイベントを示します。
		0	なし
		1h	アービトレーション・ロスト割り込み (AL)
		2h	非アクノリッジ割り込み (NACK)
		3h	レジスタ・アクセス・レディ割り込み (ARDY)
		4h	受信データ・レディ割り込み (ICRRDY)
		5h	送信データ・レディ割り込み (ICXRDY)
		6h	STOP 条件検出割り込み (SCD)
		7h	アドレス・アズ・スレーブ割り込み (AAS)

3.11 I2C エクステンデッド・モード・レジスタ (ICEMDR)

I2C エクステンデッド・モード・レジスタ (ICEMDR) は、送信データ・レディ割り込みを生成した条件を示すために使われます。

I2C エクステンデッド・モード・レジスタ (ICEMDR) を図 25 に示し、表 18 で説明します。

図 25. I2C エクステンデッド・モード・レジスタ (ICEMDR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 18. I2C エクステンデッド・モード・レジスタ (ICEMDR) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
1	IGNACK	0	NACK モードを無視します。 マスタ・トランスミッタは通常通り動作します。つまり、スレーブから NACK を受信すると、データ転送を打ち切り、ICSTR の ARDY と NACK ビットをセットします。
		1	マスタ・トランスミッタは、スレーブからの NACK を無視します。
0	BCM	0	下位互換モード・ビット。送信データ・レディ割り込みを生成した条件を判別します。I2C がスレーブ・トランスミッタとして動作している場合、BCM ビットのみが影響を受けます。 最後のデータを送信後にアクノリッジ信号を送信することにより、マスタがより多くのデータをリクエストした場合、送信データ・レディ割り込みが生成されます。
		1	ICDXR のデータが ICXSR へコピーされると、送信データ・レディ割り込みが生成されます。

3.12 I2C プリスケーラ・レジスタ (ICPSC)

I2C プリスケーラ・レジスタ (ICPSC) は、I2C 入力クロックを分周することで、I2C を動作させるのに望ましいプリスケールされたモジュール・クロックを取得するために使われます。

IPSC ビットは、I2C がリセット状態の時に (ICMDR の IRS = 0) 初期化する必要があります。プリスケールされた周波数は、ICMDR の IRS ビットが 1 に変化したときだけ有効です。ICMDR の IRS = 1 の間は、ICPSC の IPSC ビットを変更しても影響はありません。

I2C プリスケーラ・レジスタ (ICPSC) を図 26 に示し、表 19 で説明します。

図 26. I2C プリスケーラ・レジスタ (ICPSC)

31	Reserved			16
R-0				
15	8	7	0	
Reserved			IPSC	
R-0			R/W-0	

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 19. I2C プリスケーラ・レジスタ (ICPSC) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
7-0	IPSC	0 ~ FFh	<p>I2C プリスケーラの分周比。IPSC は、I2C でプリスケールされたモジュール・クロックを生成するために、I2C 入力クロックの分周比を決定します。</p> <p>$I2C \text{ クロック周波数} = I2C \text{ 入力クロック周波数} / (IPSC + 1)$</p> <p>注：IPSC は、I2C がリセット状態の場合 (ICMDR の IRS = 0)、初期化する必要があります。</p>

3.13 I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1)

I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1) には、ペリフェラルを示す ID データ (クラス、リビジョン、タイプ) が含まれています。

I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1) を図 27 に示し、表 20 で説明します。

図 27. I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1)

31	Reserved		16
R-0			
15	8	7	0
Class		Revision	
R-01h		R-06h	

凡例：R = リード専用。-n = リセット後の値。

表 20. I2C ペリフェラル・アイデンティフィケーション・レジスタ 1 (ICPID1) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
15-8	Class	1h	ペリフェラルのクラスを示します。 シリアル・ポート
7-0	Revision	06h	ペリフェラルのリビジョンを示します。 ペリフェラルの現在のリビジョンを示します。

3.14 I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2)

I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2) を図 28 に示し、表 21 で説明します。

図 28. I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2)

31	Reserved		16
R-0			
15	8	7	0
Reserved		TYPE	
R-0		R-05h	

凡例：R = リード専用。-n = リセット後の値。

表 21. I2C ペリフェラル・アイデンティフィケーション・レジスタ 2 (ICPID2) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	これらの予約ビット・ロケーションは、常にゼロとしてリードされます。このフィールドに値をライトしても影響はありません。
7-0	TYPE	05h	ペリフェラルのタイプを示します。 I2C

付録 A 改訂履歴

本書の旧版からの変更点を表 A-1 に示します。

表 A-1. 資料改訂履歴

参照先	追加 / 変更 / 削除
2.11 節	サブセクションを変更。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上