

TI Designs: TIDA-01510

DC/DCコンバータの電力密度を増やすための2面レイアウトのリファレンス・デザイン



概要

このリファレンス・デザインでは、高い電源密度を得るために、2面のDC/DCレイアウトをデザインする正しい方法を紹介し、そのデザイン・ガイドでは、一般的な失敗と、それらを回避する方法に加えて、TPS54824デバイスを2面レイアウトに正しく実装すれば性能低下は起きないことを示すテスト結果を記載します。このデザインでは、TPS54824降圧コンバータの8A出力が大きすぎる場合、ピン互換の代替品である4AのTPS54424デバイスも使用できます。

このソリューションは、通信機器、医療機器、テストおよび計測機器、航空電子工学アプリケーションなど、基板面積削減の利益を受けられる、ノイズに敏感なデータ・コンバータ・システムの電源として理想的です。

リソース

- TIDA-01510 デザイン・フォルダ
- TPS54824 プロダクト・フォルダ
- TPS54424 プロダクト・フォルダ
- WEBENCH® プロダクト・フォルダ

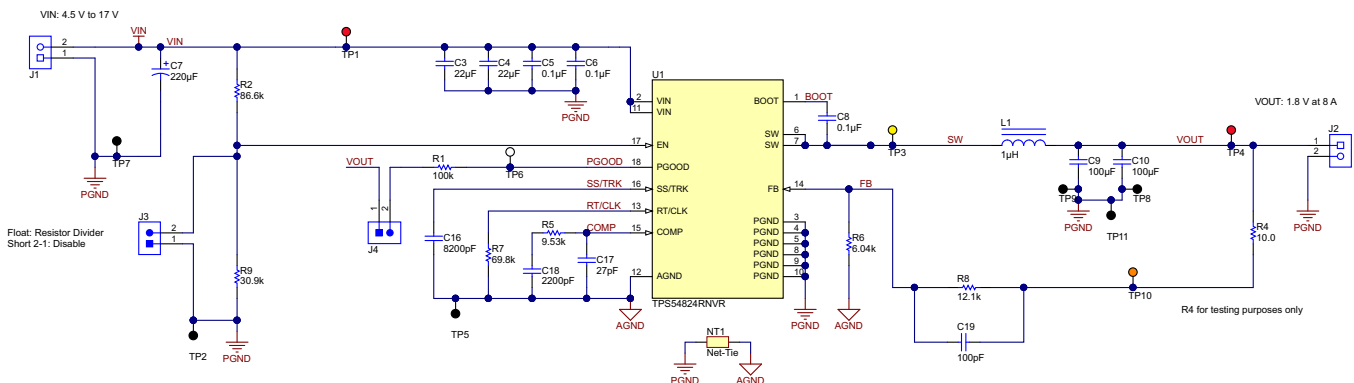
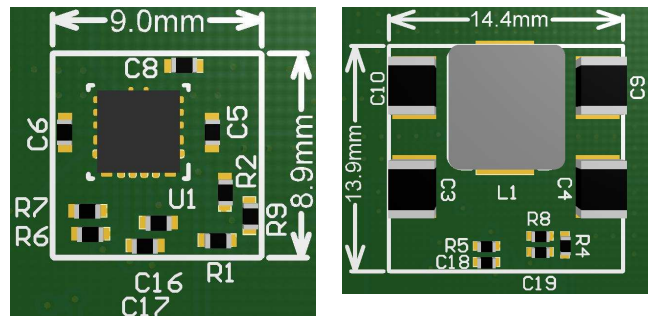
E2E™ エキスパートに質問

特長

- 入力範囲: 4.5V~17V、8A I_{OUT}時に1.8V_{OUT}
- ピーク効率: 5V_{IN}、2A I_{OUT}時に94.7%
- 負荷レギュレーション: ±0.04%未満
- スイッチング周波数: 700kHz
- 合計ソリューション・サイズ: 280mm²

アプリケーション

- 医療用超音波スキャナ
- 半導体試験用機器
- スモール・セル基地局
- 大規模MIMO (アクティブ・アンテナ・システム)
- マクロ・リモート無線ユニット(RRU)



使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE (重要な注意事項)をご参照ください。また、お問い合わせは、こちらからお願いいたします。

1 System Description

A small footprint, fixed frequency, high efficiency, and low cost are all key factors needed in power solutions for telecom, datacom, and industrial systems. This reference design focuses on creating a small form-factor while maintaining peak performance. More and more systems are being densely packed onto printed-circuit boards (PCB). A recent necessity is to have components on both sides of the PCB. Some examples of end-equipments benefitting from this are 4G and 5G remote radio units in wireless infrastructure and bench-top test equipment such as oscilloscopes or portable ultrasound equipment. However, many engineers are skeptical of separating a power design to both sides of the board due to the probable performance degradation.

This reference design guide covers the steps to properly design a two-sided layout and includes measurement results of the TPS54824 device implemented in a two-sided and one-sided layout to illustrate the small performance differences between the two options.

1.1 Key System Specifications

表 1 lists the key system specifications.

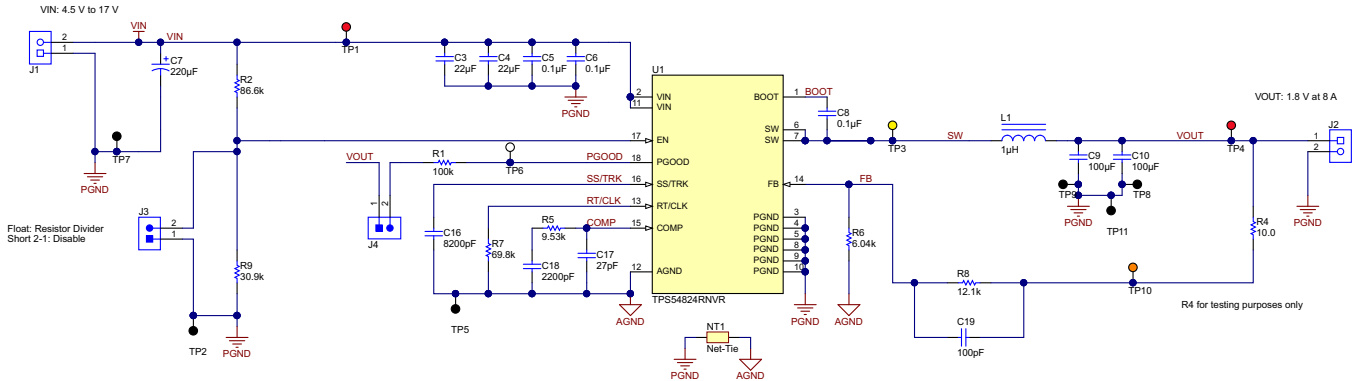
表 1. Key System Specifications

PARAMETER	VALUE
Output ripple	< 20 mV
Efficiency (at 12 V _{IN} / 8 A _{LOAD})	88%
Load transient	< 5% V _{OUT}
Load regulation	±0.04%
Temperature (max load)	64.7°C
Switch node overshoot	3.59 V

2 System Overview

2.1 Block Diagram

☒ 1 illustrates the TIDA-01510 block diagram.



☒ 1. TIDA-01510 Block Diagram

2.2 Highlighted Products

2.2.1 TPS54824

The TPS54824 device is a full featured 17-V, 8-A synchronous, step-down converter in a 3.5-mm × 3.5-mm HotRod™ QFN package. The device is optimized for a small solution size through high efficiency and integrating the high-side and low-side MOSFETs. Further space savings are achieved through peak current mode control, which reduces component count, and by selecting a high switching frequency, reducing the inductor footprint.

2.3 System Design Theory

Often the recommended layout places most, if not all, components on one side of the PCB. Some applications that are space constrained or require the highest power density have to place components on the top and bottom side of the PCB. This section provides recommendations on how to do a two-sided layout.

2.3.1 Component Placement

When designing a two-sided layout, first consider the placement of the input capacitors, inductor, and output capacitors.

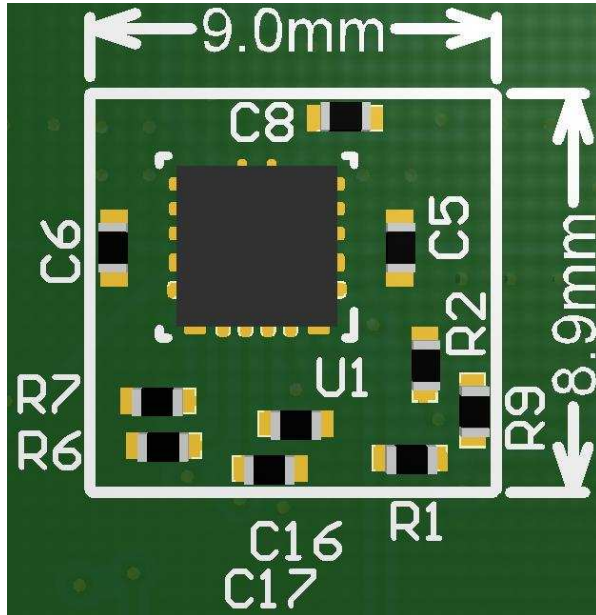


図 2. Bottom-Side Solution Dimensions

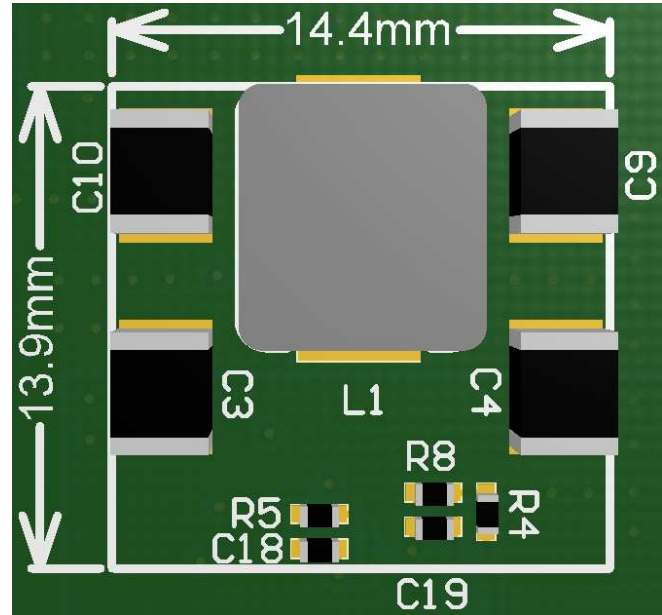


図 3. Top-Side Solution Dimensions

The larger-sized input capacitors with a 1210 package and with a larger value (C3 and C4) are placed on the top side. The IC is placed on the bottom side, and it is important to still include some bypass capacitance as close as possible to the IC. Therefore, the high-frequency bypass capacitors (C5 and C6) are placed as close as possible to the two VIN pins of the TPS54824. Use as many vias as possible between the IC and the input capacitors to reduce parasitic inductance.

The inductor is placed on the top side, opposite of the TPS54824. Placing the inductor on the opposite side is acceptable because any parasitic inductance between it and the IC is very small compared to the inductance of the inductor. For best performance, it is important to maximize the number of vias between the IC and the inductor to reduce parasitic inductance and resistance.

The output capacitors are also placed on the top-side because they are in a larger-sized 1210 package. They are placed with their connection to ground as close as possible to the ground of the input capacitors. The larger-sized components are purposely placed on the top side because it is typically the side allowing components with greater height.

Next, complete the placement of the components connected to the analog control circuits. It is important to try to place the components connected to the RT/CLK, FB, COMP, and SS/TRK pins on the same side as the IC with a short return path to AGND. There are two exceptions. R5 and C18 connected to the COMP pin are on the top side; this connection is acceptable because C17 provides bypass for the COMP pin. R8 and C19 connected to the FB pin are on the top side and this is acceptable because the size of the FB node is still kept very small. The trace from the FB divider is kept away from signals that generate noise and is connected to the output at the point of regulation. Lastly, AGND is connected to PGND outside of the critical switching loop to minimize switching noise in the control loop.

3 Hardware, Testing Requirements, and Test Results

3.1 Required Hardware

Figure 4 and Figure 5 illustrate the top and bottom of the TIDA-01510, respectively.



Figure 4. TIDA-01510 Board Top

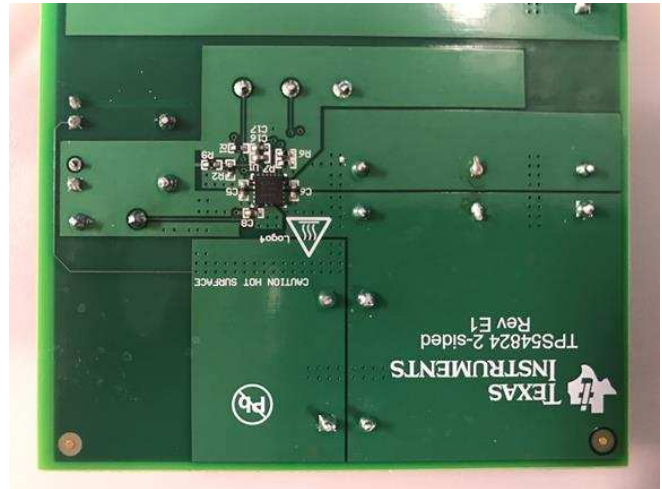


Figure 5. TIDA-01510 Board Bottom

3.2 Testing and Results

For the following tests, a TPS54824 EVM is modified to have the same LC filter with the exact components from the reference design board. This modification highlights that when done right, a two-sided layout does not have any performance degradation compared to a one-sided layout.

3.2.1 Efficiency and Power Loss

Efficiency data is taken from the design board and from the modified TPS54824 EVM to compare. Figure 6 and Figure 7 show the efficiency data for the reference design and EVM, respectively, at three different input voltages.

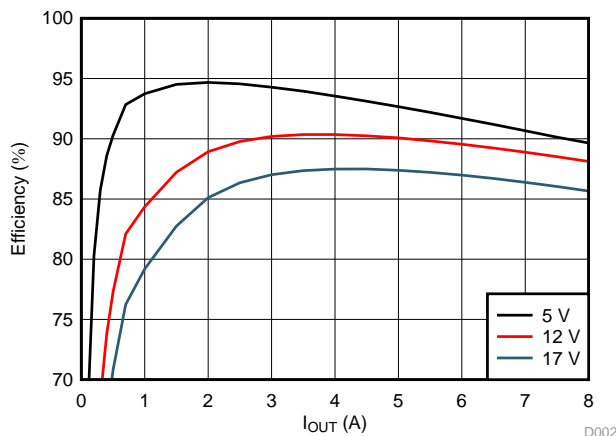


Figure 6. TIDA-01510 Efficiency

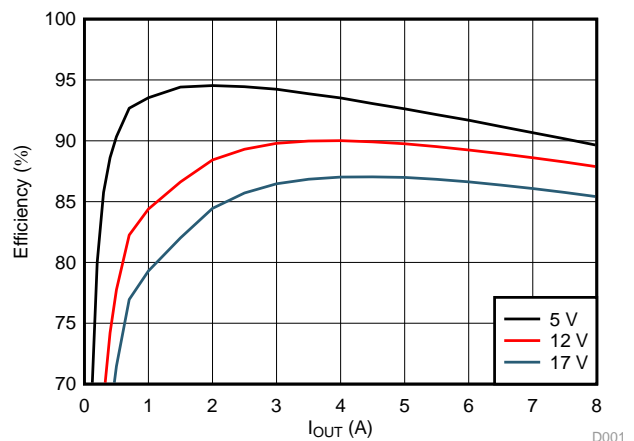


Figure 7. EVM Efficiency

Power loss is also graphed for both boards to represent the amount of power being lost at different loads. The data is gathered at the same three input voltages as the efficiency testing. [Figure 8](#) shows the power loss for the reference design from a 0-A to 8-A load. [Figure 9](#) shows the power loss of the EVM with the same parameters.

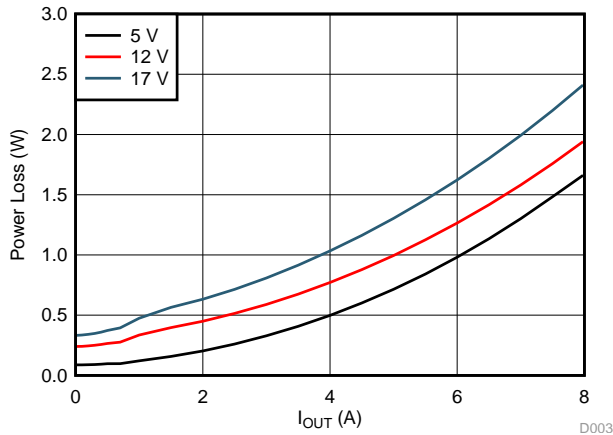


Figure 8. TIDA-01510 Power Loss

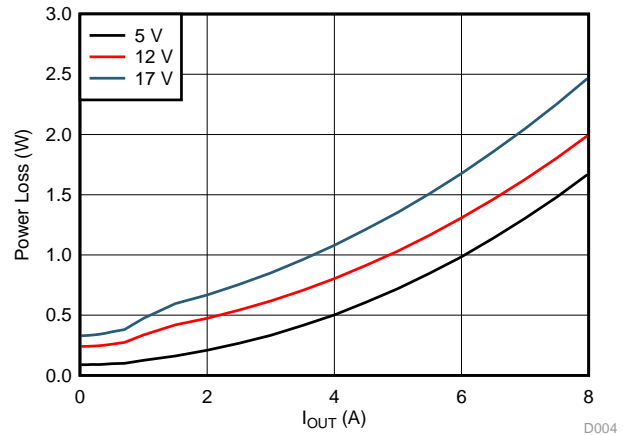


Figure 9. EVM Power Loss

From these graphs, the efficiency and power loss is not affected when using a well-designed, two-sided layout versus a one-sided layout.

3.2.2 Switch Node

Because the switch node is now going through the board for the TIDA-01510 board, the switching waveform is observed to compare performance with the TPS54824 EVM to verify if there is any negative impact from the vias. The waveforms are captured at 12-V input, 1.8-V output, and with a 4-A load. The oscilloscope is set to 5 V/div at 500 MHz for the vertical scale and 100 ns/div at 1 Gps for the horizontal scale. [Figure 10](#) and [Figure 11](#) show the switching waveforms of the TIDA-01510 board and EVM, respectively.

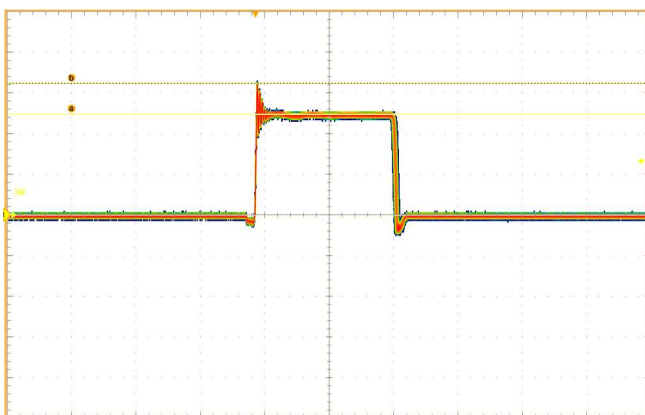


Figure 10. TIDA-01510 Switch Node Waveform



Figure 11. EVM Switch Node Waveform

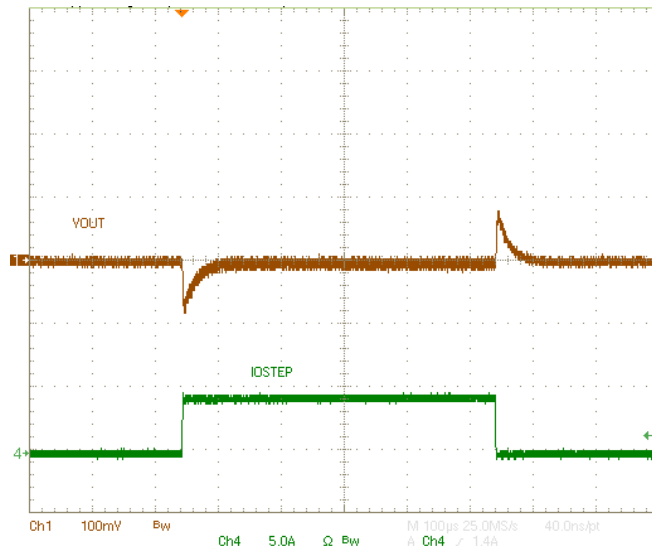
Both boards have ringing on the switch node with a peak voltage of roughly 16.5 V. Both switch nodes are nearly identical with less than 0.5 V difference in their peak amplitudes. This value concludes that the added inductance of the vias on the two-sided layout have a negligible impact on the ringing versus the one-sided layout. This inductance results in no issues with additional EMI or stress on the MOSFET.

3.2.3 Load Transient

This section gathers data accumulated from a load transient test to verify that the response to load transients is not affected when using the two-sided layout. The parameters of this test are as follows:

- 12-V input
- 1.8-V output
- 4-A load step from 0 A to 4 A with a slew rate of 10 A/μs

☒ 12 and ☒ 13 show the load transient results of this reference design and the EVM, respectively.



☒ 12. TIDA-01510 Transient Waveform



☒ 13. EVM Transient Waveform

Both the reference design and the EVM have an output deviation of less than 5% during the load step, and the transient response waveforms are identical. Therefore, the transient response is not affected going from a one-sided layout to a properly designed two-sided layout.

3.2.4 Thermal Performance

Thermal data is gathered for both the reference design and the TPS54824 EVM to see the difference in performance. This test is run at room temperature and no air flow with a 10-minute thermal soak period. The input is set to 12 V and the output is set to 1.8 V with an 8-A load. ☒ 14 and ☒ 15 show the temperatures of the IC and the inductor, respectively.

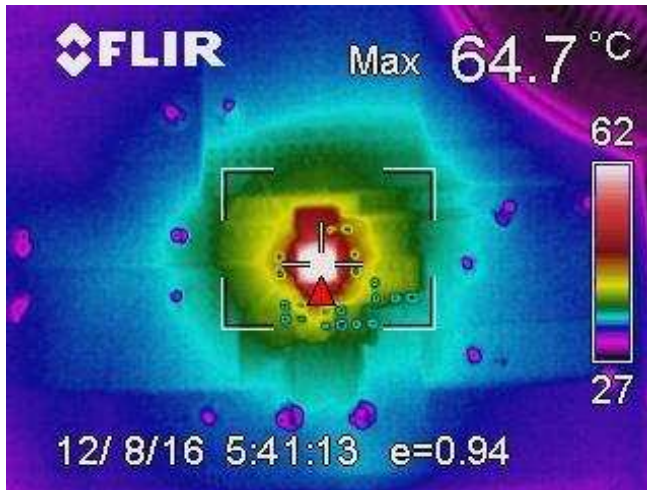


図 14. TIDA-01510 IC Thermal Readout



図 15. EVM IC Thermal Readout

These images show that the reference design suffers in thermal performance compared to the EVM. However, with roughly a 6° difference, the trade-off for having a smaller solution size is reasonable. The designer must decide because this choice limits the use of the device at higher ambient temperatures.

4 Design Files

4.1 Schematics

To download the schematics, see the design files at [TIDA-01510](#).

4.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-01510](#).

4.3 PCB Layout Recommendations

Take special care when creating a layout for a two-sided DC/DC design. This section provides insight for a few issues that could potentially be encountered with the layout.

When putting components on both sides of the board, the via count will be high. Do not let these vias affect the integrity of the ground plane. [Figure 16](#) shows the ground plane under the TPS54824 device.

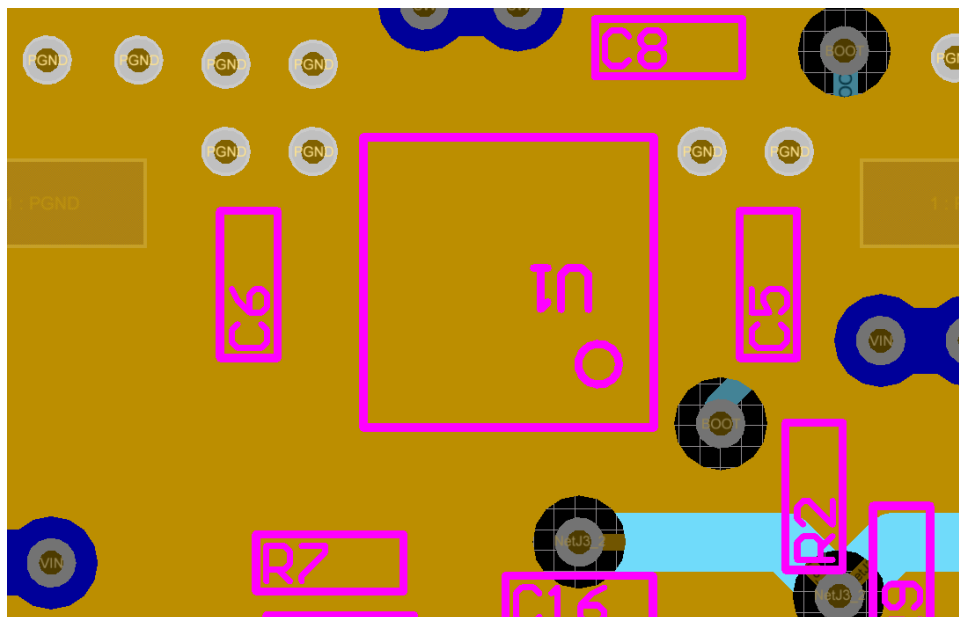


Figure 16. Ground Plane Layout

Notice how the ground plane is completely solid with no cutouts between the PGND pins, which are located on each side of the device near C5 and C6. This is necessary to reduce the impedance between the PGND pins. These vias can also affect the input of the device. [Figure 17](#) shows a VIN plane that connects to the input capacitors and uses vias to connect to both input pins of the device.

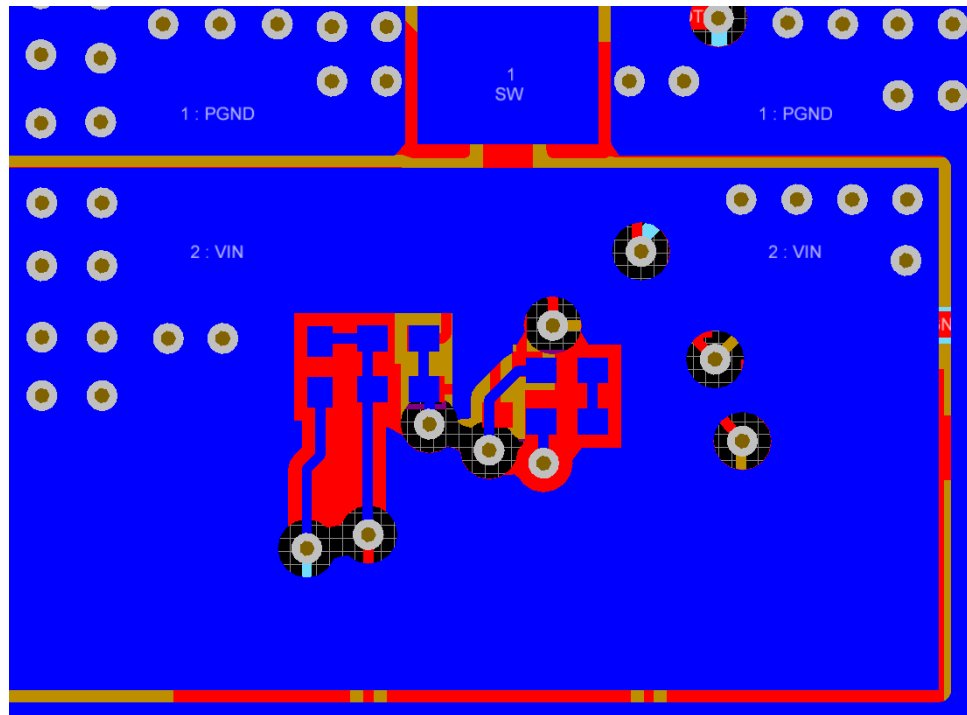


図 17. VIN Plane Layout

Keep the connection between the two VIN pins as solid as possible. With all the vias and passive components, the VIN plane can be easily cut up. Even so, this design still has enough copper left to provide a wide, short, and direct current path between the two VIN pins without adding any unwanted resistance.

4.3.1 Layout Prints

To download the layer plots, see the design files at [TIDA-01510](#).

4.4 Altium Project

To download the Altium project files, see the design files at [TIDA-01510](#).

4.5 Gerber Files

To download the Gerber files, see the design files at [TIDA-01510](#).

4.6 Assembly Drawings

To download the assembly drawings, see the design files at [TIDA-01510](#).

5 Trademarks

E2E, HotRod are trademarks of Texas Instruments.
 WEBENCH is a registered trademark of Texas Instruments.
 すべての商標および登録商標はそれぞれの所有者に帰属します。

6 About the Authors

ANTHONY FAGNANI is an applications engineer at Texas Instruments, where he supports DC/DC power converter products. Anthony earned his BSEE from Clarkson University.

DYLAN HUBBARD is an applications engineer at Texas Instruments, where he is responsible for Standard Logic product support. Dylan obtained his bachelor's degree in electronic systems engineering technology (ESET) from Texas A&M University.

改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

20185	Page
• 「概要」に2番目の段落 Added	1
• 「アプリケーション」の一覧 Changed	1

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示的保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。