

## TI Designs: TIDEP-0067

# 66AK2Gx DSP + ARMプロセッサ電源ソリューションのリファレンス・デザイン



### TI Designs

このTI Designは、K2GマルチコアDSP + ARM®システム・オン・チップ(SoC)とコンパニオンのTPS65911x電力管理集積回路(PMIC)を基礎とする、電源リファレンス・プラットフォームです。この電源ソリューション設計には、12V入力をサポートする第1段階降圧コンバータと、DDR3Lメモリ用のDDR終端レギュレータも含まれています。このリファレンス・デザインはテスト済みで、ハードウェア・リファレンス(EVM)、ソフトウェア(プロセッサSDK)、テスト・データが含まれています。

### 設計リソース

<a href="#">TIDEP0067</a>	デザイン・ファイルを含むツール・フォルダ
<a href="#">66AK2G12</a>	プロダクト・フォルダ
<a href="#">TPS65911</a>	プロダクト・フォルダ
<a href="#">TPS54620</a>	プロダクト・フォルダ
<a href="#">TPS54429</a>	プロダクト・フォルダ
<a href="#">K2G汎用EVM</a>	EVMツール・フォルダ
<a href="#">K2G 1GHz GP EVM</a>	EVMツール・フォルダ
<a href="#">K2GのプロセッサSDK</a>	ソフトウェアのダウンロード

### 特長

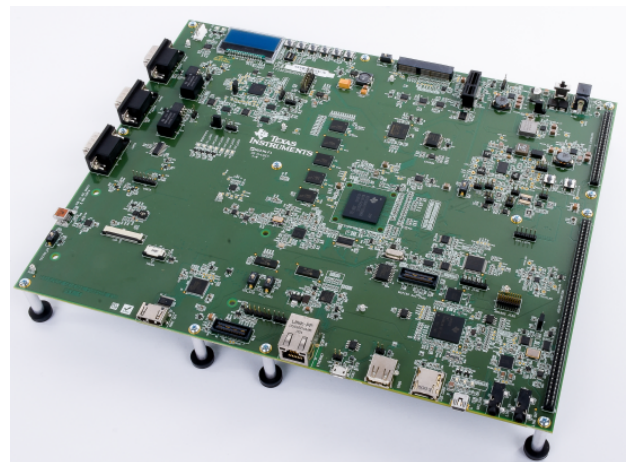
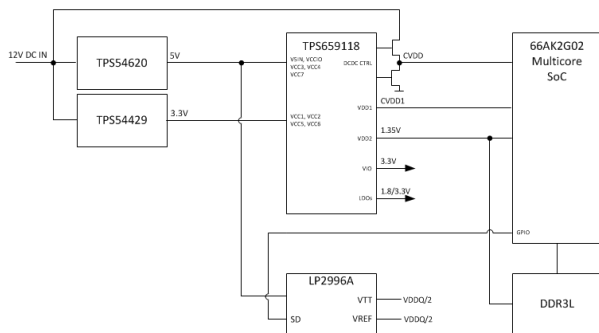
- TPS54620およびTPS54429: 第1段階の降圧コンバータにより、12V入力を3.3Vおよび5Vの出力に変換
- TPS65911xコンパニオンPMICは、SoCおよびDDR3Lメモリに必要な電源シーケンシングおよび電源供給をサポート
- TPS65911xはタイム・クリティカルなアプリケーション向けにリアルタイム・クロック(RTC)を搭載
- LP2996A DDR3L終端レギュレータ

### アプリケーション

- 車載用オーディオ・アンプ
- ホーム・オーディオ
- プロフェッショナル・オーディオ
- 電源保護



[E2Eエキスパートに質問](#)





使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE (重要な注意事項)をご参照くださいますようお願いいたします。

## 1 Introduction

This TI Design is a power reference platform based on the K2G Multicore DSP + Arm® System-on-Chip (SoC) and companion TPS65911x power management integrated circuit (PMIC). This power solution design also includes the first stage buck converters to support a 12 V input and the DDR termination regulator for DDR3L memory. The reference design is tested and includes hardware reference (EVM), software (Processor SDK) and test data.

## 2 K2G GP EVM Power Solution Block Diagram

The first stage buck converter devices TPS54620 and TPS54429 convert the 12-V DC input of the EVM to 5 V and 3.3 V respectively. The 5-V output from the TPS54620 provides the inputs to TPS65911x and LP2996A. The 3.3-V output from TPS54429 provides the input to TPS65911x, and 3.3-V peripheral devices on the EVM. TPS65911x provides all power supplies required for the 66K2Gx Multicore SoC, except for the 3.3-V I/O power supply.

図 1 shows the block diagram of the power solution on the K2G GP EVM.

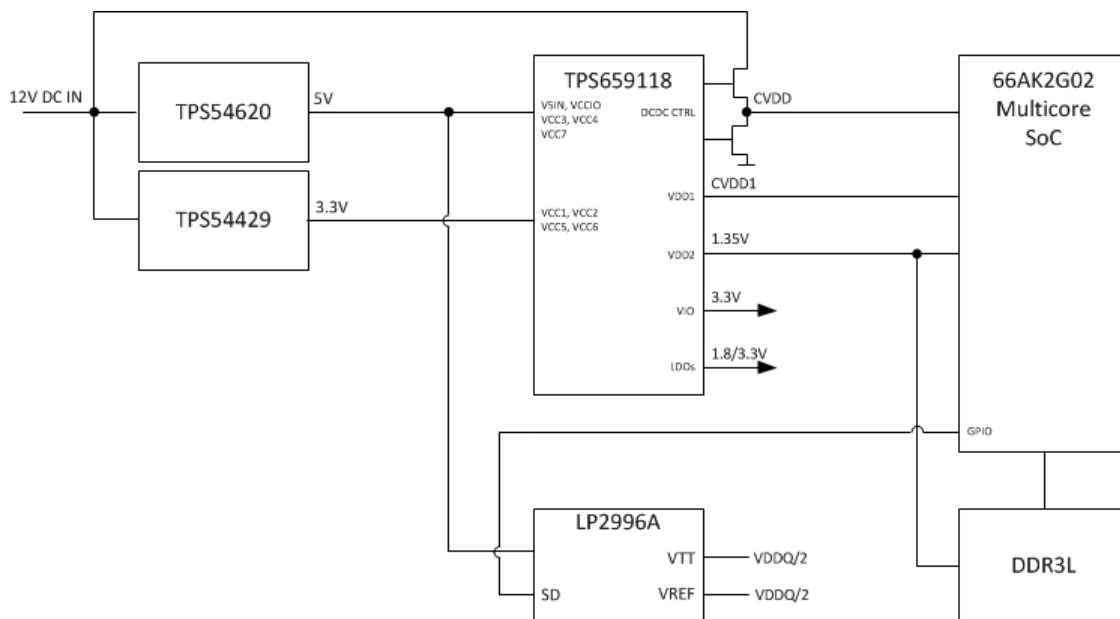


図 1. K2G General Purpose EVM Power Solution Block Diagram

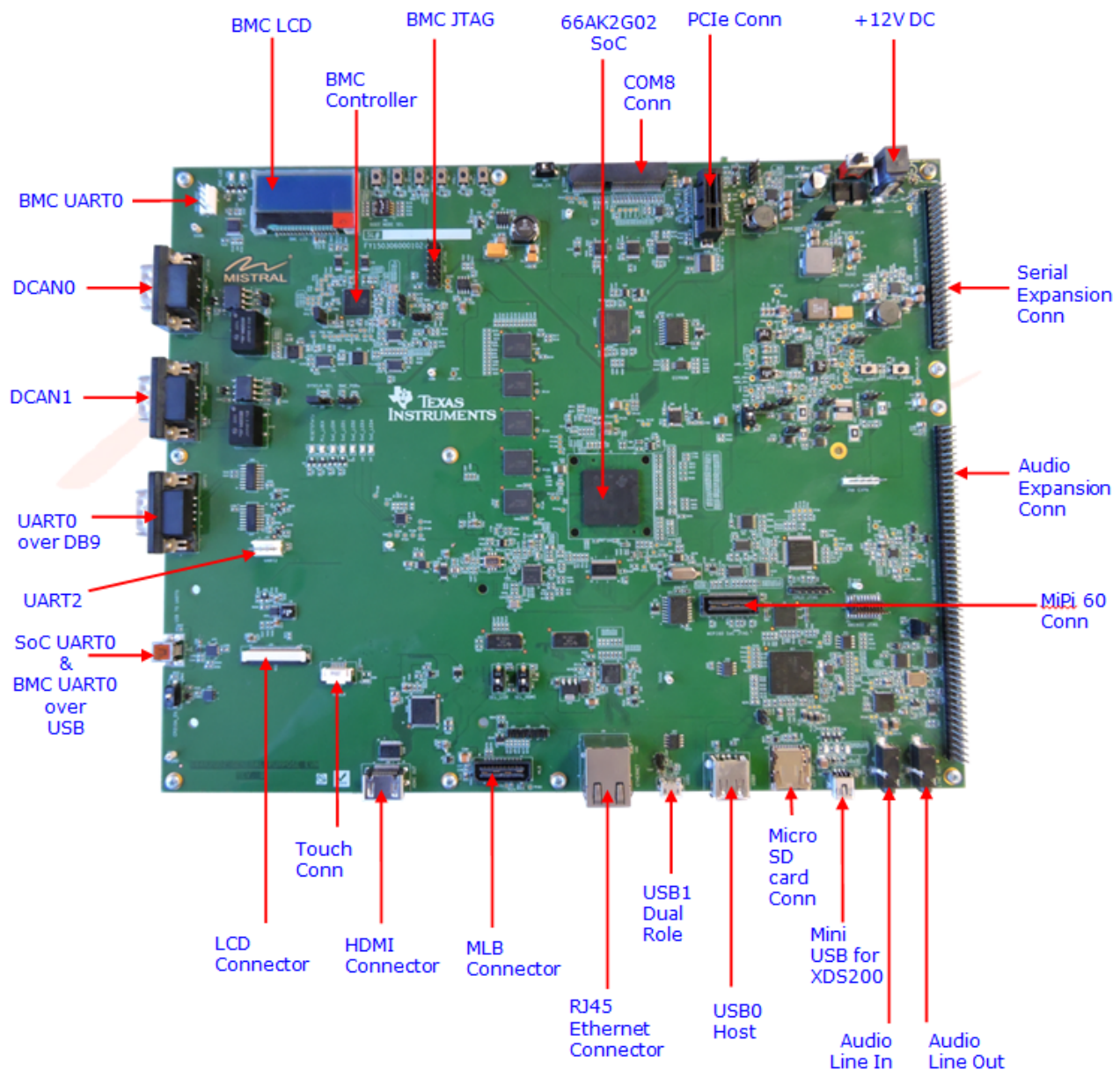
### 3 K2G EVM Overview

The K2G GP EVM is intended to exercise the key interfaces on the K2G device. The K2G GP EVM includes the following features:

- Memory
  - 2 GB of DDR3L with ECC (32-bit data + 4-bit ECC)
  - 512 Mbit of QSPI Flash
  - 2 Gbit of NAND Flash
  - 128 Mbit of SPI Flash
  - 128 kByte of 12C EEPROM for Boot support from 12 C
  - 16 GByte eMMC
  - Micro-SD Card slot (32 GB micro-SD card included)
- Connectivity
  - Gbit Ethernet: RGMII through Micrel KSZ9031 PHY RJ45 jack
  - USB 2.0 × 2: Micro A/B connector, Host connector
  - PCIe Gen 2: Single lane card slot (root complex only)
  - COM8 connector for use with WiLink 8 modules
- Display
  - 4.3" Touch LCD display (sold seperately)
  - HDMI Tx
- Audio
  - AIC3106 stereo code
  - 3.5 mm stereo jack ×2 supports stereo analog input and output
  - All McASP signals routed to audio expansion connector
- General Purpose Serial
  - SPI and 12C ports not already used for memory, or control are routed to serial expansion connector
  - UART through RS232 chip and DB9 connector, UART over USB
- Automotive
  - MLB supported through expansion connector
  - DCAN supported through transceivers, DB9 connectors
- Emulation
  - Onboard XDS200 through mini-USB connector
  - MIPI-60 header for external emulators
  - TRACE is supported with some caveats (resistor-muxed with display signals)
- Power
  - Provided through TPS65911x PMIC – factory-programmed with K2G power-up sequence
    - 3 step-down DC–DC converters
    - 8 LDOs
    - 12C and enable signals

- Board Management Controller
  - Mainly intended for automated testing; not intended for end-products
  - May control boot modes, power-up, and more
  - Character display for system status
- Clocking
  - K2G is unique among K2 devices because the K2G generates most clocks internally, including audio frequency clocks. DDR, USB, Ethernet, and more. Clocks may be generated internally. This is the default mode on the EVM.
  - A CDCM6209 is also included and generates SYSCLK, DDR ref clock, USB clk, and PCIe clock.

☒ 2 shows the K2G general purpose EVM.



☒ 2. K2G General Purpose EVM

## 4 Software

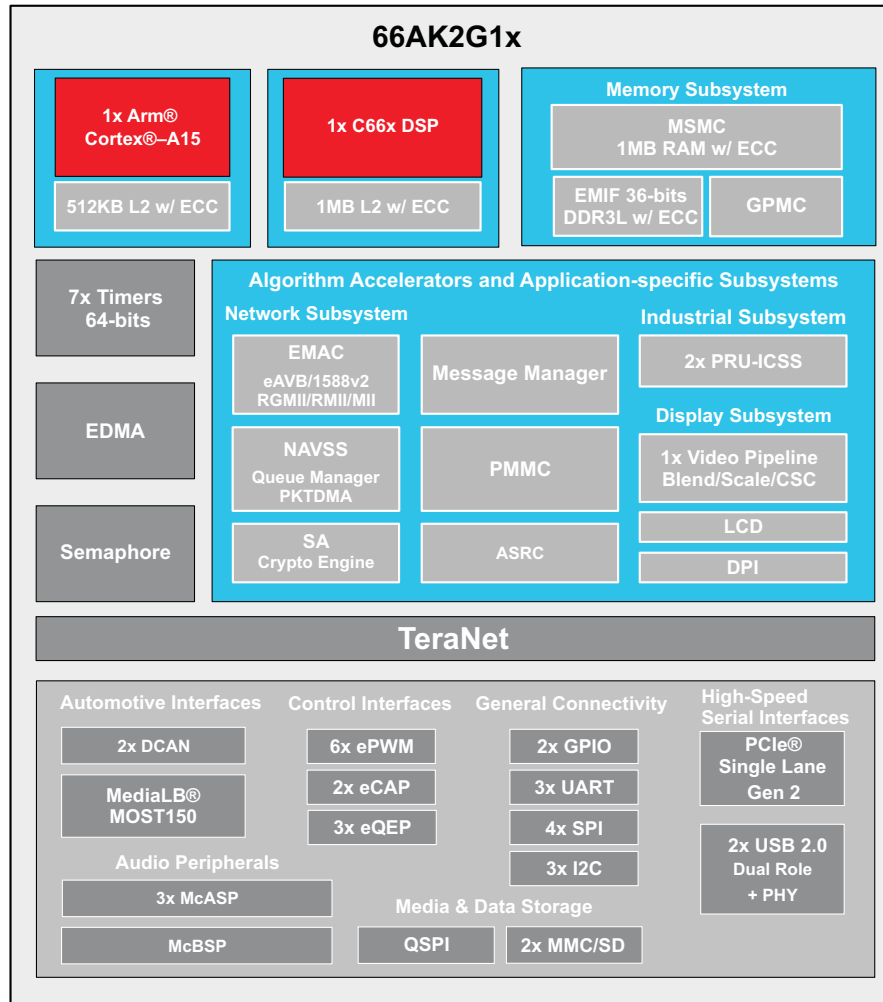
Software for the K2G EVM is available by downloading the Processor SDK.

## 5 K2G EVM

The 66AK2Gx SoC supports the following features:

- Processor Cores and Memory
  - ARM Cortex A15 up to 1000 MHz
    - 32 KB L1D, 32 KB L1P, 512 KB, L2 cache
  - C66x DSP up to 1000 MHz
    - 32 KB L1D, 32 KB L1P, 1 MB L2
  - ECC on all memory
- Industrial and Control Peripherals
  - 2 Industrial Communication Subsystems enable cut through, real-time and low latency industrial Ethernet protocols
  - Programmable real-time I/O enables versatile field bus and control interfaces
- Security and Crypto
  - Standard secure boot with customer programmable OTP keys
  - Crypto
  - Package
    - 21 × 21 mm, 0.8-mm pitch BGA 625 pins

Figure 3 shows the 66AK2G12 diagram.



intro\_001

Copyright © 2016, Texas Instruments Incorporated

Figure 3. 66AK2G12 Diagram

## 6 TPS65911x Power Management Integrated Circuit (PMIC)

The TPS65911x is an integrated power management IC configured to operate with the 66AK2Gx SoC, combining three switch-mode buck converters, one switch-mode buck controller, and 8 linear regulators into a single BGA package. The PMIC handles power-supply sequencing and reset conditions, provides GPIO outputs for enabling external regulators or switches, and accepts i2c instructions from the processor for features such as voltage scaling and interrupt masking of various event or fault notifications. The TPS659118 is optimized to power a 66AK2G02 system, utilizing a one-time-programmable (OTP) memory configured with boot voltages, power sequencing, and other default conditions. The TPS65911A is optimized to power a 66AK2G12 system. The PMIC and processor must be connected correctly in order to meet the defined voltage, current, and sequencing requirements of the processor. A detailed block diagram of the power management solution for the 66AK2Gx using the TPS65911x is shown in [Figure 4](#). The *TPS659118 User's Guide to Power 66AK2G02 (SWCU176)* describes these connections, as well as the OTP settings defined within the PMIC. The *TPS65911A User's Guide to Power 66AK2G12 (SWCU176)*



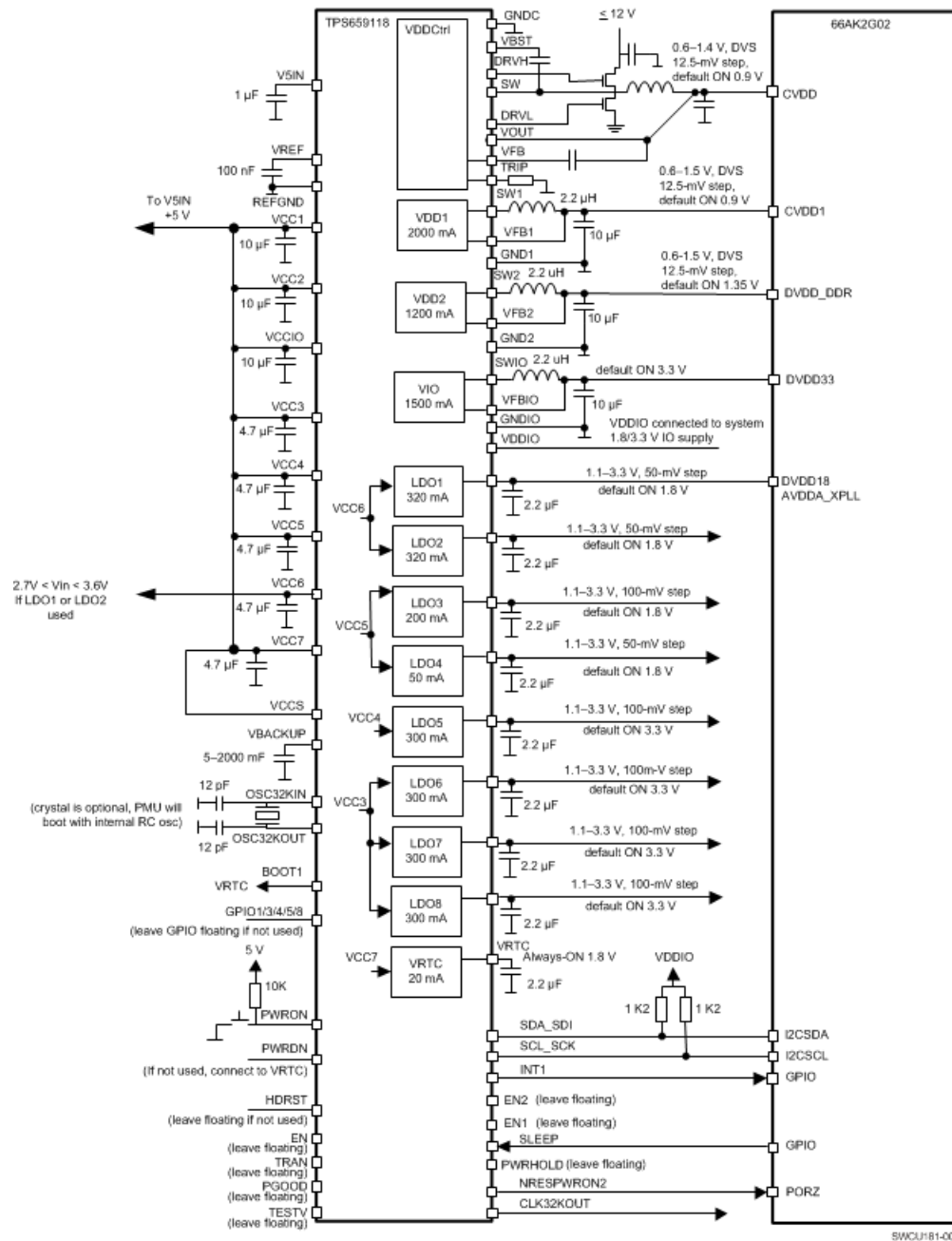


図 4. TPS659118 PMIC with 66AK2G02



## 7 Test Data

### 7.1 Power-Up Sequence Specification

Figure 5 shows the TPS65911x power-up sequencing timing.

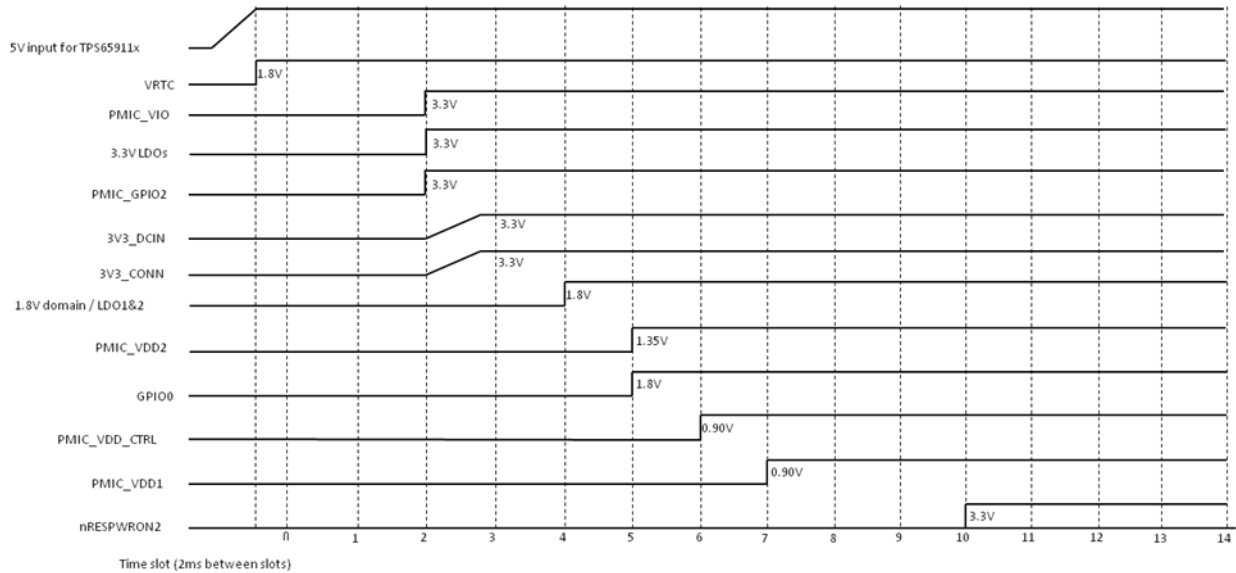


Figure 5. TPS65911x Power Sequencing

## 7.2 Power-Up Sequence Waveforms

The following waveforms demonstrate the power-on of the TPS65911x as required by the 66AK2Gx.

Figure 6 shows the power-on sequence for each of the output voltage rails and nRESPWRON2 signal respectively. The 3.3 V, 1.8 V, 1.35 V, CVDD, and CVDD1 rails turn sequentially and the nRESPWRON2 signal goes HIGH after all rails are ON.

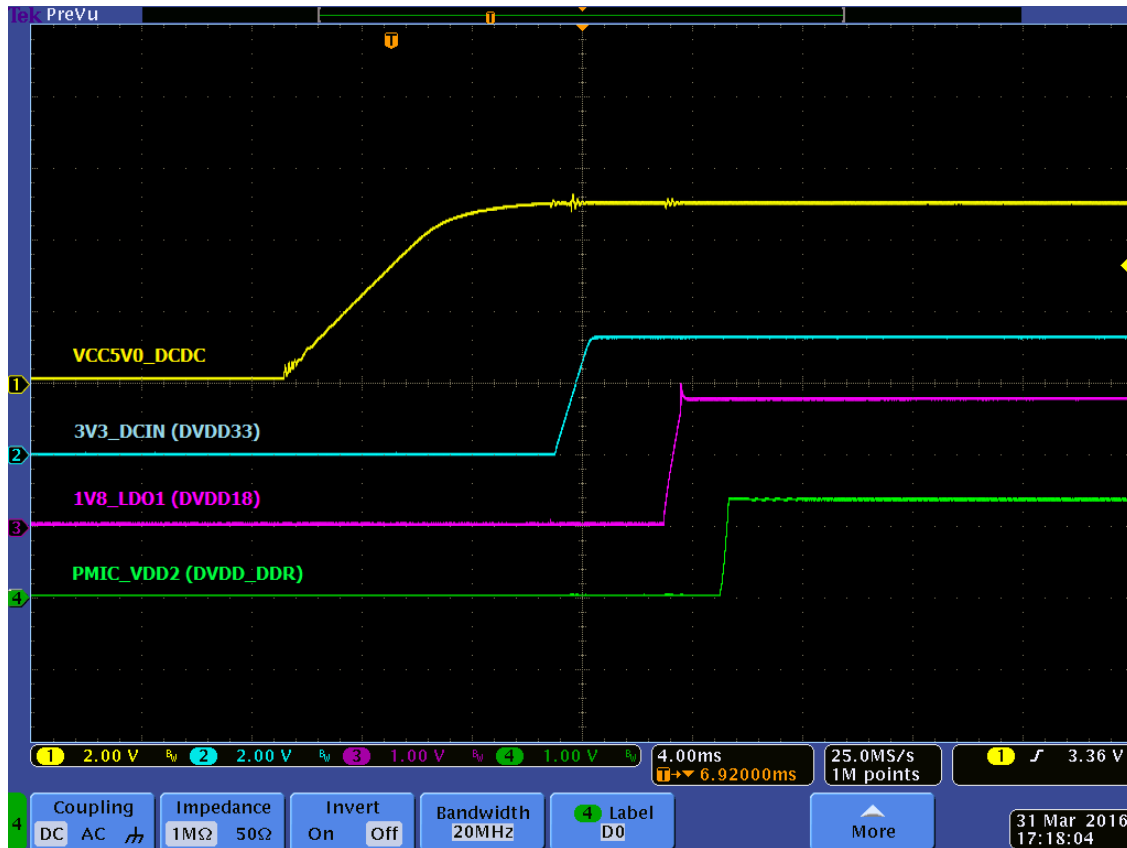


Figure 6. Power-On Sequence for the TPS65911x

Table 1 lists the delay time for the 3.3 V, 1.8 V, and 1.35 V processor power supplies.

Table 1. Delay Time for the 3.3 V, 1.8 V, and 1.35 V Processor Power Supplies

PLOT	EXPECTED TIMING	ACTUAL TIMING
1 to 2	N/A	10.0 ms
2 to 3	4.0 ms	4.0 ms
2 to 4	6.0 ms	6.0 ms
3 to 4	2.0 ms	2.0 ms

Figure 7 shows the power-on sequence for the TPS65911x with nRESPWRON2.



Figure 7. Power-On Sequence for the TPS65911x With nRESPWRON2

Table 2 lists the delay time for the CVDD and CVDD1 processor power supplies and power on reset (POR) signal.

Table 2. Delay Time for the CVDD and CVDD1 Processor Power Supplies and Power On Reset (POR) Signal

PLOT	EXPECTED TIMING	ACTUAL TIMING
1 to 2	N/A	18.4 ms
2 to 3	2.0 ms	2.0 ms
2 to 4	8 ms	8.0 ms
3 to 4	6 ms	6 ms

図 8 shows the 3.3 V VIO buck converter, 3.3 V LDO5 and 1.8 V LDO1 of the TPS65911x. The 3.3 V PMIC\_VIO buck converter and the 3.3 V\_LDO turn ON simultaneously.

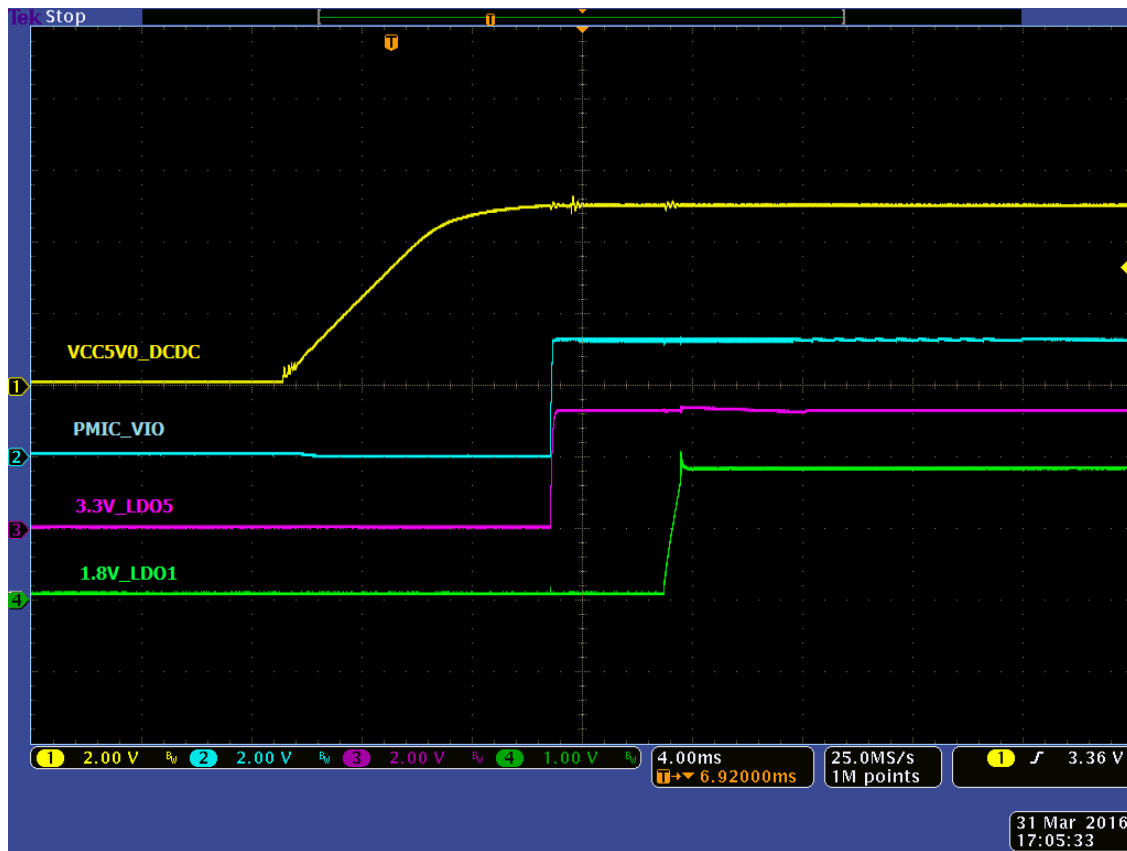


図 8. Power-On Sequence for the TPS65911x Voltage Rails

## 8 Design Files

To download the design files for TIDEP0067, see the design files at <http://www.ti.com/tool/TIDEP0067>.

### 8.1 商標

Arm is a registered trademark of ARM Limited.

## 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### 2016年5月発行のものから更新

**Page**

• 66AK2G12プロダクト・フォルダを追加 .....	1
• EVMK2GXツール・フォルダ(1GHz K2G GP EVM)へのリンクを追加 .....	1
• Changed "at 600 MHz" to "up to 1000 MHz" for both Cortex-A15 and C66x cores. ....	5
• Changed 66AK2G02 block diagram to 66AK2G12 block diagram.....	6
• Added distinction between TPS659118 and TPS65911A.....	7

## TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示の保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。