

Design Guide: TIDA-010191

宇宙グレード、マルチチャネルの JESD204B 15GHz クロックのリファレンス・デザイン



概要

デジタル・ビームフォーミングでは通常、アンテナごとにデータ・コンバータが必要で、各コンバータには位相関係が定義されたクロックが必要です。このリファレンス・デザインでは、JESD204B をサポートし、基板間スキューが 10ps で、定義済みの調整可能な位相関係を持つ、超低ノイズの MHz~GHz クロック信号を生成する方法を示します。

リソース

TIDA-010191	デザイン・フォルダ
ADC12DJ3200-SP	プロダクト・フォルダ
ADC12DJ3200EVM	ツール・フォルダ
LMK04832-SP	プロダクト・フォルダ
LMX2615-SP	プロダクト・フォルダ
TSW14J57EVM	ツール・フォルダ

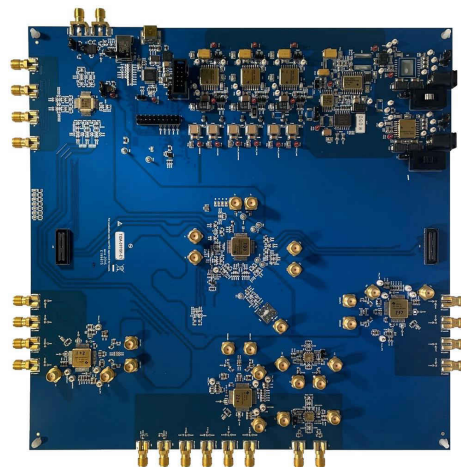
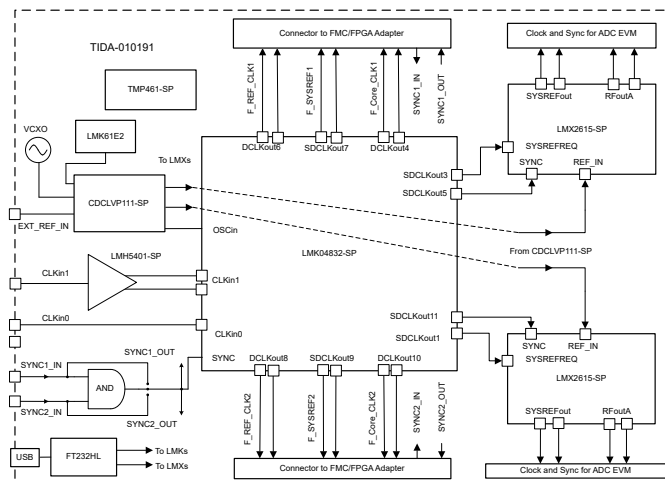
特長

- 最高 15GHz のサンプル・クロックの生成
- マルチチャネルの JESD204B 準拠のクロック設計
- チャネル間のクロック・スキューは 10ps 未満
- RF サンプリング ADC および DAC 用の、低位相ノイズ (100fs 未満) のクロッキング
- 構成可能な位相同期により、複数チャネル・システムで低スキューを実現
- 放射線耐性を強化した高速 ADC、クロッキング、RF アンプ、ポイント・オブ・ロード電源デバイス

アプリケーション

- 通信ペイロード
- レーダー画像処理ペイロード
- コマンドおよびデータ処理 (C と DH)

テキサス・インスツルメンツの TI E2E™ サポート・エキスパートにお問い合わせください



1 システムの説明

フェーズド・アレイ・アンテナとデジタル・ビームフォーミング (DBF) は、宇宙用レーダー画像処理や広帯域衛星通信システムなど、多くの衛星アプリケーションの性能を向上できる、重要なテクノロジーです。デジタル・ビームフォーミングは、アナログ・ビームフォーミングとは異なり、通常はアンテナ素子ごとに一連のデータ・コンバータが必要で、結果として高精度の同期が必要になります。デジタル・ビームフォーミングにより、性能と柔軟性が向上し、新しい動作モードを実現できます。この例の 1 つは、高分解能の合成開口レーダー (SAR) です。これは、NASA-ISRO により、NISAR プロジェクトにおける SweepSAR という名前で、宇宙ベースのアプリケーションに初めて使用された、新しいレーダー技術です。ビームフォーミングは、5G モバイル・ブロードバンドの世界で中核となるビルディング・ブロックでもあります。この場合には、5G 伝送が地上と宇宙のどちらで行われるかはほとんど関係しません。5G のレーダー・アプリケーションのビームフォーミングがデジタルへの移行で恩恵を受けるのと同様に、クロック供給の要件も、両方のアプリケーション分野でほとんど同じです。

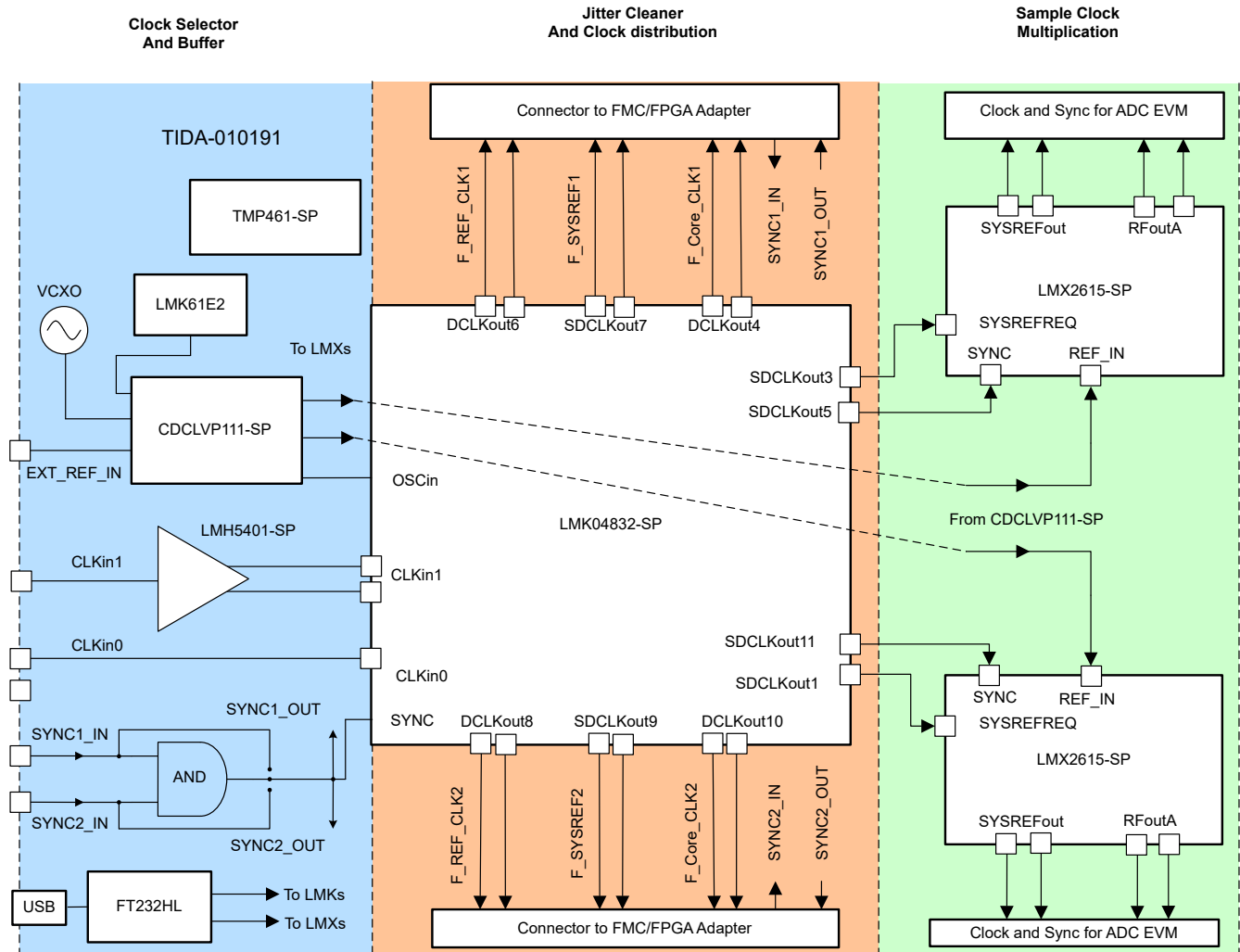


図 1-1. クロック・サブシステム

このリファレンス・デザインでは、高速 GSPS JESD204B 対応の ADC12DJ3200QML-SP データ・コンバータ用のクロッキング・サブシステムが中心になります。このリファレンス・デザインには、複数の素子間で高精度の同期要件を持つアプリケーションで使用できる、マルチチャネルの位相同期クロッキング・プラットフォームがあります。この設計には最小構成で、デモ用の 2 つの高速チャネルがあります。設計のブロック図を、図 1-1 に示します。クロック・システムは、入力クロック・セレクタとクロック・リファレンス・バッファ CDCLVP111-SP、ジッタ・クリーナとクロック分配 LMK04832-SP、サンプル・クロック・マルチプライヤ LMX2615-SP という 3 つの主要部分に分割されています。システムの中核は LMK04832-SP です。このデバイスは、受信クロックからジッタを除去し、安定したクロック・フレームワークを作り出します。また、LMK04832-SP は FPGA クロックと SYSREF 信号も供給します。LMX2615-SP クロック・マルチプライヤの入力クロックについては、

LMK04832-SP のクロック出力、または入力クロック・リファレンス・バッファ CDCLVP111-SP の出力を使用するようにリファレンス・デザインを構成できます。受信クロックの位相ノイズが既に非常に低い場合、LMX2615-SP を CDCLVP111-SP に接続すると、ADC で可能な限り低い出力位相ノイズが得られます。その後で、LMX2615-SP がこのベース・クロックを取得し、分数乗法を使用して、最高 15GHz のサンプリング・クロックを生成し、サブヘルツ精度に調整できます。また、システムは SYSREF を ADC サブシステムにルーティングします。

この設計は 3 つの LMX2615-SP デバイスを搭載していますが、このドキュメントの技術的な分析で使用されているのは 2 つだけです。したがって、この図に示されている RF PLL シンセサイザは 2 つだけです。3 つ目の LMX2615-SP は、たとえばダウン・コンバータの局部発振器入力のソースとして使用し、より高い入力周波数帯域や、他のスーパーヘテロダインをサポートできます。

1.1 主なシステム仕様

この設計の目的は、マルチチャネル RF サンプリング・レシーバの信号チェーン向けの高速度クロック供給の設計を示すことです。この設計では、LMX2615-SP と LMK04832-SP をベースとする宇宙グレードの低ノイズ・クロック設計の性能と、ADC12DJ3200QML-SP のマルチチャネル同期および SNR への影響に注目します。データ・キャプチャは TSW14J57EVM によって実行されます。この EVM は、FMC+ アダプタ・カードを使用して ADC12DJ3200EVMCVAL と接続されます。クロック供給の設計の観点から、マルチチャネル信号チェーンの主なシステム・レベル仕様を、表 1-1 に示します。

表 1-1. 主なシステム・パラメータ

パラメータ	仕様	条件
Dev_Clk 位相ノイズ	-111.5dBc/Hz (10kHz オフセット時) -115.3dBc/Hz (100kHz オフセット時) -121.9dBc/Hz (1MHz オフセット時) -146.3dBc/Hz (10MHz オフセット時) -150.9dBc/Hz (40MHz オフセット時)	7GHz 時
	-104.9dBc/Hz (10kHz オフセット時) -111.4dBc/Hz (100kHz オフセット時) -121.9dBc/Hz (1MHz オフセット時) -146.0dBc/Hz (10MHz オフセット時) -153.0dBc/Hz (40MHz オフセット時)	9GHz 時
	-100.8dBc/Hz (10kHz オフセット時) -107.2dBc/Hz (100kHz オフセット時) -114.3dBc/Hz (1MHz オフセット時) -140.4dBc/Hz (10MHz オフセット時) -151.0dBc/Hz (40MHz オフセット時)	15GHz 時
SNR (dBFS) (デュアル・チャネル・モード) (JMODE3)	55.5	997MHz の ADC 入力信号時
	55	2482MHz の ADC 入力信号時
	53	4997MHz の ADC 入力信号時
マルチチャネル・クロックの時間スキュー	< 10ps	997MHz の ADC 入力信号時
		2482MHz の ADC 入力信号時
		4997MHz の ADC 入力信号時

2 システム概要

2.1 設計ブロック図

ADC12DJ3200EVMCVAL 評価基板と TSW14J57EVM キャプチャ・カードを使用した高速マルチチャネル・クロック設計インターフェイスで構成される測定セットアップのブロック図を、図 2-1 に示します。ADC12DJ3200EVMCVAL は、FMC+ アダプタ・ボードを介して TSW14J57EVM データ・キャプチャ・ボードと接続されます。ADC の DCLK と SYSREF は、SMA コネクタ付きで長さの一致するケーブルを経由して、TIDA-010191 クロッキング・ボードから直接供給されます。

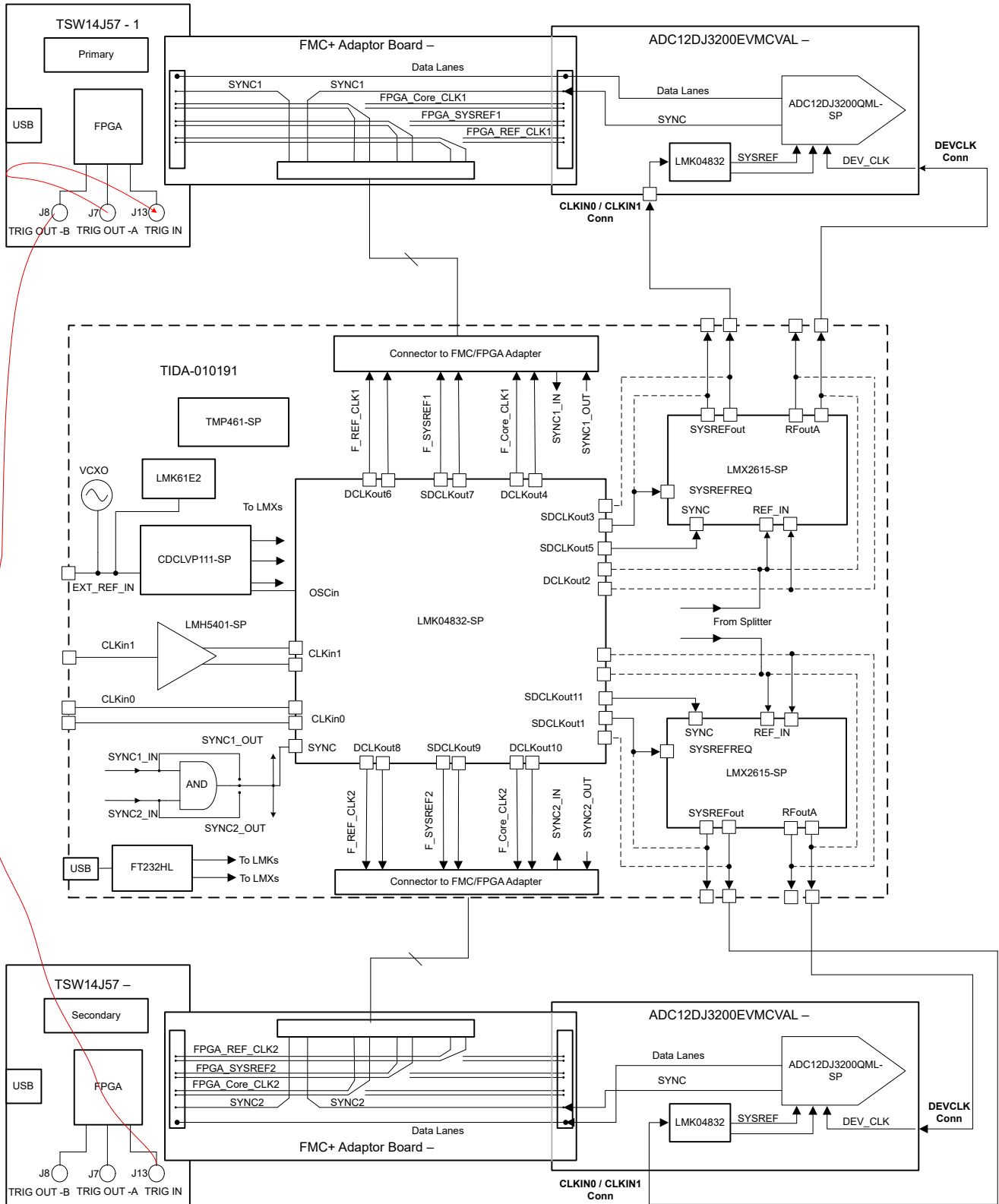


図 2-1. 測定システムのセットアップ

2.2 主な使用製品

2.2.1 LMK04832-SP

LMK04832-SP は、JEDEC JESD204B に対応した宇宙アプリケーション向けの高性能クロック・コンディショナーです。PLL2 からの 14 のクロック出力を構成して、7 つの JESD204B コンバータ、あるいはデバイス・クロックおよび SYSREF クロックを使用するその他のロジック・デバイスを駆動できます。DC および AC 結合により SYSREF を生成することが可能です。JESD204B アプリケーションに限らず、従来のクロッキング・システム向けに 14 の出力をそれぞれ高性能出力として個別に構成できます。

LMK04832-SP は、SYSREF の生成またはリクロッキングの有無にかかわらず、デュアル PLL、シングル PLL、またはクロック分配モードで動作するように構成できます。PLL2 は内蔵 VCO でも外付け VCO でも動作します。高性能で、電力と性能のトレードオフ、デュアル VCO、動的デジタル遅延、ホールドオーバーなどの機能を備えた LMK04832-SP は、柔軟性のある高性能クロック・ツリーを提供できます。LMK04832-SP は、10.9mm × 10.9mm の 64 ピン CFP パッケージで供給されます。

2.2.2 LMX2615-SP

LMX2615-SP は、電圧制御発振器 (VCO) と電圧レギュレータを内蔵した高性能・広帯域のフェーズ・ロック・ループ (PLL) で、ダブラーなしで 40MHz~15.2GHz のあらゆる周波数を出力できることから、1/2 低調波フィルタが不要になります。このデバイスの VCO は、1 オクターブの範囲をカバーしているため、最低 40MHz までのすべての周波数を出力できます。-236dBc/Hz の性能指数と、高い周波数の位相検出器を備えた高性能 PLL により、非常に低い帯域内ノイズと積分ジッタを実現できます。

LMX2615-SP では、複数のデバイスの出力を同期できます。このため、フラクショナル・エンジンまたは出力分割器を使用した場合を含め、あらゆる使用事例でデバイスから決定性位相を取得できます。このデバイスは、SYSREF (JESD204B 規格に準拠) の生成および反復サポートが追加されているため、高速データ・コンバータに最適な低ノイズのクロック・ソースです。このデバイスは、テキサス・インスツルメンツの高度な BiCMOS プロセスで製造され、64 リードの CQFP セラミック・パッケージで供給されます。

2.2.3 CDCLVP111-SP

CDCLVP111-SP クロック・ドライバは、LVPECL 入力の 1 つの差動クロックペア (CLK0、CLK1) を、10 ペアの差動 LVPECL クロック (Q0~Q9) 出力に、最小限のスキューで分配します。CDCLVP111-SP は、入力マルチプレクサに 2 つのクロック・ソースを接続できます。CDCLVP111-SP は、50Ω の伝送経路の駆動に特化して設計されています。出力ピンが使用されないときは、消費電力を削減するためオープンのままにしておくことをお勧めします。差動ペアの出力ピンのうち一方だけを使用する場合、他方の出力ピンは同様に 50Ω に終端する必要があります。

シングルエンド入力動作が必要な場合は、V_{BB} リファレンス電圧出力を使用します。この場合、V_{BB} ピンを CLK0 へ接続し、10nF のコンデンサを経由して GND へバイパスします。高速性能を発揮するには、差動モードの使用を強く推奨します。CDCLVP111-SP は、-55°C~125°Cでの動作が規定されています。

2.2.4 ADC12DJ3200QML-SP

ADC12DJ3200QML-SP デバイスは、RF サンプリング、ギガ・サンプルの A/D コンバータ (ADC) で、DC から 10GHz 超までの入力周波数を直接サンプリングできます。デュアル・チャンネル・モードでは、ADC12DJ3200QML-SP は最大 3200MSPS をサンプリングできます。シングル・チャンネル・モードでは、最大 6400MSPS をサンプリングできます。チャンネル数 (デュアル・チャンネル・モード) とナイキスト帯域幅 (シングル・チャンネル・モード) のトレードオフをプログラム可能なので、多くのチャンネル数を必要とするアプリケーション、または瞬間的に広い信号帯域幅を必要とするアプリケーションのどちらの要求にも対応できる、柔軟なハードウェアを開発できます。フルパワー入力帯域幅 (-3dB) は 7GHz で、使用可能な周波数はデュアル・チャンネルでもシングル・チャンネル・モードでも -3dB ポイントを超えて拡大されるため、L バンド、S バンド、C バンド、X バンドを直接 RF サンプリングでき、周波数の機動性が高いシステムを実現できます。

ADC12DJ3200QML-SP は、高速の JESD204B 出力インターフェイスを使用し、最大 16 の直列化されたレーンを持ち、決定論的レイテンシとマルチデバイス同期についてサブクラス-1 に準拠しています。シリアル出力レーンは、最大 12.8Gbps をサポートし、ビット・レートとレーン数のトレードオフを設定可能です。ノイズなしのアップチャ遅延 (t_{AD}) 調整、SYSREF のウィンドウ処理などの優れた機能により、合成開ロレーダー (SAR) や位相アレイ MIMO 通信のシステム設計を簡素化できます。デュアル・チャンネル・モードではオプションのデジタル・ダウン・コンバータ (DDC) により、インター

フェイス速度の低減 (実数および複素数間引きモード) と、信号のデジタル・ミキシング (複素数間引きモードのみ) が可能です。

2.3 設計手順

複数のデータ・コンバータを使用する信号チェーンには、データ・コンバータのすべてのサンプリング・インスタンスが確実に揃えられるよう、同期されたクロックが必要です。ただし、JESD204B ベースのデータ・コンバータの場合、性能を向上させるには、デバイス同期に関する次の要件が重要です。

- 低位相ノイズの ADC サンプリング・クロック (DEVCLK) の生成
- 各データ・コンバータでのデバイス・クロックの位相揃え
- 適切なタイミング・マージンによる SYSREF 信号の生成とキャプチャ
- 適切かつ柔軟なパッファ・リリース・ポイントにより、決定論的なレイテンシを実現

ADC と FPGA との間の SERDES レーンは、長さが一致する必要はありません。JESD204B の同期手法により、遅延の変動は吸収されます。

2.3.1 複数の JESD204B の同期要件

JESD204B システム環境では、JESD204B TX ブロックから RX ブロックへのデータ転送はマルチフレームで行われます。これらのマルチフレームは、JESD204B の RX および TX ブロックの内部にあるローカル・マルチフレーム・クロック (LMFC) のエッジに揃えられます。LMFC の概念と、それに関連する揃えの要件は、決定論的なレイテンシと複数のデバイスの同期を必要とするアプリケーションで重要です。決定論的なレイテンシを実現するには、複数のデバイスが同期されている、または JESD204B システム環境内の各 JESD204B デバイスの LMFC が確実に揃えられている必要があります。各 JESD204B デバイスの LMFC は SYSREF 信号によって揃えられます。この信号は、JESD204B システム全体で共通のソースからグローバルに生成されます。システムのすべてのデバイスの LMFC が揃えられると、デバイスは同期され、データ転送は同じ速度で同時に行われます。複数の JESD204B デバイスを同期するための標準的なセットアップを、[図 2-2](#) に示します。このようなクロック・ソースの同期には、次のような条件があります。

1. ADC12DJ3200-SP の各デバイスで、デバイス・クロックとサンプリング・クロック (DCLK) の位相が揃っている
2. 各 DCLK に対する位相内 SYSREF が、ADC の SYSREF セットアップおよびホールド時間を満たしている
3. システムで複数の FPGA を使用する場合、FPGA CLK と FPGA SYSREF が位相内である

この設計では、ADC12DJ3200-SP は JMODE3 で動作し、最高サンプリング・クロックは 3.2GHz です。

ADC12DJ3200-SP データシートの計算に基づき、必要な FPGA クロックは 160MHz、SYSREF 周波数は 20MHz です。これらは、推奨されるクロック設計の TIDA-010191 によって生成されます。

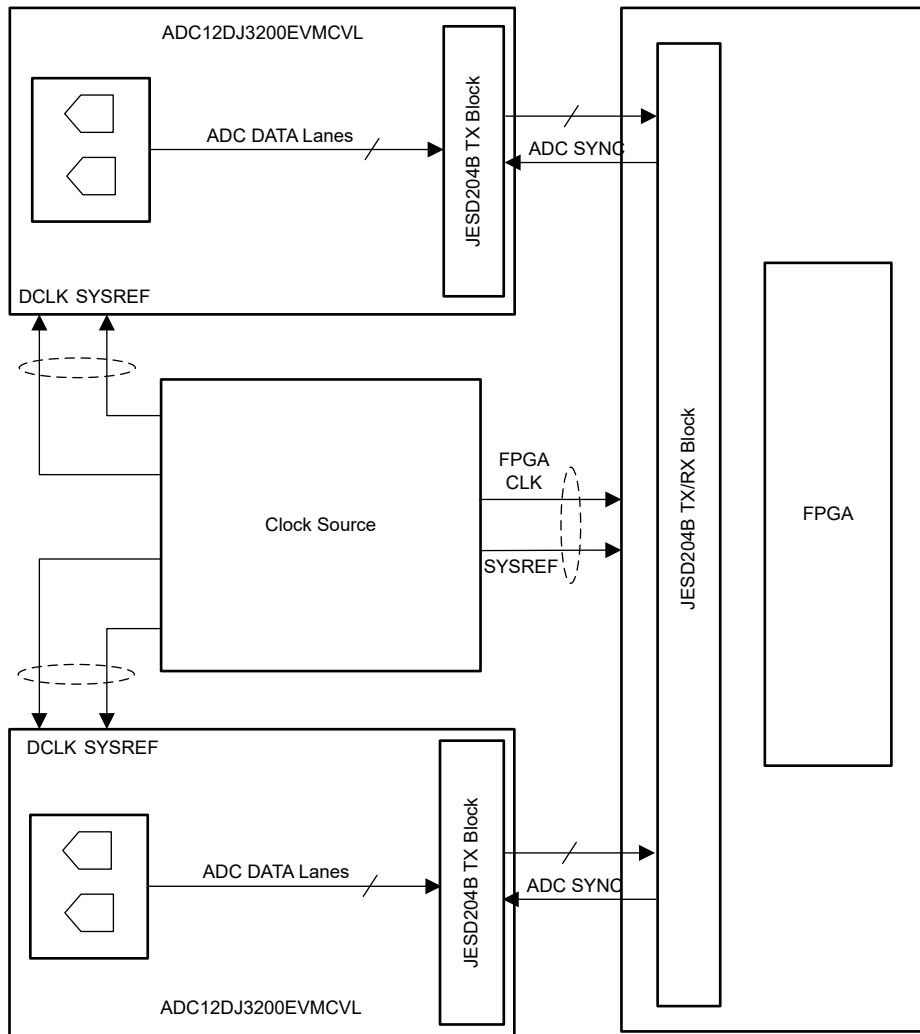


図 2-2. 複数の JESD204B および JESD204C デバイスの同期の標準セットアップ

2.3.2 クロック・ツリーの設計

2.3.2.1 クロック周波数の計画

ボードから、JESD204B 準拠のクロック出力が ADC12DJ3200QML-SP に与えられます。ADC の SNR はクロック・ジッタの影響を直接受けるため、ADC を使用してクロッキング・ボードの性能を分析します。ADC12DJ3200QML-SP は、最大 3.2GHz のクロック周波数で動作できます。LMK04832-SP はシングル PLL モード (PLL2) に構成されており、LMX2615-SP デバイスへの SYSREF_REQ 信号と SYNC 信号を生成します。このリファレンス・デザインの LMK04832-SP は、FMC+ アダプタ・ボードを経由して、FPGA リファレンス・クロック、コア・クロック、SYSREF を TSW14J57 キャプチャ・カードに供給するためにも使用されます。クロック・リファレンスとコア・クロックの周波数はどちらも 160MHz で、SYSREF の周波数は 20MHz です。また、アダプタ・ボードは、データ・コンバータ EVM とキャプチャ・カードとの間のインターフェイスとして機能すると同時に、ADC データ・レーンを FPGA に接続します。

ADC12DJ3200EVMCVAL はデュアル・チャンネル・モード (JMODE3) で動作し、1 つのチャンネルへの入力のみが供給され、対応する ADC コアからの出力がキャプチャされます。LMK61E2 により、CDCLVP111-SP 経由で LMX2615-SP RF PLL クロック・シンセサイザ・デバイスに対して 100MHz の入力リファレンス周波数が供給されます。位相検出器の周波数も 100MHz に変更されます。ADC 入力では、SNR 測定用のさまざまな入力信号を利用できます。結果については、[セクション 4](#)、「[テストと結果](#)」を参照してください。

表 2-1. ループ・フィルタの構成

クロック・リファレンス	LMK04832-SP クロック PLL2 モード	LMX2615-SP PLL シンセサイザ	ADC クロック	FPGA クロック
クロック・リファレンスを選択	クロック入力 / 出力の一覧表示	クロック入力とクロック出力	クロックの入力 / 出力	クロックの入力 / 出力
その他のオプション: 1. VCXO 2. プログラマブル発振器 (LMK6E12) - 100MHz 3. 外部リファレンス	入力 REF (OSCin) - 100MHz 出力クロック: CLKout1 - LMX2615-1 SYSREF_REQ1 (20MHz) CLKout3 - LMX2615-2 SYSREF_REQ2 (20MHz) CLKout4 - FPGA2 REFCLK CLKout5 - LMX2615-1 SYNC1 CLKout6 - FPGA2 CORECLK CLKout7 - FPGA2 SYSREF CLKout8 - FPGA1 CORECLK CLKout9 - FPGA1 SYSREF CLKout10 - FPGA1 REFCLK CLKout11 - LMX2615-2 SYNC2	LMX2615-1: 入力 REF (OSCin) - 100MHz SYNC - SYNC1 SYSREFREQ - SYSREF_REQ1 出力クロック: RFoutA1 - ADC1 CLK RFoutB1 - ADC1 SYSREF LMX2615-2: 入力 REF (OSCin) - 100MHz SYNC - SYNC2 SYSREFREQ - SYSREF_REQ2 出力クロック: RFoutA2 - ADC2 CLK RFoutB2 - ADC2 SYSREF	サンプリング・クロック: 3.2GHz SYSREF - 20MHz	FPGA REFCLK - 160MHz FPGA CORECLK - 160MHz FPGA SYSREF - 20MHz

2.3.2.2 クロック・ツリーのコンポーネント

構成オプションを含む TIDA-010191 クロック・ツリーの簡略化されたブロック図を、図 2-3 に示します。このクロック・ツリーには、リファレンス生成、クロック・リファレンス・バッファ、クロック分配、PLL シンセサイザなど、いくつかのセクションが含まれており、低ノイズで高性能の JESD204B 準拠クロックを生成します。

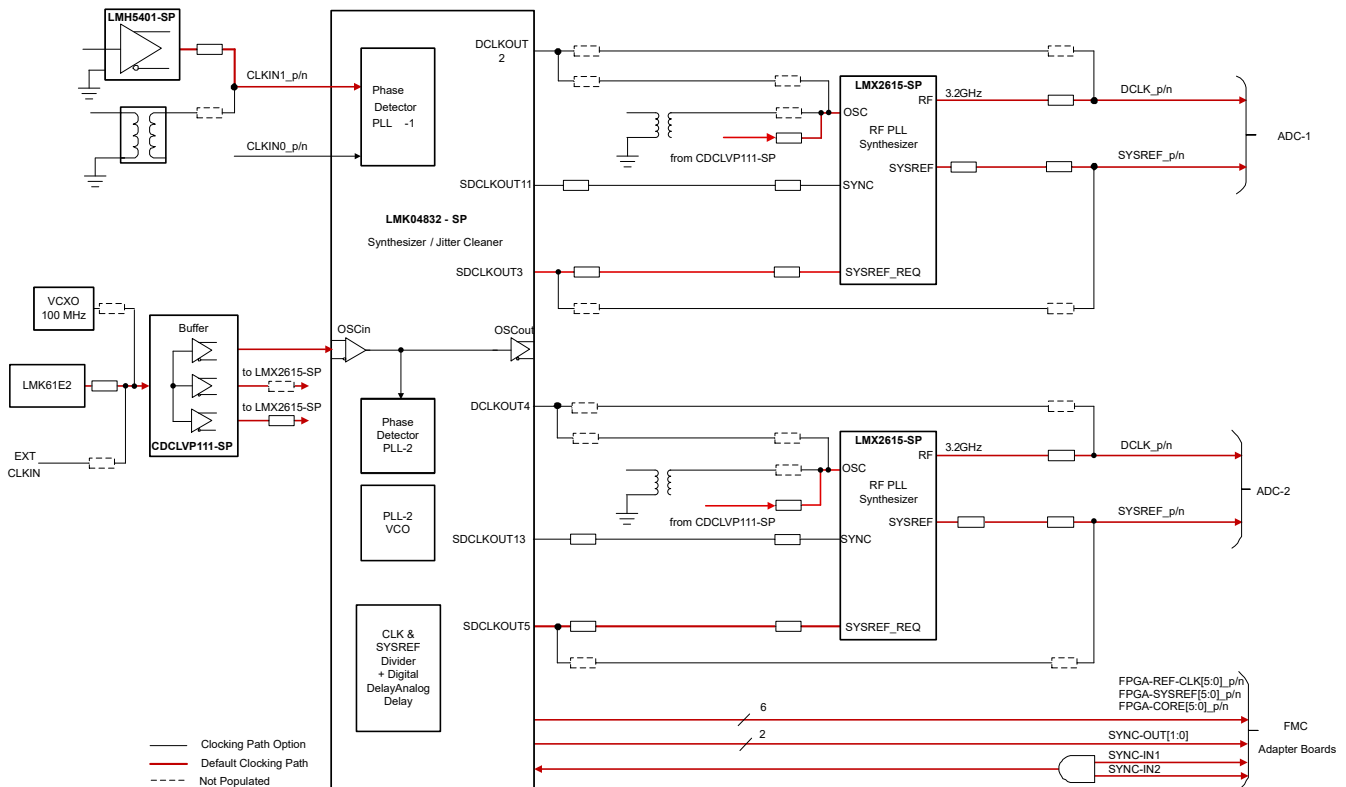


図 2-3. TIDA-010191 のクロック・パス構成オプション

2.3.2.2.1 クロック・リファレンス

クロック・リファレンス入力には 2 つのオプションがあります。

- 最初の、推奨されるオプションは、外部クロック・リファレンスです。外部クロック・リファレンスを使用すると、最終的な設計で求められるターゲット・クロックに接続でき、クロック信号パスのパフォーマンス評価時にクロック・リファレンスが影響を及ぼす可能性を最小限に抑えることができます。このドキュメントのテストでは、Wenzel 製の発振器 (100MHz) を、非常に低い位相ノイズのクロック・ソースとして使用しています。
- 2 つ目のオプションは、産業グレードの発振器からのオンボード・クロック・リファレンスを使用することです。この設計では、プログラマブル・クロック・ジェネレータ LMK61E2 を使用します。このデバイスは、大規模な試験装置なしでサブシステムを評価するのに役立ちます。LMK61E2 はテストのみを目的としており、放射線性能は定義されていません。

2.3.2.2.2 クロック・リファレンス・バッファ

クロック分配では、1 次クロックから個別のクロック・デバイスやクロック・マルチプライヤまでの間にいくつかのトポロジが可能です。可能なトポロジのうち 2 つを、[図 2-4](#) にオプション A および B として示します。オプション A では、1 次クロックがシステム・クロック・デバイスに複製されてから、個別のマルチプライヤに展開されます。オプション B では最初に展開が行われてから、システム・クロック、すべてのクロック・デバイス、およびマルチプライヤが 1 次クロックの個別のコピーを取得します。

この設計では、クロック・パス内のシーケンシャル・ステーションの数が少なく、ノイズが小さいことが期待されるため、オプション B が選択されています。

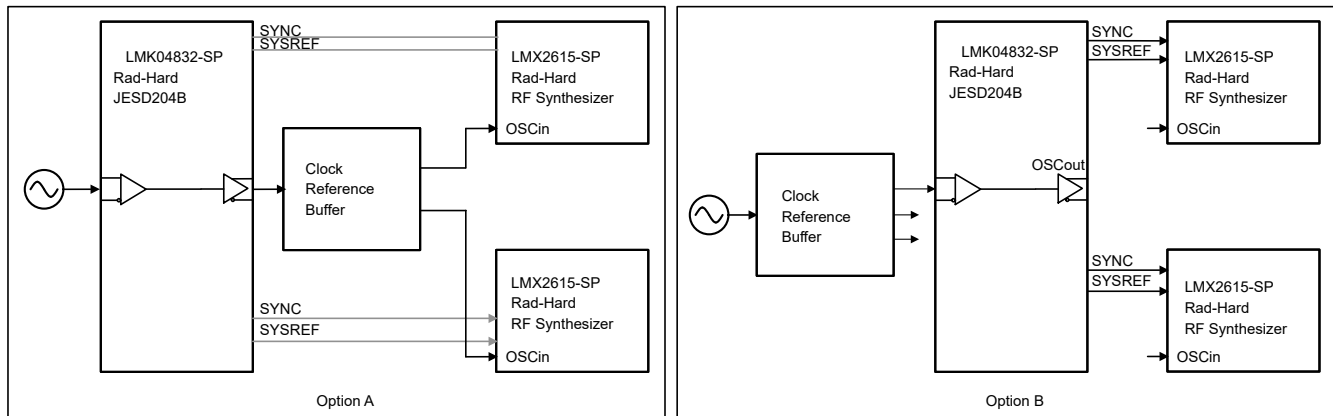


図 2-4. クロック分配オプションの A および B

クロック・リファレンスをバッファリングする場合、CDCLVP111-SP はデータシートで特性化および文書化された重要なパラメータをすべて備えているため、適切な選択肢です。代替として使用できる各種のデバイスと比べても、このデバイスによって増えるノイズは最も小さくなります。

また、[図 2-5](#) に示すように、1:4 パワー・スプリッタを使用して、純粋なパッシブ・クロック分配を行うための機能も備えています。このため、両方の設計を比較できます。この比較は、このリファレンス・デザインで行う測定の一部ではありません。

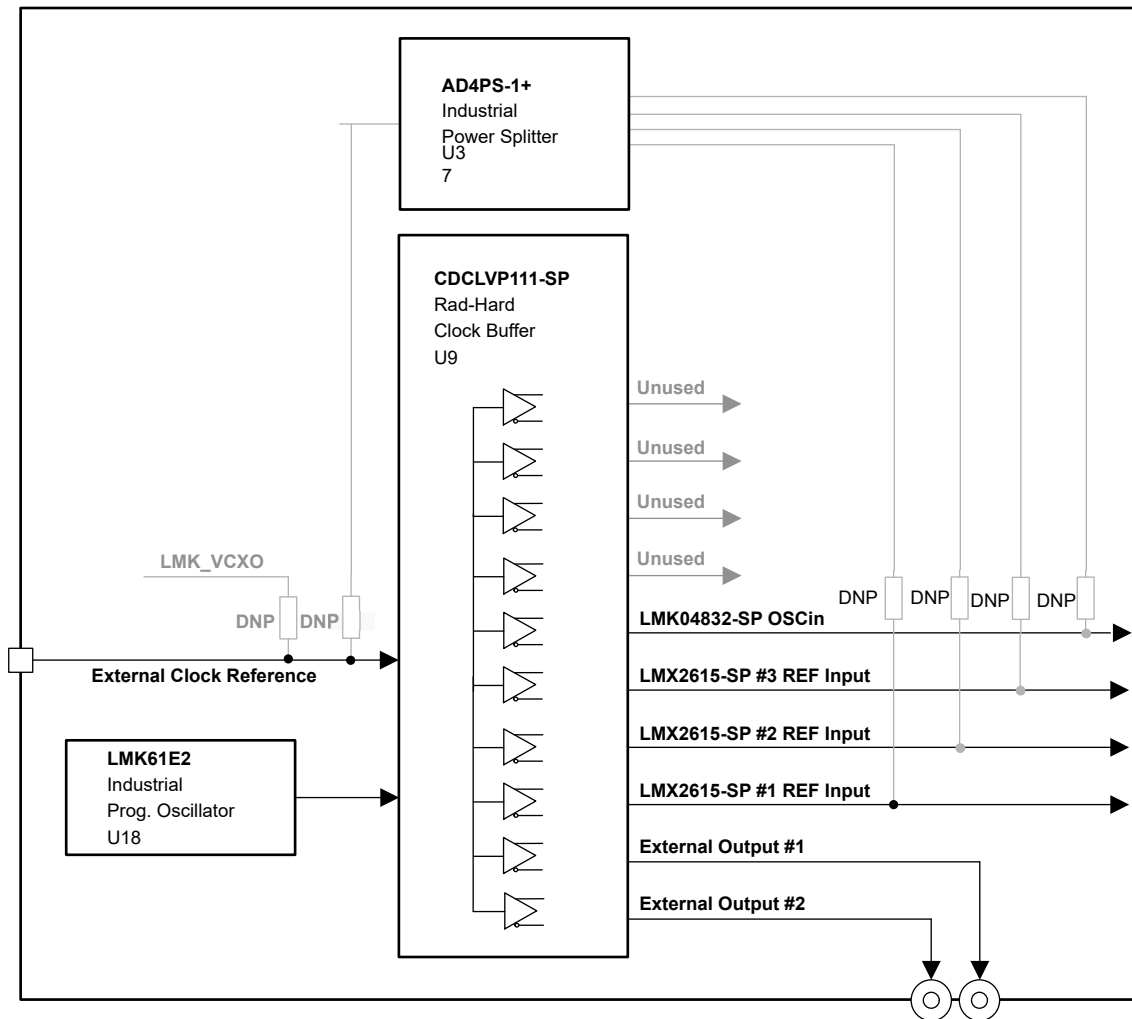


図 2-5. パワー・スプリッタを使用したパッシブ・クロック分配

2.3.2.2.3 クロック分配

マルチチャネルの JESD204B の設計では、複数の PLL シンセサイザを同期するために、データ・コンバータ、FPGA クロック、SYSREF、SYNC 制御信号のクロック供給に使用される、低ノイズで高周波のデバイス・クロックである各種クロックが必要です。この設計では、システム・クロック・デバイス LMK04832-SP を使用して、FPGA クロック、FPGA SYSREF 信号、データ・コンバータの主な SYSREF 信号、複数の LMX2615-SP デバイスへの SYNC 信号を生成します。1 次 SYSREF 信号は LMX2615-SP デバイスの SYSREF_REQ 入力に供給され、LMK04832-SP によって制御される 1 次 SYSREF として機能します。

LMK04832-SP は、OSCin で 100MHz の入力を持つ PLL2 シングル・ループ・モードで動作し、内部 SYNC および分周器のリセット後に位相内クロックを生成します。LMK04832-SP は、3.2GHz で動作する内部 VCO を使用して、160MHz の FPGA クロックと、20MHz の SYSREF を生成します。

2.3.2.2.4 周波数合成

このリファレンス・デザインには、ジッタ性能要件に基づき、LMK04832-SP または LMX2615-SP を使用して高速クロックを生成するための 2 つのオプションがあります。LMX2615-SP は、LMK04832-SP に比べて位相ノイズ性能が優れています。このため、LMX2615-SP を使用して 3.2GHz の高周波クロックを生成します。両方の LMX2615-SP デバイスは、クロック・バッファ CDCLVP111-SP を経由して 100MHz の位相内リファレンス・クロックを受信し、VCO 同期モードで動作して出力を同期し、SYSREF リピータ・モードで動作して LMK04832-SP からの制御信号をルーティングして通過させます。LMX2615-SP では、出力クロック位相を定義された位置に揃えるため、SYNC 入力に正のエッジが必要です。この信号は、LMK04832-SP からパルス・モードで、SDCLKout 上で供給されます。LMX から SYSREF を出力するのと同様に、デバイスは SYSREF リピータ・モードで動作し、LMK デバイスから SYSREF_REQ 入力で入力を受け取ります。

2.3.2.3 位相遅延の調整オプション

クロッキングの設計は、デバイスのクロック間の遅延をコントロールできるよう柔軟に設計します。これによって、SYSREF のセットアップおよびホールド時間を維持し、チャンネル間で一貫した低スキューを実現できます。LMX2615-SP は SYSREF 遅延ステップが 9ps で、デバイス・クロックの遅延を提供するための MASH SEED 機能があります。

DCLK 間の遅延を調整して、レイテンシを決定論的にするには、LMX2615-SP の MASH SEED 機能を使用します。SYSREF クロック信号間にスキューが存在する場合は、SYSREF 遅延を使用して SYSREF を調整し、スキューを最小限に抑えます。

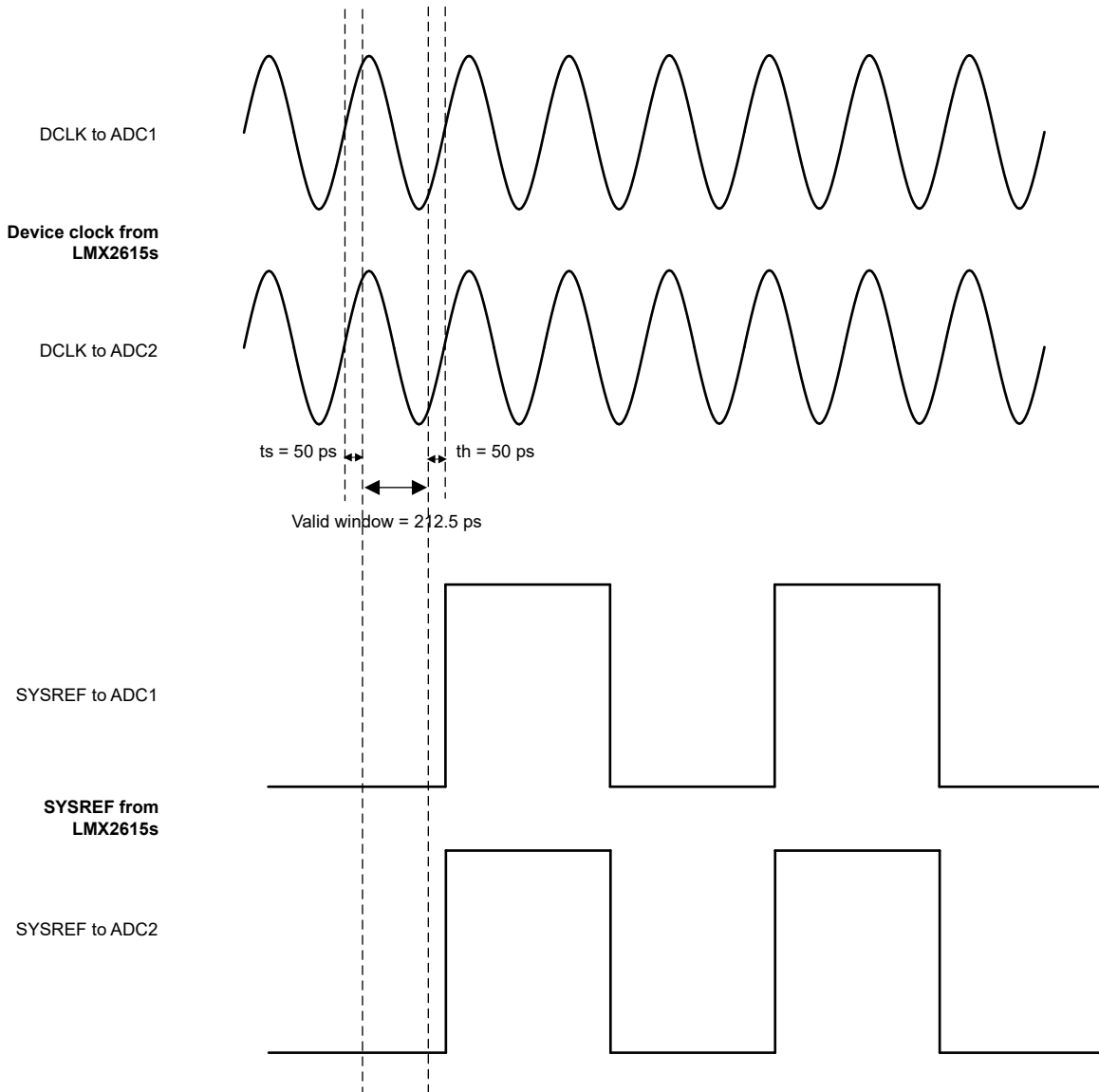


図 2-6. クロックと SYSREF のアライメント

ADC12DJ3200-SP にはアパーチャ遅延 (tad) 機能があり、入力クロックで遅延を提供してスキューを調整することもできますが、この設計では入力クロック自体によって遅延が調整されます。

2.3.2.4 位相ノイズの最適化

アナログ信号チェーンの性能は、クロックの位相ノイズとジッタ性能に依存し、これらはデータ・コンバータの SNR、ENOB、SFDR に影響する可能性があります。このため、クロックの位相ノイズを最適化し、ジッタを最小限にします。

LMX2615-SP 最適化ループ・フィルタは、PLLatinum™ シミュレーション・ツールで、位相ノイズを最小化するようにプログラムできます。この設計では、ループ・フィルタは LMX2615-SP EVM コンポーネントと同じ状態に維持されます。

表 2-2. LMX2615-SP の設計パラメータ

パラメータ	値
VCO ゲイン	132MHz/V
ループ帯域幅	285kHz
位相マージン	65°
C1_LF	390nF
C2_LF	68nF
C3_LF	オープン
C4_LF	1.8nF
R2	68Ω
R3_LF	0Ω
R4_LF	18Ω
チャージ・ポンプ・ゲイン	15mA
位相検出器周波数	200MHz
VCO 周波数	15GHz 向けに設計されていますが、全周波数範囲で動作します

ADC の SNR は、外部クロックのジッタと内部 ADC のアパーチャ・ジッタにより低下します。ADC の SNR は、合計ジッタにより制限され、次のように計算されます。

$$\text{SNR(ADC)} = -20 \times \log(2 \times \pi \times f_{\text{input}} \times t_{\text{jitter}}) \text{dBc} \quad (1)$$

クロッキング性能に対する ADC12DJ3200-SP の SNR 性能を計算するため、テキサス・インスツルメンツは ADC 用のジッタおよび SNR カリキュレータを搭載したツールを提供しています (JITTER-SNR-CALC)。図 2-7 は、計算結果を含むスクリーンショットです。

PLL					
Part#	Device Parameters				Notes
	LMX2594	LMX2615-SP		Select from list or input values	
Fo	3200	MHz			Will be set by ADC
Fpfd	100	MHz			
NormInBand	-231	dBc/Hz	-231	MHz	
NosieFloor	-160	dBc/Hz		dBc/Hz	
Loop BW	1	MHz		MHz	
Fmin	10	kHz		kHz	Min integration limit
Fmax	3200	MHz		GHz	Max integration limit
PNrminInBand	-61	dBc			[Fmin, BW]
PNrmsFloor	-65	dBc			[BW, Fmax]
PNrmsSSB	-59	dBc			Single Side Band
PNrms	-56	dBc			Dual Side band
Φrms	1.5	mrاد			
Tjclk	75	fs			
Note: Bold is calculated value!					

ADC					
Part#	Device Parameters				Notes
	ADC12DJ3200	Custom ADC Inputs		Select from list or input values	
# of bit	12				
Fclk	3200	MHz	3200	MHz	Sample rate
FS	0.8	Vpp		Vpp	
Back-off	1	dB		dB	
Dec	1		1		Decimation
DR	3200	Msp/s			Data rate
SNR	56	dBFS		dBFS	
THD	80	dBFS		dBFS	
SINAD	56.0	dBFS			SNR+THD
ENOB	9.0				
Fin	4997	MHz	4997	MHz	
TJa	50	fs		fs	
TJ	90	fs			TJa+Tjclk
SNR*	50.5	dBFS			
SINAD*	50.5	dBFS			
ENOB*	8.1				

図 2-7. ジッタから SNR へのツールのスクリーンショット

関連する SNR プロットを、[図 2-8](#) と [図 2-9](#) に示します。

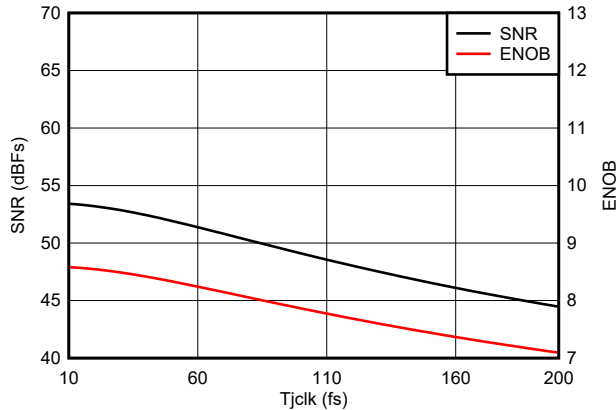


図 2-8. SNR と T_{jclk} との関係

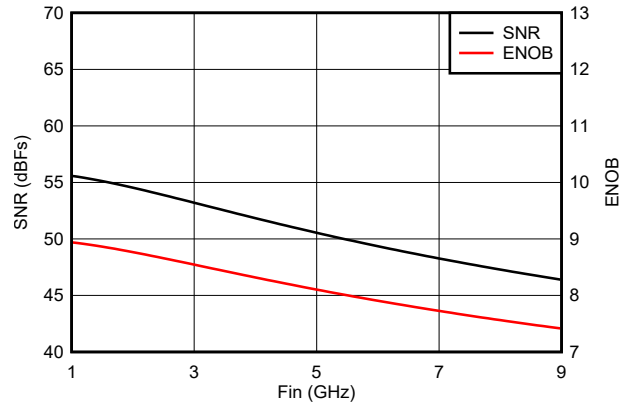


図 2-9. SNR と F_{in} との関係

2.3.2.5 シングル・イベント効果 (SEE) の検討事項

このリファレンス・デザインでは、ADC12DJ3200QML-SP RF サンプルング ADC が、クロック・ツリーを供給する対象のデータ・コンバータです。シングル・イベント・アップセット (SEU) の詳細と、SEU の処理方法については、ADC12DJ3200QML-SP データシート:『[ADC12DJ3200QML-SP 6.4GSPS シングル・チャンネルまたは 3.2GSPS デュアル・チャンネル、12 ビット、RF サンプルング A/D コンバータ \(ADC\)](#)』を参照してください。

JESD204B では、SYSREF を連続 (周期とも呼ばれます)、ギャップ付き周期、ワンショット信号と、さまざまなモードに構成できることが説明されています。連続モードでは連続的な出力を行えます。このモードでは SYSREF からデバイス・クロックへのクロストークが発生することから、設計で避ける必要がある場合もありますただし、ADC12DJ3200QML-SP のデータシートでは、常に連続 SYSREF を使用して、SEU が発生する可能性がある内部クロックやカウンタを迅速に回復できるようにすることを推奨しています。

この時間は、SYSREF からデバイス・クロックへのクロストークの懸念を最小限に抑えるため、カップリングによるスプリアス性能の劣化の制限をできるだけ長く、しかしシステム要件内で回復するのに十分なだけ短くします。SYSREF は、SEU の後にトランスミッタ (ADC12DJ3200QML-SP) とレシーバ (FPGA または ASIC) の両方を回復するのに役立ちます。その他の推奨事項については、ADC12DJ3200QML-SP データシートの「シングル・イベント・アップセット (SEU)」セクションを参照してください。

この設計では、クロック・ツリーのコア (LMK04832-SP、LMX2615-SP) とターゲットのデータ・コンバータ (ADC12DJ3200QML-SP) には、 $LET \geq 80 \text{MeVcm}^2/\text{mg}$ までシングル・イベント機能割り込み (SEFI) がありません。これらのデバイスの放射線性能の要約を、[表 2-3](#) に示します。

表 2-3. 放射線性能の要約

パラメータ	ADC12DJ3200QML-SP	LMK04832-SP	LMX2615-SP	CDCLVP111-SP
TID LDR 特性 [krad(Si)]	該当なし	100	100	75
TID HDR 特性 [krad(Si)]	300	100	100	100
TID RLAT/RHA = [krad(Si)]	300	100	100	—
SEL 耐性 [MeV·cm ² /mg]	120	120	120	69.2
SEFI 耐性 [MeV·cm ² /mg]	120	120	120 (ピン・モード)	—
SEE 特性 [MeV·cm ² /mg]	120	120	120	65.3

デバイス固有の詳細情報については、TI.com のプロダクト・フォルダで一般に利用可能なシングル・イベント効果 (SEE) レポートを参照してください。

2.3.2.6 MIMO システム用クロック・ツリーの拡張

このリファレンス・デザインでは、2 つの ADC12DJ3200QML-SP RF サンプルング ADC にクロッキングと同期を行うことを中心としていますが、ほとんどのシステムでは通常、多くの ADC と DAC を組み合わせて複数の高速データ・コンバータに対してクロッキングと同期を行う必要があります。

2 チャネルを超えるマルチチャネル・システムのクロック・ツリーをスケールアップするには、[図 2-10](#) に示すように、ツリー構成やデジター・チェーン構成など、さまざまなクロック・アーキテクチャを検討してください。

デジター・チェーン構成では、最初にクロッキング・ボードが外部クロック・ソースから高周波のリファレンス信号を受信し、同期された高周波クロックを生成してから、次のクロッキング・ボードに同じリファレンス信号を SYNC 信号とともに分配して、2 つのクロッキング・ボードを同期します。逆に、クロック・ツリー構成では、1 つの 1 次基板 (例: LMK04832EVM-CVAL) が外部クロック・ソースから高周波のリファレンス信号を受信します。このリファレンス信号は、2 次側デバイスを同期するための SYNC 信号とともに、2 次側ボード (クロッキング・ボード) に分配されます。

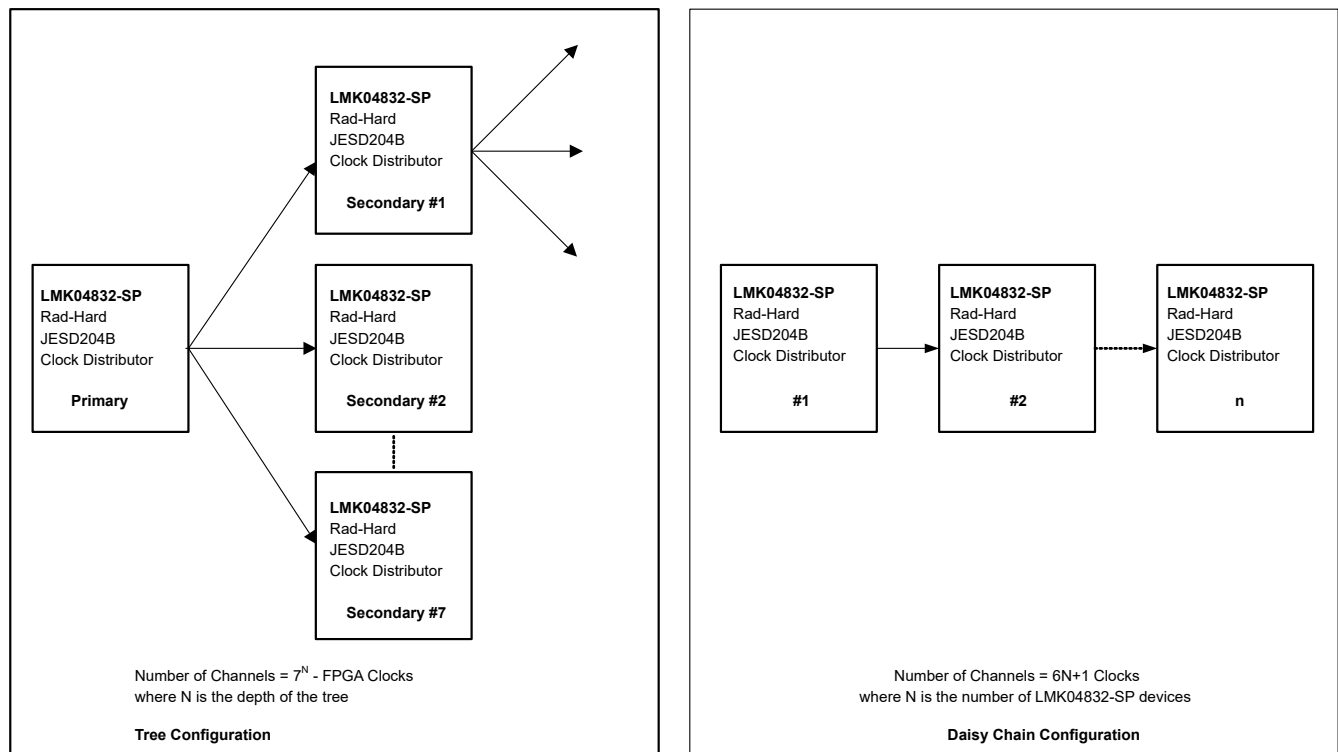


図 2-10. クロック分配構成の例

これらの構成の例については、次に示す産業用グレードのリファレンス・デザインを参照してください。

- デジター・チェーン: レーダーおよび 5G ワイヤレス・テスト向け、チャンネル数の多い JESD204B デジターチェーン・クロックのリファレンス・デザイン (TIDA-01024)
- ツリー: レーダーおよび 5G ワイヤレス・テスト向け、チャンネル数の多い JESD204B クロック生成のリファレンス・デザイン (TIDA-01023)

2.3.3 パワー・マネージメント

リファレンス・デザインの一部として、主に放射線強化された電源クロック・ツリーを開発し、クロック・ツリーの主要な要素に電力を供給しました。さらに、このツリーには産業用グレードのデバイスを使用してプログラミング・インターフェイスに電力を供給する部分がありますが、これは放射線性能の保証を暗示するものではありません。以下のセクションでは、製品の選択と設計の選択肢について説明します。

2.3.3.1 電源設計の検討事項

低ノイズ電源は、アナログ・フロント・エンドの性能に重要です。電源からアナログ・フロント・エンドへのノイズ結合パスを、[図 2-11](#) に示します。[図 2-11](#) には、電源ノイズがデータ・コンバータの出力スペクトルに及ぼす影響も示されています。以前に説明したように、データ・コンバータのスペクトルには、電源ノイズに起因する 2 つの成分があります。

- 直結周波数成分
- 変調周波数成分

堅牢な設計を行うには、次の点を考慮します。

- ソースでノイズを低減する
- 結合パスを除去または最小化する
- ノイズに対する負荷の感受性を下げる

アナログ・フロント・エンドでは、データ・コンバータのクロック電源レールとアナログ電源レールに、低ノイズの電源が必要です。DC/DC コンバータにポスト・レギュレータを使用する、DC/DC コンバータの出力を適切にフィルタリングするなど、必要な予防措置を講じてください。

DC/DC コンバータの後に LDO が続く場合、サイズと熱性能の点でトレードオフがあります。複数のスイッチ・モード電源が同期している場合、これによってビート周波数と EMI を低減できます。

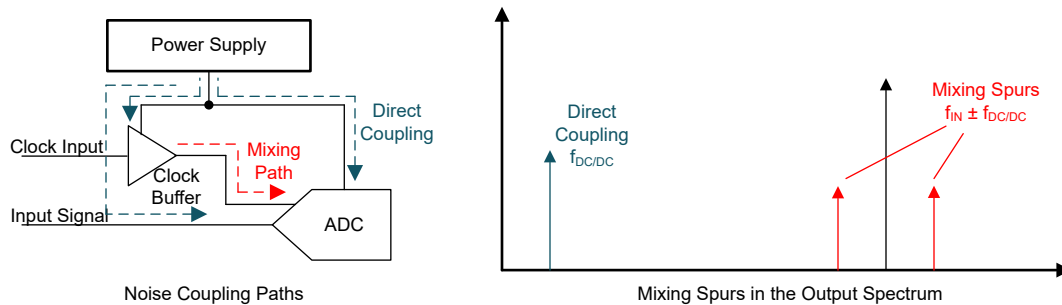


図 2-11. ノイズ結合

2.3.3.2 放射線耐性強化 (Rad-Hard) 電源ツリー

このリファレンス・デザインで使用されるクロッキング・デバイスは、主に 3.3V の電源電圧を必要とします。低ノイズの 3.3V 電源を供給することが、電源ツリーの主な目的です ([図 2-12](#) を参照)。さらに、電源は GEO 軌道における何年ものミッションについて、一般的な放射線耐性の要件を満たす必要があります。この具体的なケースでは、すべての電源ツリー IC が放射線耐性を持ち、次の放射線仕様を満たすか、それを上回っています。

- 総照射線量 (TID) 特性 = 100krad (Si)
- 放射線耐性保証 (RHA) / RLAT = 100krad (Si)
- 中性子変位損傷 (NDD) 特性 = 1×10^{13} n/cm² (1MeV 相当)
- LET = 75MeV/cm²/mg までの SEL、SEB、SEGR 耐性
- LET = 75MeV/cm²/mg までの SET、SEFI 特性を規定

注

このリファレンス・デザインは、適切な半導体デバイスを選択しているため、ディスクリート部品 (抵抗、コンデンサ、ダイオード、インダクタなど) は、宇宙認定に関係なく使用されます。

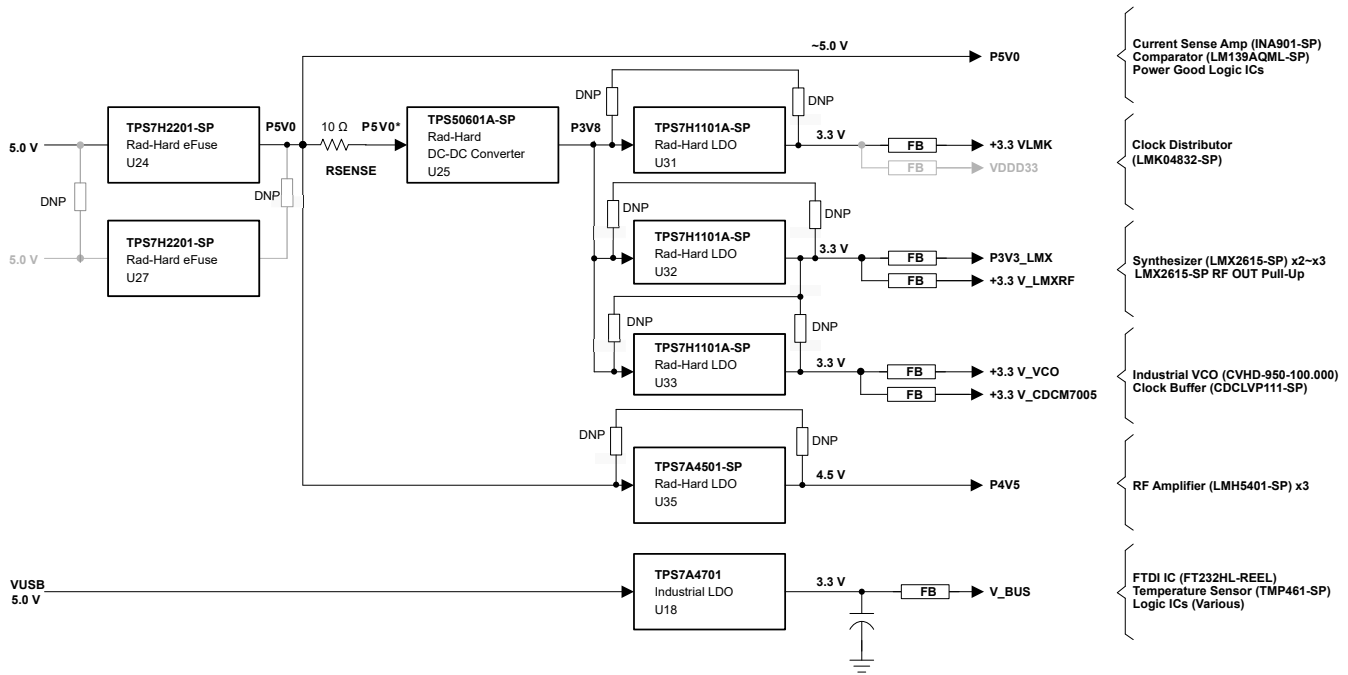


図 2-12. 電源ツリー

電源ツリーを、図 2-12 に示します。この電源ツリーは、左から右の順に、3 種類の放射線耐性強化された電源デバイスを示しています。最初に、TPS7H2201-SP eFuse には、過電流および過電圧保護機能を提供するオプションが内蔵されています。次に、TPS50601A-SP DC/DC 降圧コンバータは 5.0V から 3.8V への効率的な変換を行います。これにより、3.3V LDO で 500mV のヘッドルームが確保され、優れた AC 性能を発揮できます。さらに、TPS7H1101A-SP は 3.8V から 3.3V への変換を行います。差動アンプの 4.5V 電源に対応する LDO である TPS7A4501 は 5V 電源で直接動作します。この低い電流では、スイッチ・モード・コンバータを使用する必要がないためです。

2.3.3.2.1 放射線耐性保証 (RHA) 負荷スイッチ

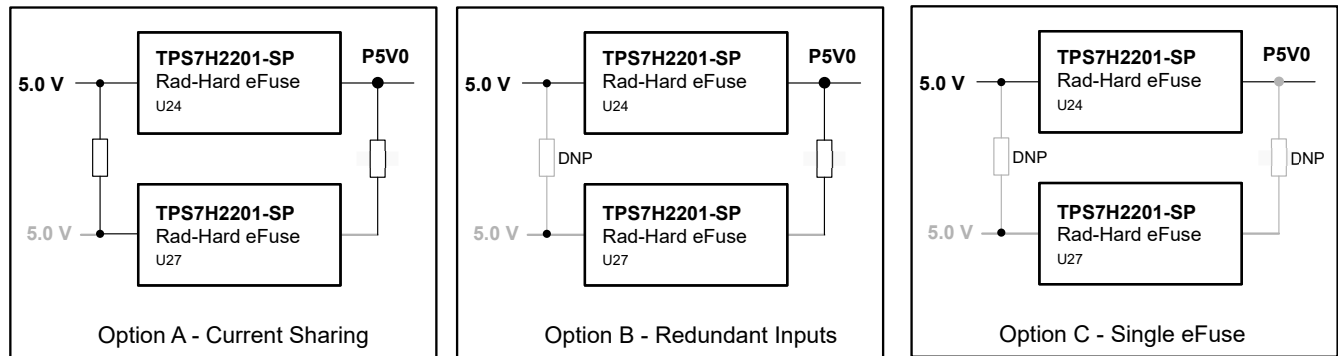


図 2-13. eFuse の構成オプション

eFuse の設計仕様:

- 冗長化アーキテクチャ
- $V_{IN} = 5V$
- $I_{outmax} = 6A$

$$R_{IL} (\Omega) = 45500 / (I_L (A)) = 7.58k\Omega, \text{ 標準値 } 7.59k\Omega$$

10% の電源電圧降下 (4.5V) を考慮した計算も行っています。以下の計算は、 R_{TOP} が $100k\Omega$ のとき、 R_{BOTTOM} が $11.66k\Omega$ で、標準値が $11.5k\Omega$ に変更されていることを示しています。

$$R_{BOT_EN} (k\Omega) \geq 47 / (V_{UVLO_TRIP} - 0.47) \tag{2}$$

ここで

- $V_{UVLO_TRIP} = 4.5V$ なので、 $R_{BOT_EN} = 11.66k\Omega$

R_{BOT_EN} に選択される標準値 = $11.5k\Omega$

$$V_{IHEN} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \geq V_{IN} \tag{3}$$

ここで

- $V_{IHEN} = 0.61V$ 、 $R_{EN_TOP} = 100k\Omega$ 、 $R_{EN_BOT} = 11.5k\Omega$

結果: $5.914V \geq V_{IN}$

デバイスの過電圧保護 (OVP) 機能は、OVP ピンに接続された V_{IN} からの分圧抵抗を使用して構成できます。OVP のトリップ電圧は、絶対最大 V_{IN} 電圧よりも低くする必要があります。OVP ピンの電圧が V_{OVPR} を超えると、OVP 機能がトリップされ、FET がオフになり、 V_{OVPF} より低い電圧で FET がオンに維持されます。

$$R_{BOT_EN} (k\Omega) \geq 63 / (V_{OVP_TRIP} - 0.63) \tag{4}$$

ここで

- $V_{OVP_TRIP} = 6.5V$ なので、 $R_{BOT_EN} = 10.7k\Omega$

$$V_{OVPF} \times (R_{EN_TOP} + R_{EN_BOT}) / R_{EN_BOT} \geq V_{IN} \tag{5}$$

ここで

- $V_{OVPF} = 0.5V$ 、 $R_{EN_TOP} = 100k\Omega$ 、 $R_{EN_BOT} = 10.7k\Omega$

結果: $5.17V \geq V_{IN}$

このスイッチは、オン/オフ入力 (EN) により制御されます。

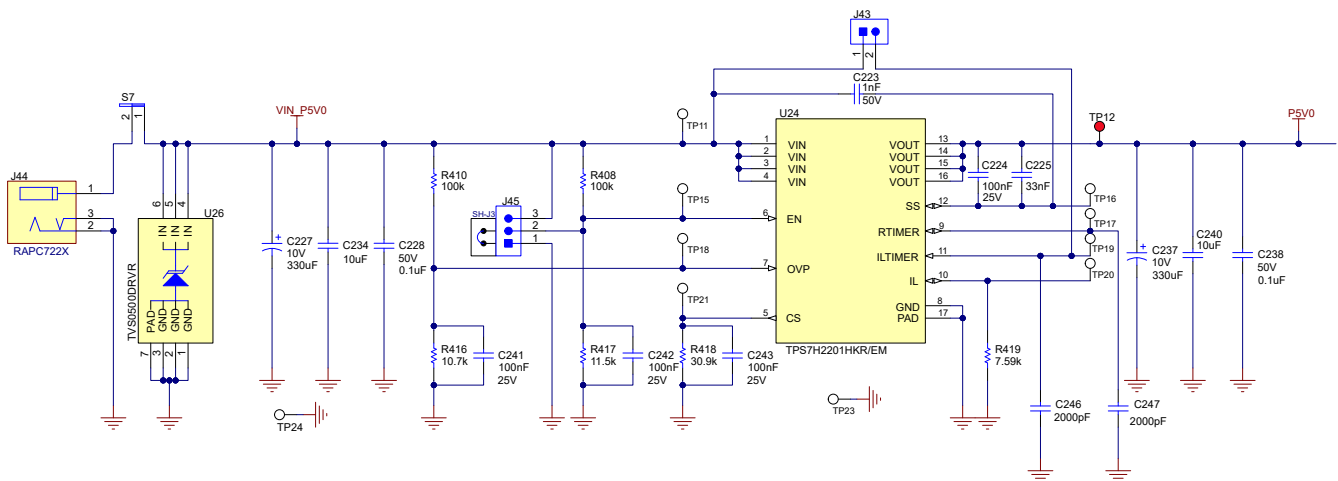


図 2-14. 冗長化 eFuse の 1 つのブランチ

2.3.3.2.2 放射線耐性保証 (RHA) DC/DC 降圧コンバータ

3.3V デバイスすべてに高精度の電力を供給するため、プリレギュレータとして降圧コンバータを使用します。これにより、ドロップ電圧を下げることで LDO の発熱を低減できます。この方法で、低ノイズ電源、降圧コンバータと LDO のカスケード接続、または一連の LDO に対しての、大幅にノイズが低減されたクロック生成の要求を満たすことができます。

コンバータの設計仕様:

- $V_{IN} = 5V$
- $V_{OUT} = 3.8V$
- $I_{outmax} = 4A$
- $F_{SW} = 500kHz$
- $R_{TOP} = 10k\Omega$, $R_{BOT} = 2.64k\Omega$

$$R_{BOTTOM} = V_{REF} / (V_{OUT} - V_{REF}) \times R_{TOP} \quad (6)$$

ここで

- $V_{REF} = 0.804V$
- $V_{OUT} = 3.8V$
- $R_{TOP} = 10k\Omega$
- $R_{BOTTOM} = 2.683k\Omega$
- 標準値 = 2.64k Ω

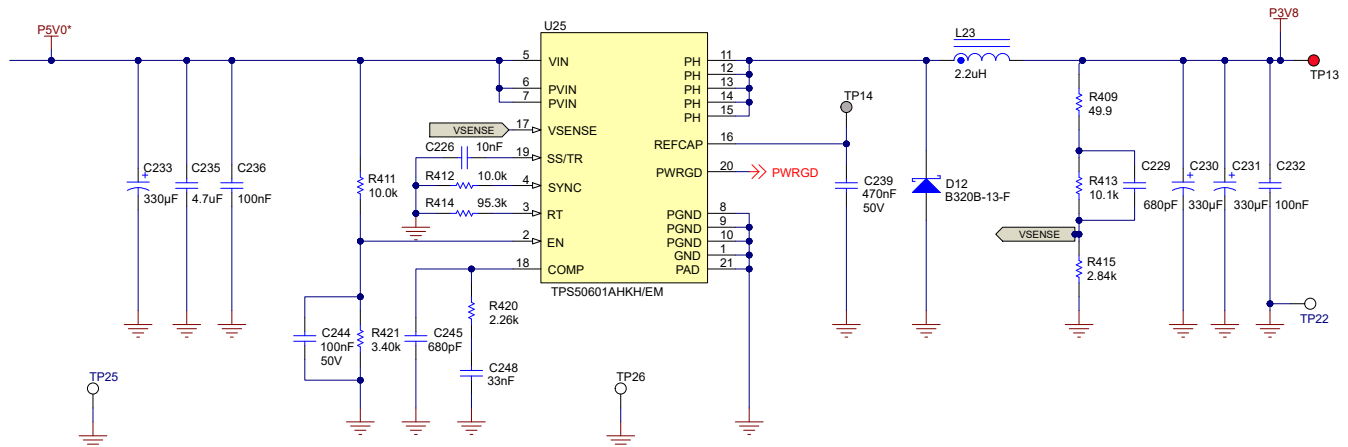


図 2-15. 降圧プリレギュレータ

補償値は WEBENCH® Power Designer で決定され、TINA-TI の平均モデルによるシミュレーションで検証されたものです。

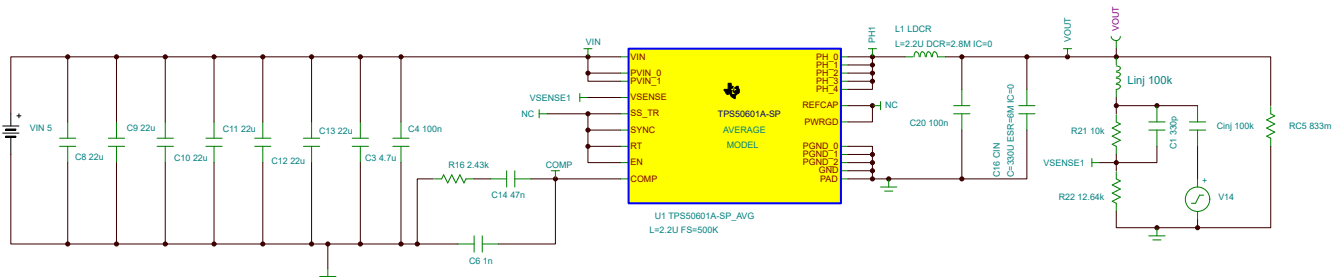


図 2-16. TPS50601A 降圧レギュレータ用のシミュレーション・ベンチ

図 2-17 は、シミュレーションから得られた位相マージンが 57.86° であることを示しています。

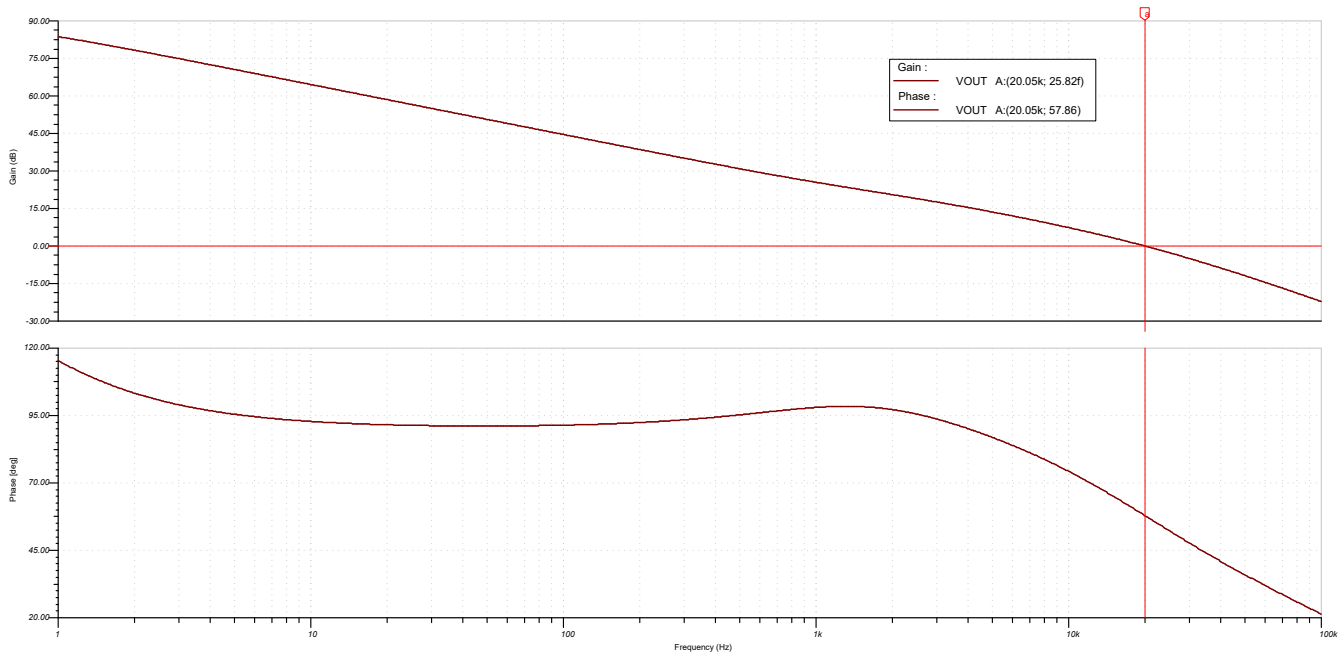


図 2-17. 選択したパッシブ部品を使用した TPS50601A の位相とゲイン

TPS50601A-SP 放射線耐性が強化された 3V~7V 入力、6A の同期整流降圧コンバータのデータシートの、周波数補償用の小信号モデルについて解説しているセクションの式を使用して、目的の仕様に応じたデバイスのループ補償成分の値を再計算します。

2.3.3.2.3 放射線耐性保証 (RHA) 低ドロップアウト (LDO) レギュレータ

RHA LDO のポートフォリオには、このアプリケーションに適した設計のデバイスとして、TPS7A4501-SP と TPS7H1101-SP の 2 つがあります。

この 2 つのデバイスのうち、TPS7A4501-SP は、電流能力が 0.75A と小さい代わりに電源リップル除去性能が向上しています。このデザインでは、低消費電力でクリーンな電源を必要とするデバイス用のレギュレータとして TPS7A4501-SP を使用します。LMH5401-SP 完全差動アンプは、このパスを経由して電力を受け、クロック・バッファとして使用されます。クリーンな電源により、クロックの追加ジッタが低減されます。

TPS7H1101-SP は、クロック・シンセサイザ LMX2615-SP の 3.3V レール、中央クロック分配、ジッタ・クリーナ回路 LMK04832-SP、CDCLVP111-SP、およびクロック終端抵抗ネットワークに電力を供給します。3A の電流供給を選択したとき、必要な電流の量は TPS7A4501-SP および TPS7H1101-SP の能力を超えています。両方の LDO の計算については、セクション 2.3.3.2.3.1 およびセクション 2.3.3.2.3.2 を参照してください。

2.3.3.2.3.1 3.3V リニア・レギュレータ

LDO の設計仕様:

- $V_{IN} = 3.8V$
- $V_{OUT} = 3.3V$
- $I_{outmax} = 2A$
- $R_{TOP} = 51.1k\Omega$, $R_{BOT} = 11.5k\Omega$

$$V_{OUT} = ((R_{TOP} + R_{BOTTOM}) \times V_{FB}) / R_{BOTTOM} \quad (7)$$

ここで

- $V_{FB} = 0.605V$, $V_{OUT} = 3.3V$, $R_{TOP} = 51.1k\Omega$

$$R_{BOTTOM} = R_{TOP} / ((V_{OUT} / V_{FB} - 1)) = 11.47k\Omega, \text{ 標準値} = 11.5k\Omega$$

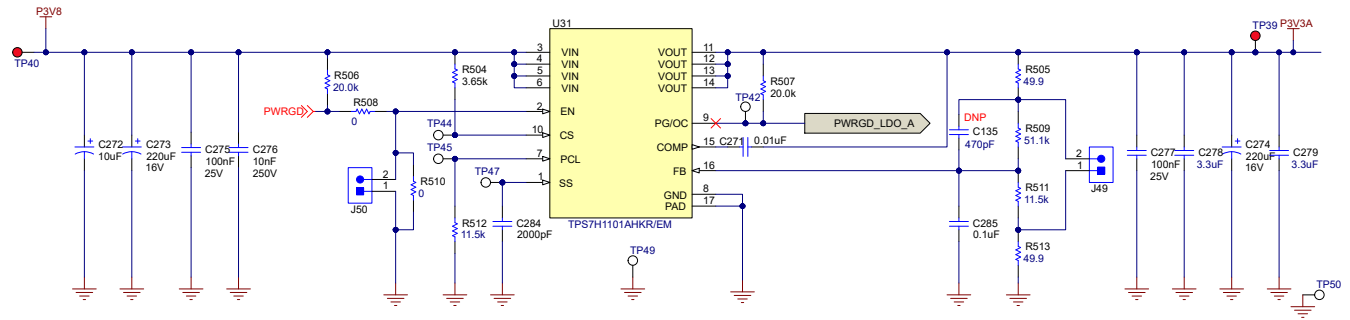


図 2-18. TPS7H1101 を使用した 3.3V 用 3A LDO

LDO のイネーブル・ピンは、電源シーケンス用に TPS50601A-SP パワー・グッド・ピンに接続されています。LDO の出力電流は 1A を上回るため、デバイスのスペクトル・ノイズを比較的 low に保つために、最小ドロップアウト電圧は 500mV に決められています。

2.3.3.2.3.2 4.5V リニア・レギュレータ

LDO の設計仕様:

- $V_{IN} = 5V$
- $V_{OUT} = 4.5V$
- $I_{outmax} = 0.75A$
- $R_{TOP} = 8.71k\Omega$, $R_{BOT} = 3.25k\Omega$

$$V_{OUT} = ((R_{TOP} + R_{BOTTOM}) \times V_{FB}) / R_{BOTTOM} \quad (8)$$

ここで

- $V_{FB} = 1.21V$
- $V_{out} = 4.5V$
- $R_{BOT} = 3.25k\Omega$

$R_{TOP} = V_{out} / V_{FB} R_{BOT} - R_{BOT} = 8.84k\Omega$, R547 の値 49.9 Ω を減算した後で、標準値 = 8.66k Ω 。

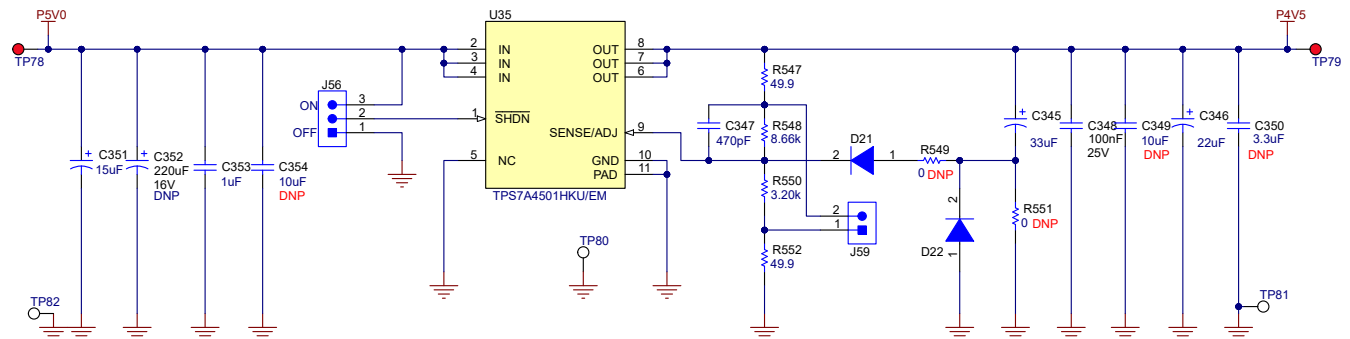


図 2-19. TPS7A4501 を使用した 4.5V 電源用の 0.75A LDO

2.3.3.3 過電流検出回路

アプリケーションに必要な合計電流は可変で、構成によって異なります。誤構成によるブラウンアウトの可能性を予測するため、電流検出アンプと過電流コンパレータが取り付けられています。INA901-SP は、ハイサイド (正のレール) シャント抵抗を検出し、電流を電圧に変換してさらに分析を行うように設計されています。このデバイスは、TP37 でタップできます。感度は、1V / システム全体の電流のアンペア数です。

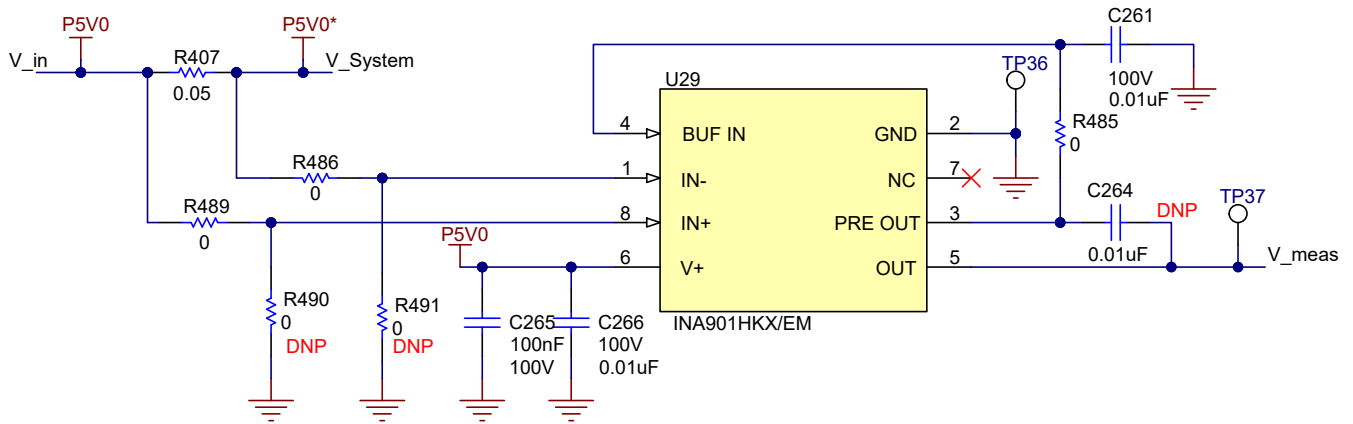


図 2-20. 電源電流の検出

3 ハードウェアとソフトウェアの使用開始

3.1 ハードウェアの構成

3.1.1 クロッキング・ボードのセットアップ

マルチチャネル TIDA-010191 クロッキング・ボードを、[図 3-1](#) に示します。

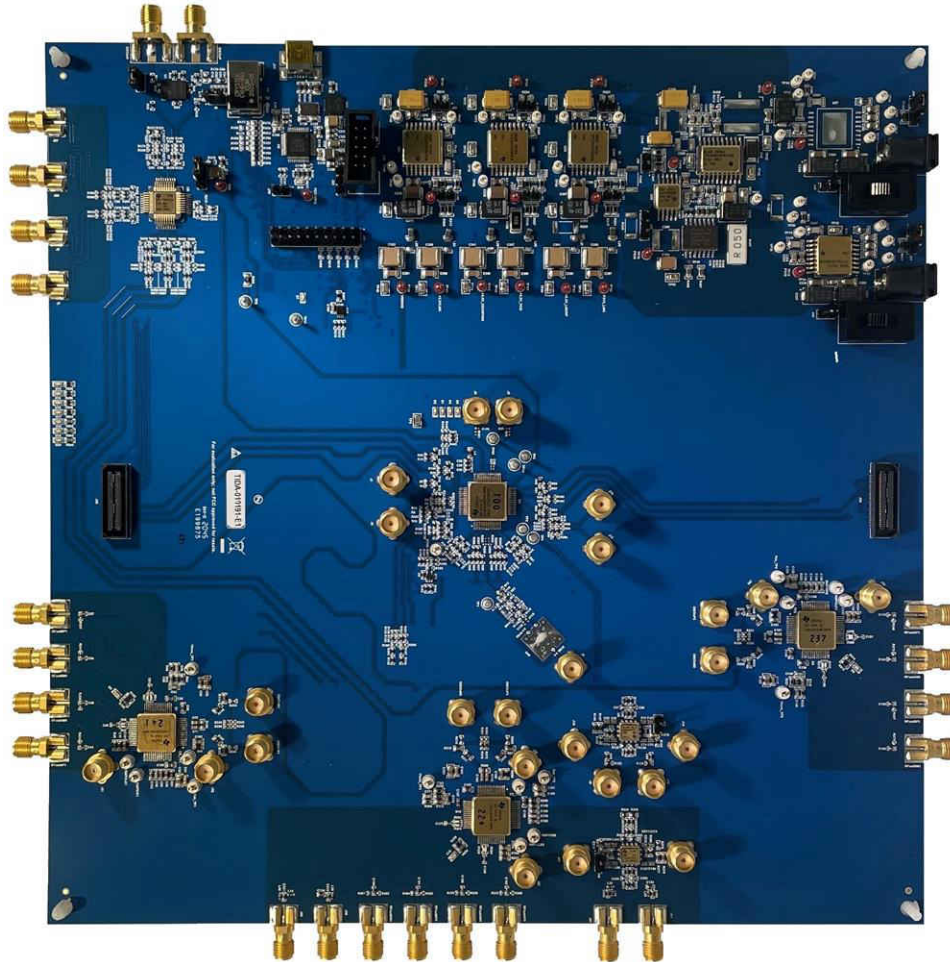


図 3-1. TIDA-010191 のクロッキング・ボード

3.1.1.1 電源

このボードには、+5V 電源オプションが 2 つあります。電源コネクタ J44 は 1 次電源入力、J47 は冗長電源入力です。現行のボードには冗長性が組み込まれておらず、U27 (2 番目の eFuse) は実装されていません。1 次側コネクタ J44 に電源を挿入する必要があります。2A の電流制限で電源を +5V に設定します。

3.1.1.2 入力リファレンス信号

入力リファレンス信号をセットアップするときは、次のオプションを使用します。

- オプション 1: オンボード・リファレンス LMK61E2 (U2) はジャンパ J16 を使用して起動され、156MHz の LVDS 出力を生成するよう工場出荷時にプログラムされています。U2 は、I2C インターフェイスを使用して異なるクロック周波数を生成するようにプログラムできます。クロッキング・ボードには CDCLVP111-SP クロック・バッファ (U9) が搭載されており、U2 または外部リファレンス Y1 からのリファレンス入力を選択して、ボード上のクロッキング・デバイスに分配します。U9 は、ジャンパ J30 のピン 2~3 にある短いジャンパを使用して、LMK61E2 リファレンスを選択できます。J8 の短いジャンパを取り除いて、電源を Y1 と絶縁します。
- オプション 2: 外部リファレンス信号を OSCin_P および OSCin_N コネクタに接続します。外部リファレンスを接続するとき、J8 の短いジャンパを取り除いて Y1 の電源をオフにし、C87 を取り外します。外部リファレンス・クロックを使用す

る場合、J30 が U13 リファレンス・クロック・バッファをイネーブルにする必要があるので、J30 のピン 1~2 に短いジャンパを配置します。同時に、ジャンパ J16 を取り除いて、電源を U2 と絶縁します。

- オプション 3: ジャンパ J8 を使用してオンボードの VCXO Y1 に電源を投入し、R39 を取り除いて OSCIN_N コネクタに 50Ω を接続することで、100MHz の信号をクロック・バッファ (U9) の CLK0_P ピン入力に出力します。J30 のピン 1~2 に短いジャンパを配置し、クロック供給デバイスにリファレンスを分配します。同時に、ジャンパ J16 を取り除いて、電源を U2 と絶縁します。
- オプション 4: LMK04832-SP がシングル PLL モード (PLL2) で動作する場合は、上記のオプションのいずれかを使用します。LMK04832-SP が分配モードまたはデュアル PLL モードで動作する場合は、動作入力周波数に応じて外部リファレンスを J6、J10、J5 のいずれかに接続します。次に、LMH5401-SP ベースのアクティブ・バラン (U6) とオンボードのパッシブ・バラン (U40) のどちらかを選択します。最後に、C79 と C80、または C38 と C3 を配置して、U1 の CLKin1 ピンへのパスを選択します。分配モードで動作するときは、ジャンパ J8 を取り除いて Y1 の電源をオフにします。分配モードで、入力周波数が 3GHz を超えるときは、J5 コネクタを経由する外部クロック入力を LMK04832-SP の Fin0 ピンに供給し、R553 と R554 を経由して外部クロックを接続し、R555 と R556 を取り除くことができます。

3.1.1.3 入力同期信号

LMK04832-SP 分割器をリセットするには、外部同期信号を外部の J2 および J3 コネクタに接続します。LMK04832-SP の PLL1 の追加リファレンスとして、同じ入力を使用できます。

3.1.1.4 出力信号

次の一覧は、出力信号コネクタについての説明です。

- RFoutAP1、RFoutAM1、RFoutAP2、RFoutAM2 の各コネクタは DCLK を生成し、位相ノイズ測定のため位相ノイズ・アナライザに接続されます。また、ADC 評価基板に外部クロックとして接続され、SNR を測定します
- RFoutBP1、RFoutBM1、RFoutBP2、RFoutBM2 の各コネクタは、ADC EVM との低周波数 SYSREF 信号インターフェイスを生成します
- コネクタ J32 および J33 は、2 つの TSW14J57 キャプチャ・カード用の FPGA CLK と SYSREF を生成します

3.1.1.5 プログラミング・インターフェイス

USB ミニ・ケーブルをオンボードの USB コネクタ J17 に接続し、PC をテストして、TIDA-01019x ソフトウェア・グラフィカル・ユーザー・インターフェイス (GUI) を使用して TIDA-010191 クロック・ボード・デバイスをプログラムします。

3.1.1.6 FMC+ アダプタ・ボードのセットアップ

FMC+ アダプタ・ボードは、ADC12DJ3200EVMCVAL EVM や TSW14J57EVM と接続して、データレーンを通します。また、TIDA-010191 クロッキング・ボードまたは ADC12DJ3200EVMCVAL EVM から FPGA クロック、FPGA SYSREF、SYNC を取得するための接続を備えています。図 3-2 の回路図に従って、クロッキング・ボードから FPGA クロックと SYSREF を接続します。

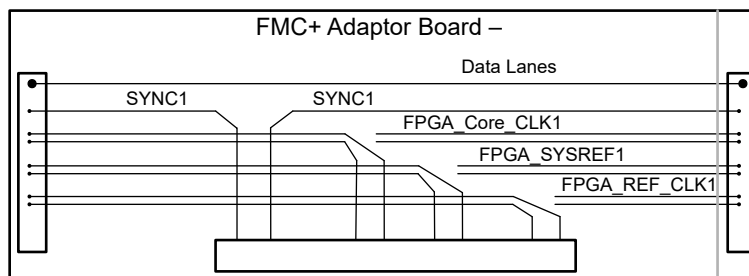


図 3-2. FMC アダプタ

3.1.1.7 ADC12DJ3200 EVM のセットアップ

ADC12DJ3200EVMCVAL ハードウェアのセットアップ手順については、ADC12DJ3200EVMCVAL 評価基板のユーザー・ガイドを参照してください。

ADC12DJ3200EVMCVAL は、ADC へのクロック供給を内部で行うか、外部で行うかを選択できます。DEVCLK の選択は、共有パッド上のコンデンサの配置に基づいて行われます。外部の DEVCLK を使用するには、C49 と C52 を接続

し、C50 と C51 を取り除きます。外部の SYSREF と ADC を接続するには、R67 を取り除き、R70 を接続して、TIDA-010191 クロック・ボードからコネクタ J22 に SYSREF を供給します。

3.1.1.8 TSW14J57EVM のセットアップ

TSW14J57 EVM ハードウェアのセットアップ手順については、『[TSW14J57 JESD204B 高速データ・キャプチャおよびパターン・ジェネレータ・カード](#)』ユーザー・ガイドを参照してください。

3.1.1.9 マルチチャンネル同期のセットアップ

マルチチャンネル同期のセットアップを[図 3-3](#) に示します。ここで、TIDA-010191 クロック・ボードは FMC+ アダプタ経由で 2 つの ADC12DJ3200EVMCVAL と 2 つの TSW14J57EVM に接続されます。このセットアップでは、相互の接続用に、長さが一致した 3 組のケーブルが必要です。

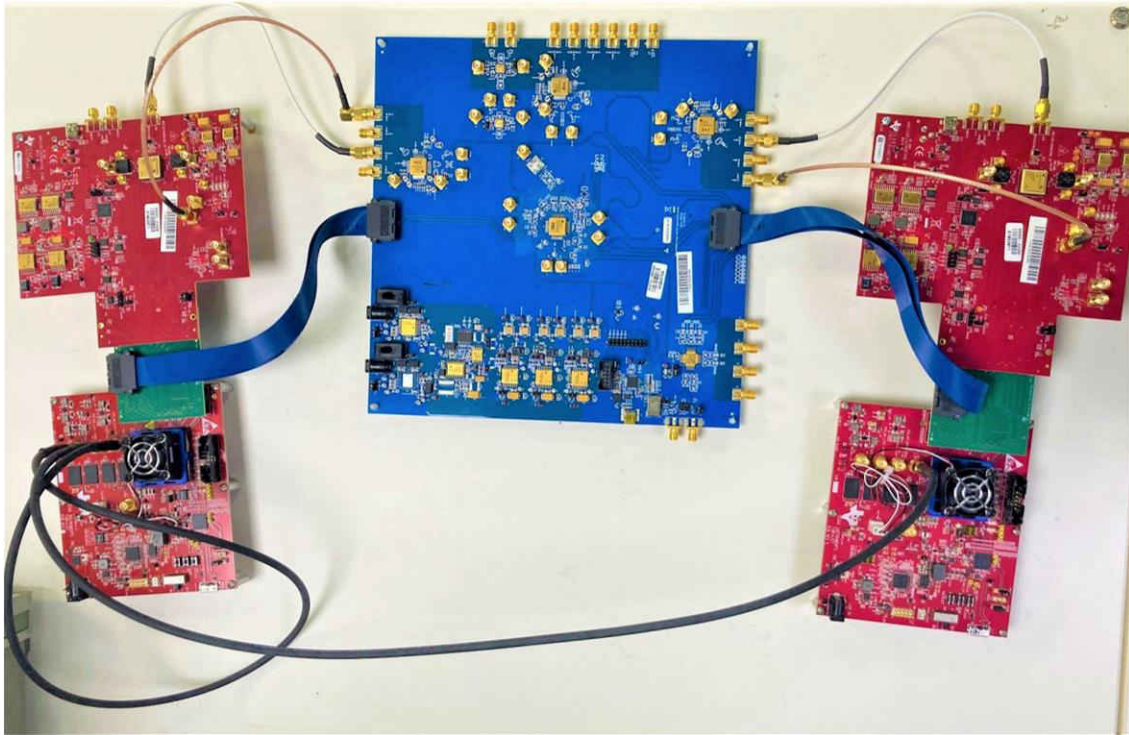


図 3-3. セットアップの接続

3.2 ソフトウェア

3.2.1 必要なソフトウェア

このリファレンス・デザインは、次のソフトウェアを使用します。

- HSDC TIDA01019x GUI (TIDA-010191 クロッキング・ボードをプログラムするため)
- ADC12DJ3200EVM-CVAL GUI (ADC12DJ3200EVMCVAL をプログラムするため)
- HSDC Pro (TSW14J57EVM GUI)

3.2.2 クロッキング・ボードのプログラミング・シーケンス

TIDA-010191 クロッキング・ボードには FTDI デバイスが搭載されており、ソフトウェア GUI をサポートするには、このデバイスを 1 回プログラムする必要があります。FTDI ユーティリティの FT-prog が Web からインストールされます。図 3-4 に示すように、製品の説明は TIDA01019x に設定されています。

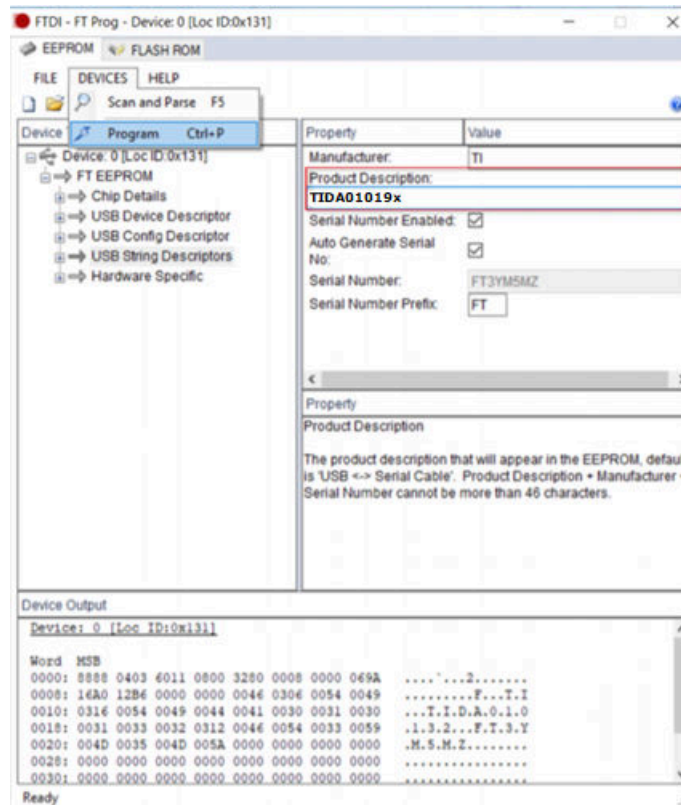


図 3-4. FTDI のセットアップのスクリーンショット

クロッキング・ボード・デバイスは HSDC TIDA01019x GUI によってプログラムされ、[TIDA-010191](#) ツール・ページからダウンロードできます。

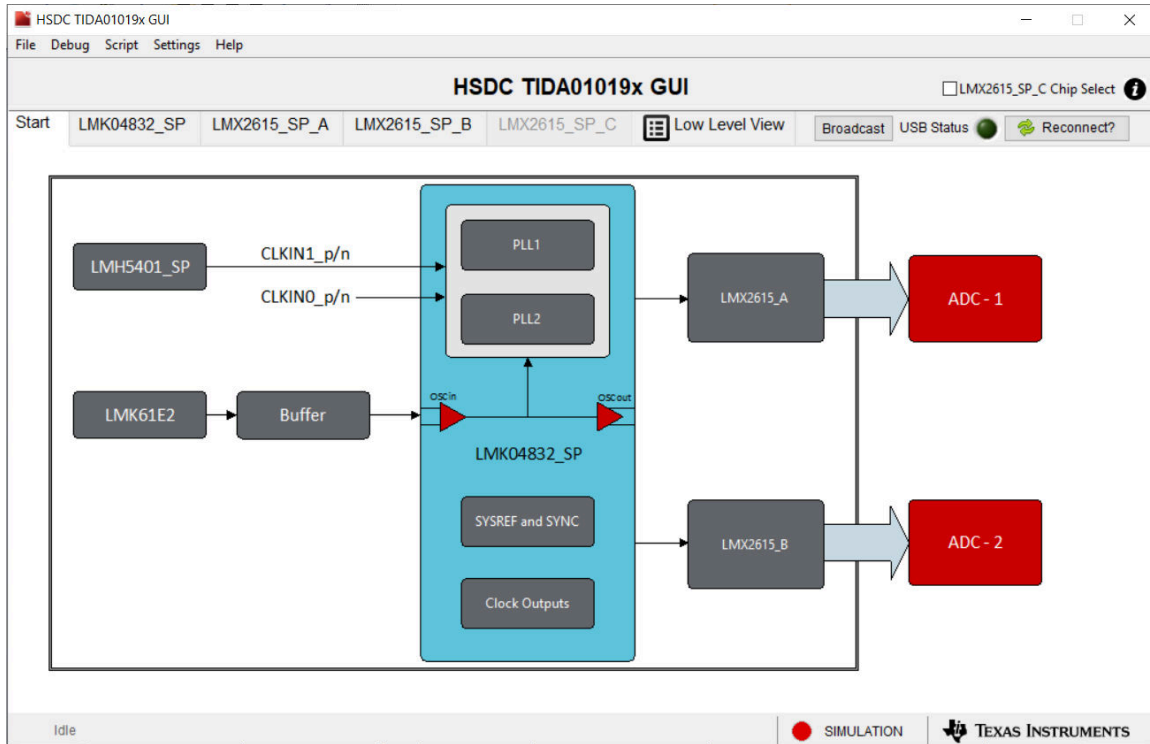


図 3-5. クロック GUI

すべてのデバイスは、低レベル・ビュー・ページに構成ファイルをロードすることで構成されます。

- LMX2615-SP の位相ノイズを測定するには、次の構成を行います。
 - Wenzel のソースから 100MHz の外部リファレンスを提供します
 - LMX2615-SP デバイスは、CDCLVP111-SP 経由でリファレンスを取得します。LMX2615-SP は、位相ノイズを測定するために、100MHz のリファレンス周波数と 200MHz の位相検出器周波数用に、さまざまな周波数でプログラムされています
- クロック・スキューを測定するには、次の構成を行います。
 - LMK61E2 は 100MHz にプログラムされます。低レベル・ビュー・ページでファイルを構成します
 - LMK04832-SP はシングル PLL モードにプログラムされ、100MHz のリファレンスを使用して 20MHz の SYSREF 周波数を生成し、SYSREFREQ 信号と SYNC 信号を両方の LMX2615-SP デバイスに供給します
 - どちらの LMX2615-SP デバイスも、100MHz の位相検出器周波数で共通の構成ファイルを使用してプログラムされ、両方のデバイスから 20MHz の SYSREFout (RFoutB)、リピータ・モードで 3.2GHz の RFoutA および SYSREF を生成します
- ADC12DJ3200-SP の SNR と、複数の ADC 評価基板間のスキューを測定するには、次の構成を行います。
 - LMK61E2 は 100MHz にプログラムされます。低レベル・ビュー・ページでファイルを構成します
 - LMK61E2_100M.cfg
 - LMK61E2_EEPROM_Write.cfg
 - LMK04832-SP はシングル PLL モードにプログラムされ、100MHz のリファレンスを使用して 20MHz の SYSREF 周波数を生成し、SYSREFREQ 信号と SYNC 信号を両方の LMX2615-SP デバイスに供給します。また、このデバイスは、TSW14J57 キャプチャ・カード用の FPGA クロックと FPGA SYSREF も生成します
 - Load LMK04832-SP_160MFCLK_20MSYSREF_100MREF.cfg
 - どちらの LMX2615-SP デバイスも、100MHz の位相検出器周波数で共通の構成ファイルを使用してプログラムされ、両方のデバイスから 20MHz の SYSREFout (RFoutB)、リピータ・モードで 3.2GHz の RFoutA および SYSREF を生成します
 - LMX2615-SP_AB_3.2G_100MREF_SYSREF_Repeater.cfg

3.2.3 ADC12DJ3200CVAL EVM のプログラミング・シーケンス

ADC12DJ3200EVM-CVAL GUI を Ti.com からダウンロードし、ADC12DJ3200EVMCVAL をプログラムします。ADC12DJ3200-SP と LMK04832-SP は、[図 3-6](#) に示すように、ADC12DJ3200EVMCVAL の SNR 測定用に構成されたデバイスです。LMK04832 は、CLKin1 の駆動で SYSREF を直接構成できるよう、分配モードにプログラムされます。ADC12DJ3200EVMCVAL は JMODE3 モードに移行し、デバイスの完全なナイキスト・ゾーンでデュアル・チャンネル・モードで使用されます。この EVM は、外部クロック・ソース選択モードでセットアップされており、サンプリング周波数は 3200MSPS、負荷構成ファイルは ADC12DJ3200EVM-CVAL の低レベル・ビュー・ページにあります。

HSDC TIDA01019x GUI ソフトウェア・フォルダから、ADC12DJ3200EVM-CVAL 同期測定用の更新された ADC12DJ3200EVM-CVAL 構成ファイルを入手します。

C:\Program Files (x86)\Texas Instruments\HSDC TIDA01019x GUI\Configuration Files\ADC12DJ3200EVM-CVAL GUI files

クロッキング・ボードのプログラムの後で ADC EVM を構成するには、次のプログラミング・シーケンスを使用します。

1. Load ADCEVM_LMK04832_CLKin1_SYSREF_bypass.cfg
2. Load ADC12DJxx00_JMODE3_SRC_EN.cfg
3. Load LMK_LMX_SYSREF_OFF.cfg in HSDC TIDA01019x GUI
4. Load ADC12DJxx00_JMODE3_SRC_clear.cfg

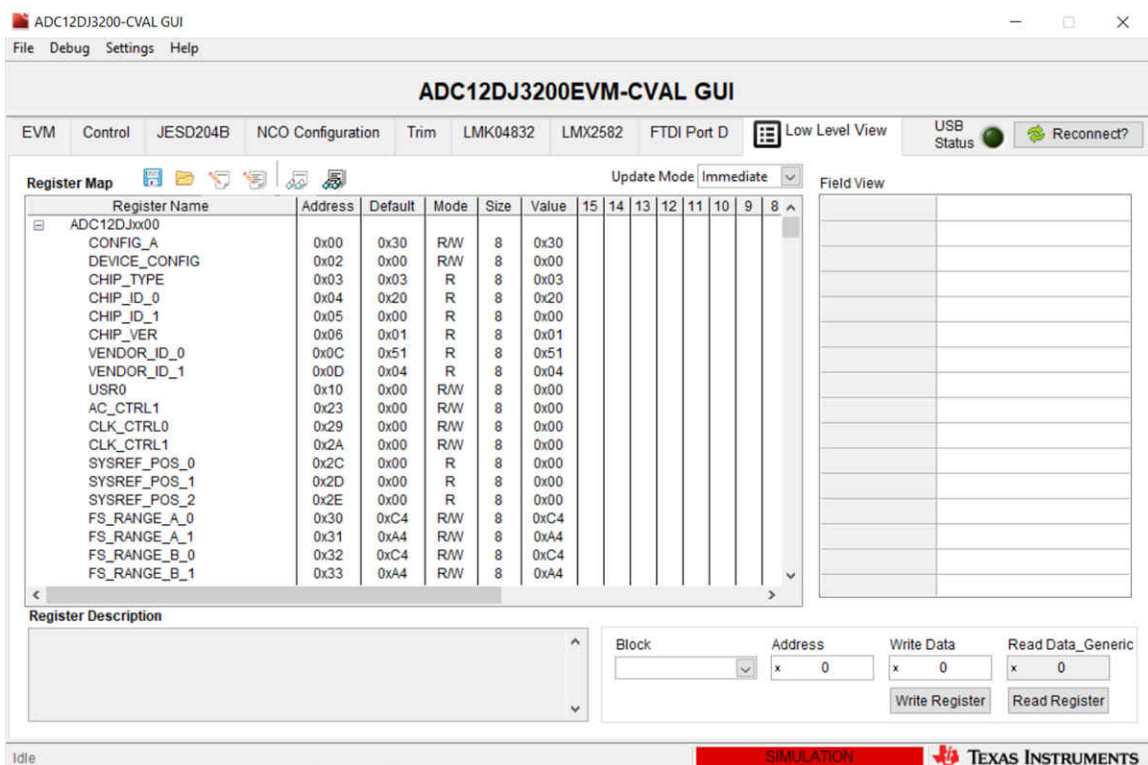


図 3-6. ADC12DJ3200 EVM のプログラミング

3.2.4 TSW14J57EVM の評価プログラミング・シーケンス

HSDC Pro ソフトウェアは、TSW14J57EVM と接続して、ADC12DJ3200-SP からのデジタル・データをキャプチャして分析し、SNR 測定とスキュー測定を行います。

スキュー測定のために TSW14J57EVM ツールを 1 次および 2 次モードで動作させるには、HSDC TIDA01019x GUI のソフトウェア・フォルダにある README の注に従う必要があります。次に、更新されたファームウェア、ini ファイル、およびその他の設定を HSDC Pro GUI フォルダに含めます。

HSDC Pro のセットアップ、およびデータのキャプチャと分析については、『[TSW14J57 JESD204B 高速データ・キャプチャおよびパターン・ジェネレータ・カード](#)』ユーザー・ガイドを参照してください。以下の手順は、HSDC Pro GUI を構成してデータをキャプチャし、1 次モードと 2 次モードで動作させる方法を示しています。

1. JMODE3 用に ADC12DJ3200EVM-CVAL GUI と接続するため、ADC12DJxx00_JMODE3_F&K_1_32_sysref.ini を選択します
2. ADC サンプル周波数を 3.2GHz に設定します
3. ADC の入力目標周波数を設定します
4. SNR を測定するには、「キャプチャ」タブをクリックすると、画面にデータがキャプチャされます
5. スキューを測定するには、1 つの HSDC Pro を 1 次モード（「テストのオプション」）に、もう 1 つを 2 次モードに構成します。

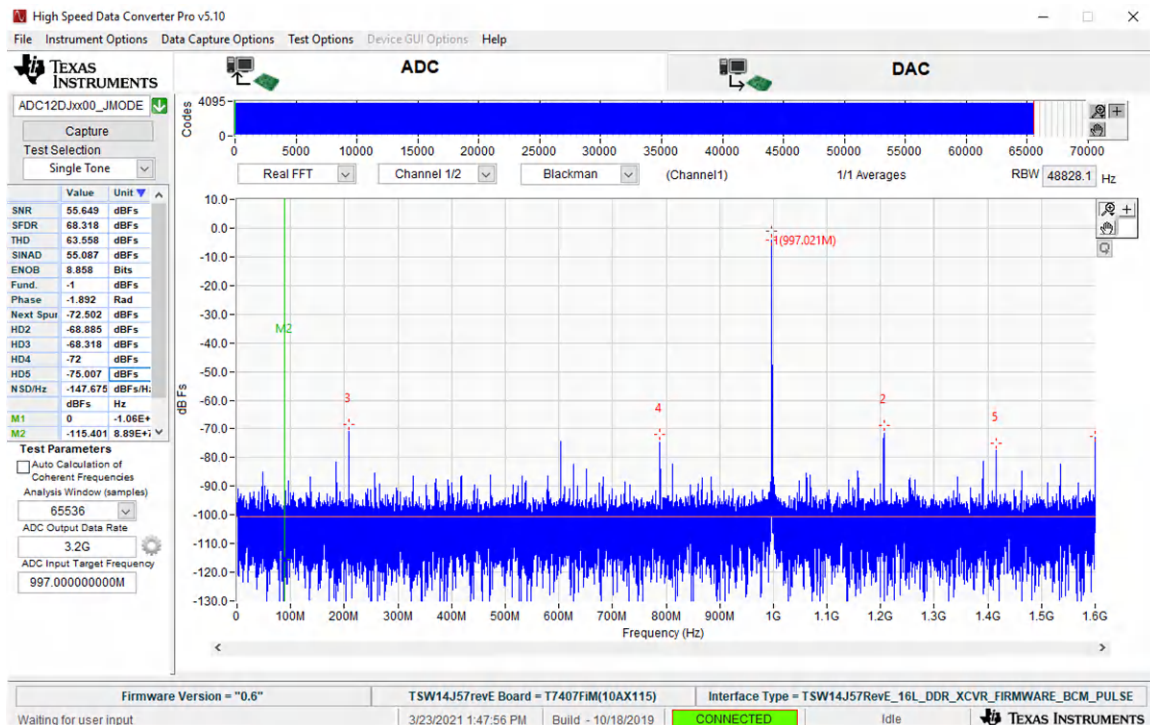


図 3-7. 最初にスペクトルをキャプチャしてセットアップをテストする

4 テストと結果

4.1 テスト構成

LMX2615-SP の位相ノイズ、クロック・スキュー、SNR 測定、チャンネル間スキュー測定のためのテスト構成を、それぞれ図 4-1 から図 4-4 までに示します。

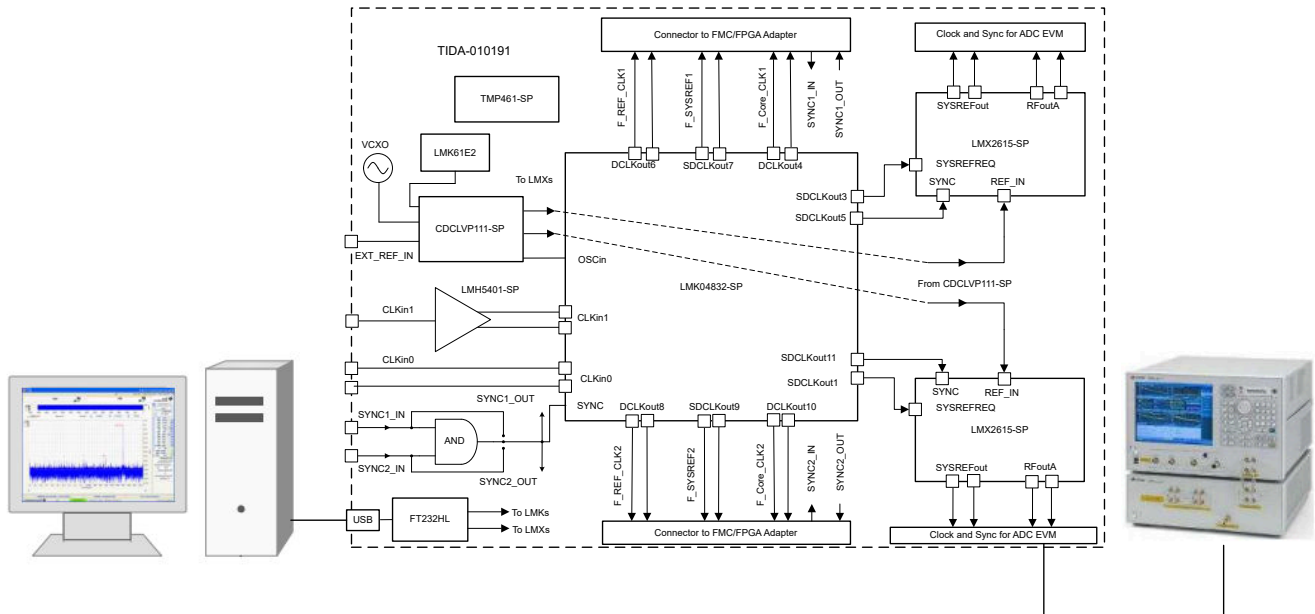


図 4-1. 位相ノイズ測定用のテスト構成

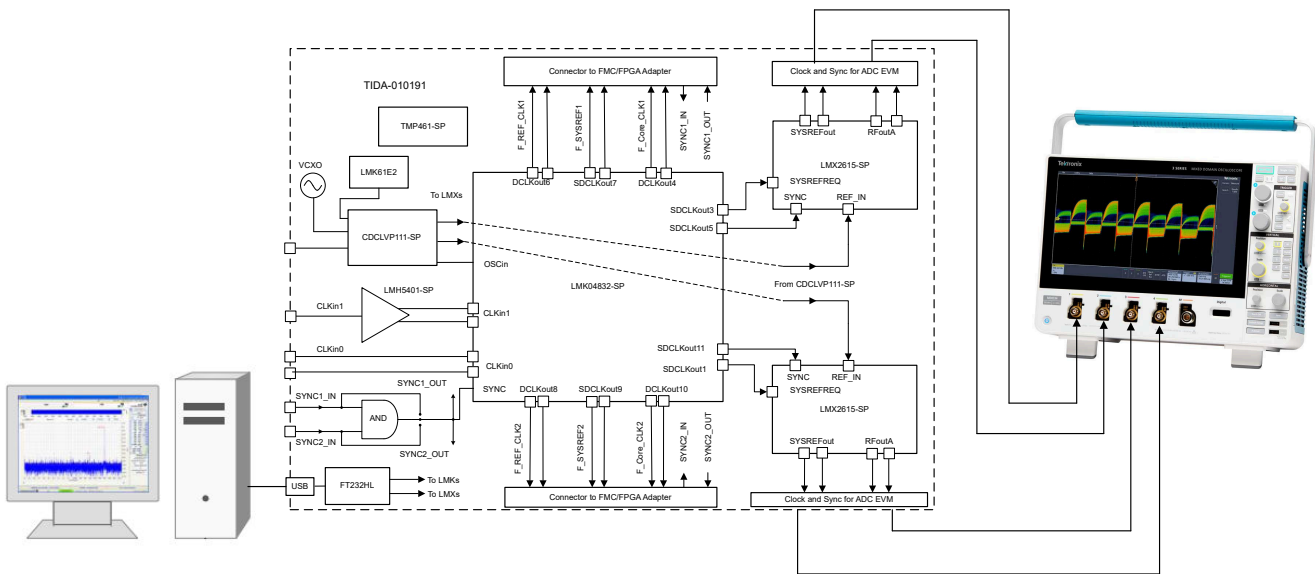


図 4-2. マルチチャンネル・クロック・スキュー測定のためのテスト構成

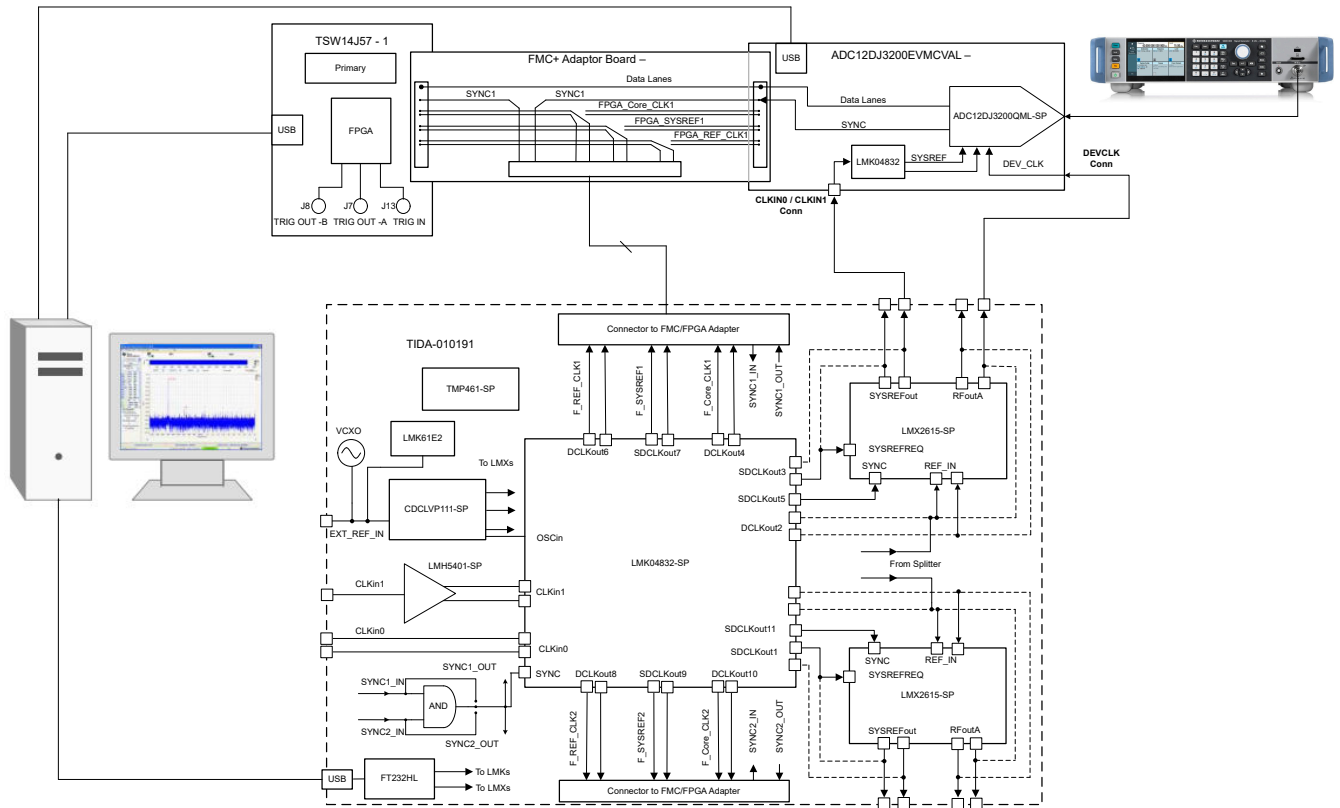


図 4-3. SNR 測定のためのテスト構成

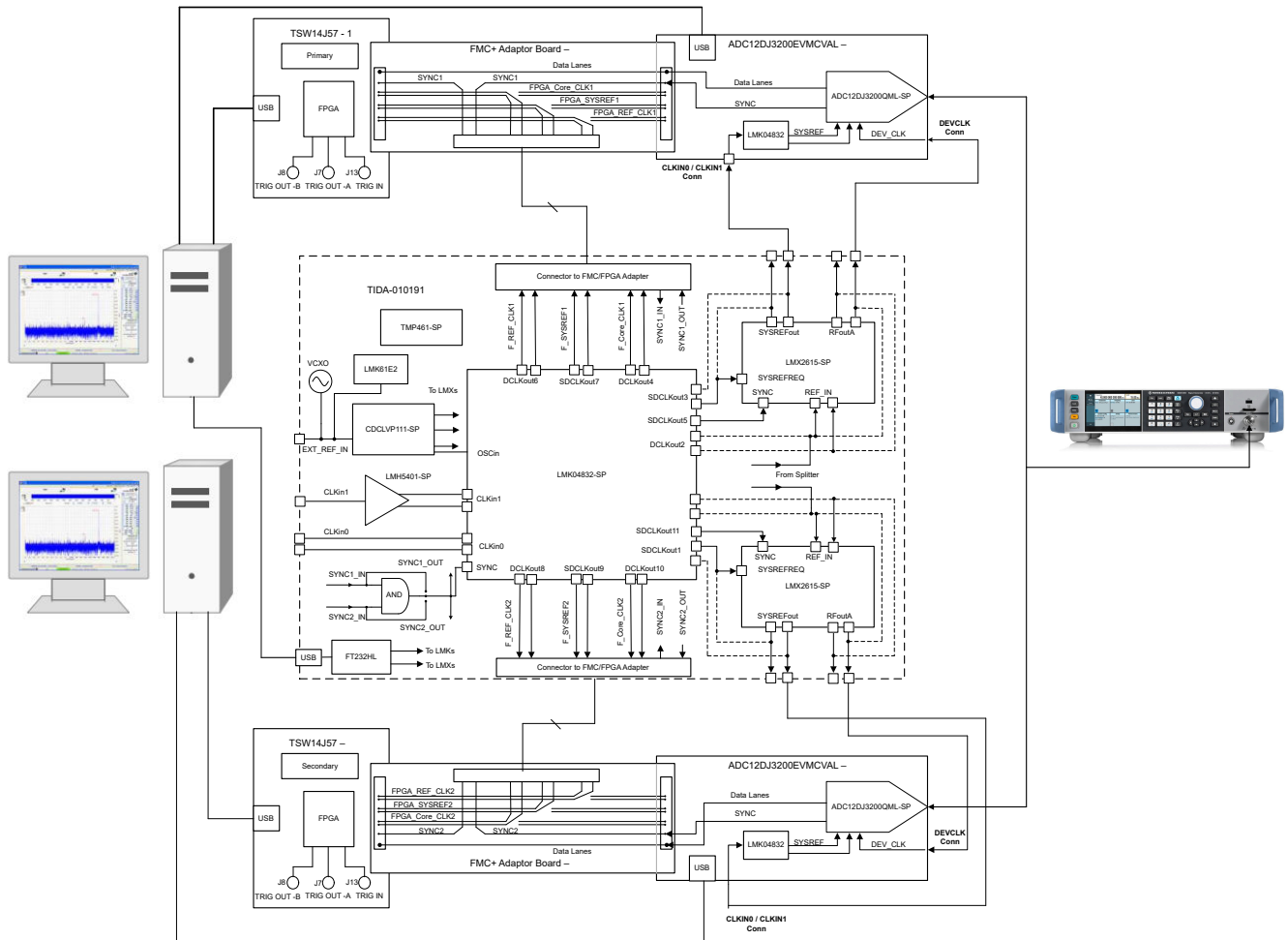


図 4-4. チャンネル間スキュー測定のためのテスト構成

4.2 結果

4.2.1 位相ノイズの測定結果

TIDA-010191 クロッキング・ボードと LMX2615-SP デバイスは、基板が同一なため、結果はほぼ同じです。クロック・ボードのさまざまなクロック周波数で LMX2615-SP の位相ノイズ性能を測定した結果を、表 4-1 に示します。測定された位相ノイズのプロットを、図 4-5 から図 4-7 までに示します。

表 4-1. 測定された位相ノイズ

出力周波数 (MHz)	条件	LMX2615-SP データシートの位相ノイズ (dBc/Hz)	TIDA-010191 の測定位相ノイズ (dBc/Hz)
3.5	10kHz のオフセット	-111.5	-112.2
	100kHz のオフセット	-115.3	-114.4
	1MHz のオフセット	-121.9	-120.6
	10MHz のオフセット	-146.3	-146.7
	40MHz のオフセット	-150.9	-151.5
9.0	10kHz のオフセット	-104.9	-110
	100kHz のオフセット	-111.4	-111.8
	1MHz のオフセット	-121.9	-122.3
	10MHz のオフセット	-146	-147
	40MHz のオフセット	-153	-154

表 4-1. 測定された位相ノイズ (continued)

出力周波数 (MHz)	条件	LMX2615-SP データシートの位相ノイズ (dBc/Hz)	TIDA-010191 の測定位相ノイズ (dBc/Hz)
15.0	10kHz のオフセット	-100.8	-106.1
	100kHz のオフセット	-107.2	-107.7
	1MHz のオフセット	-114.3	-114
	10MHz のオフセット	-140.4	-140.8
	40MHz のオフセット	-151	-149

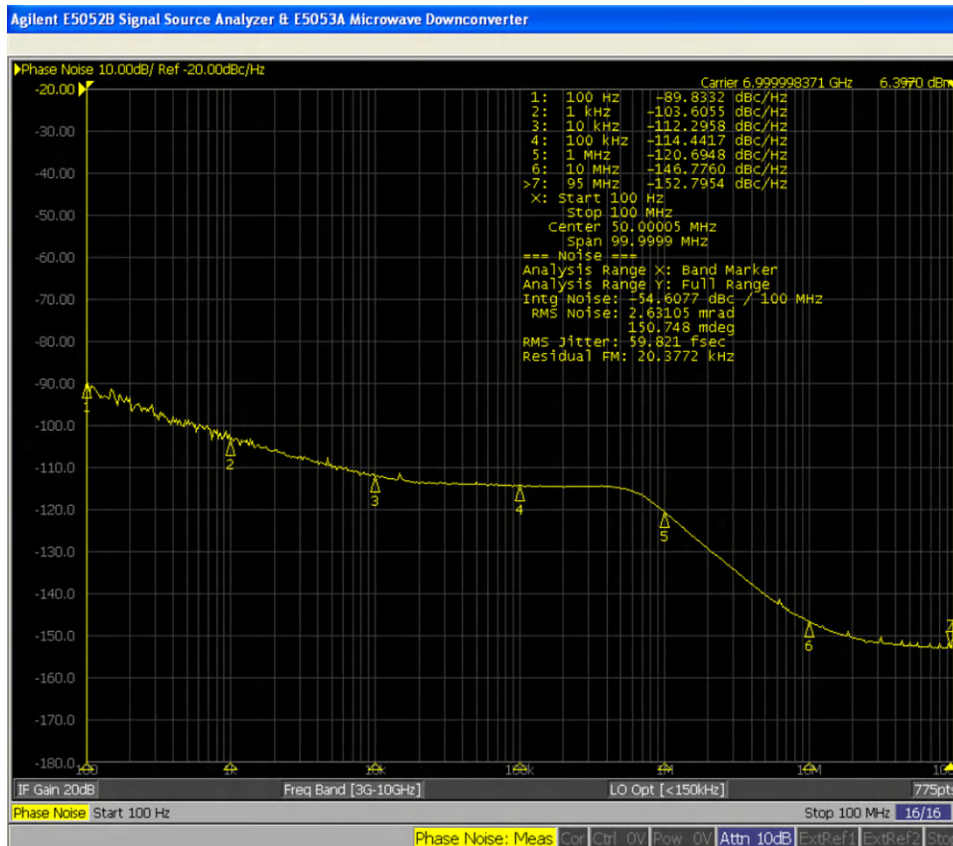


図 4-5. 7GHz のキャリア周波数での位相ノイズ

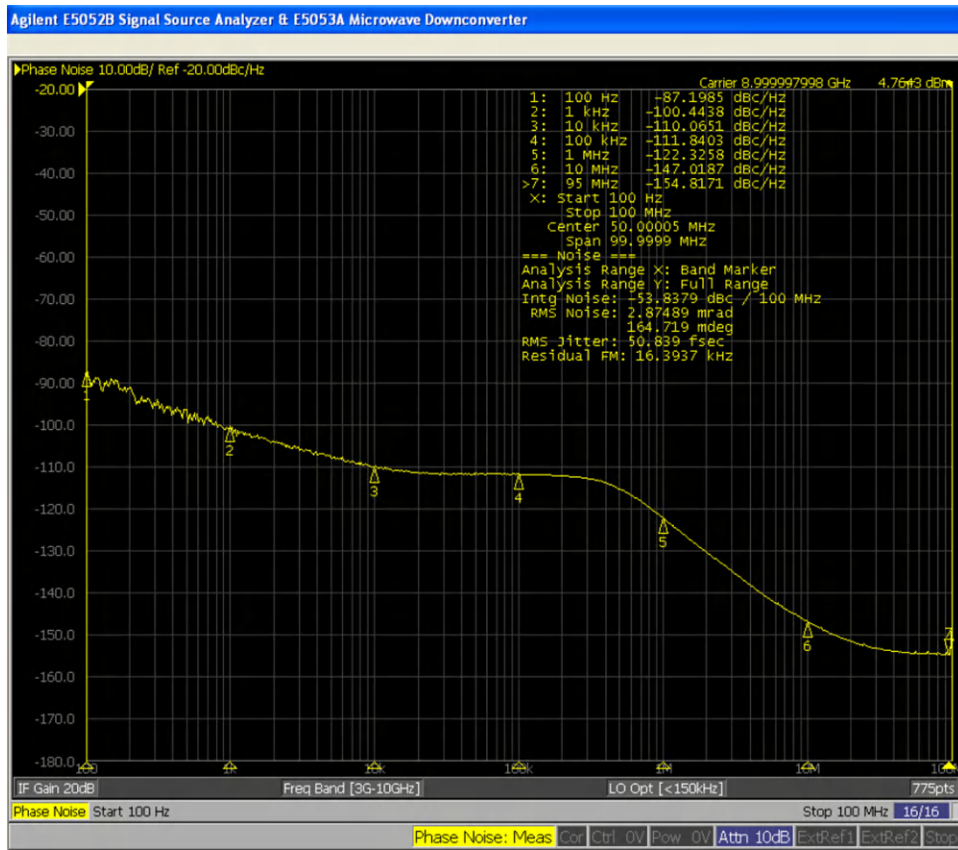


図 4-6. 9GHz のキャリア周波数での位相ノイズ

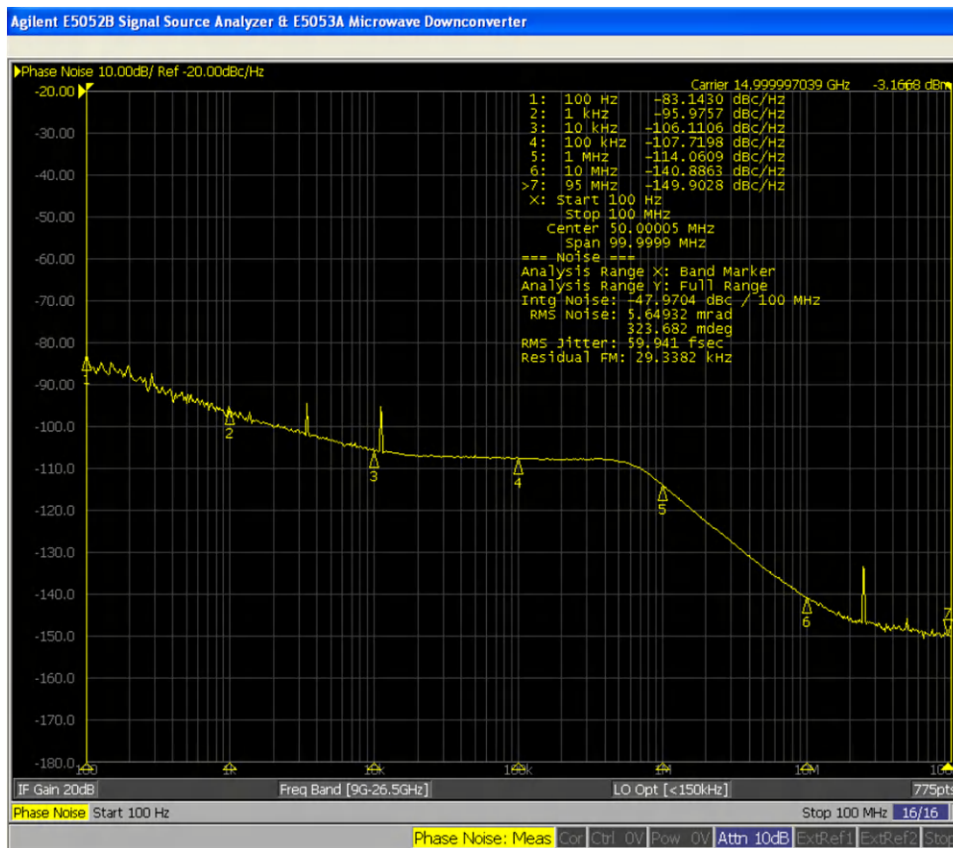


図 4-7. 15GHz のキャリア周波数での位相ノイズ

4.2.2 マルチチャネル・クロックの位相揃え

セクション 3.2.3 で説明したように、マルチチャネル・システムではクロックの同期が重要です。このセクションでは、測定された位相揃いクロックと SYSREF について説明します。これらは、3.2GHz のデバイス・クロックと 20MHz の SYSREF を使用している両方の LMX2615-SP デバイスから生成されます。クロック間の最小スキューは、マルチチャネル・システムにおけるチャネル間の最小スキューを反映しています。このテストで、TIDA-010191 クロック・ボードのクロック・スキューは 5ps 未満です。結果として、マルチチャネル・システムのチャネル間スキューを低減できます。デバイス・クロックおよび SYSREF 信号において、2 つの LMX2615-SP デバイスでマルチチャネル・クロック・スキューを測定した結果を、図 4-8 に示します。

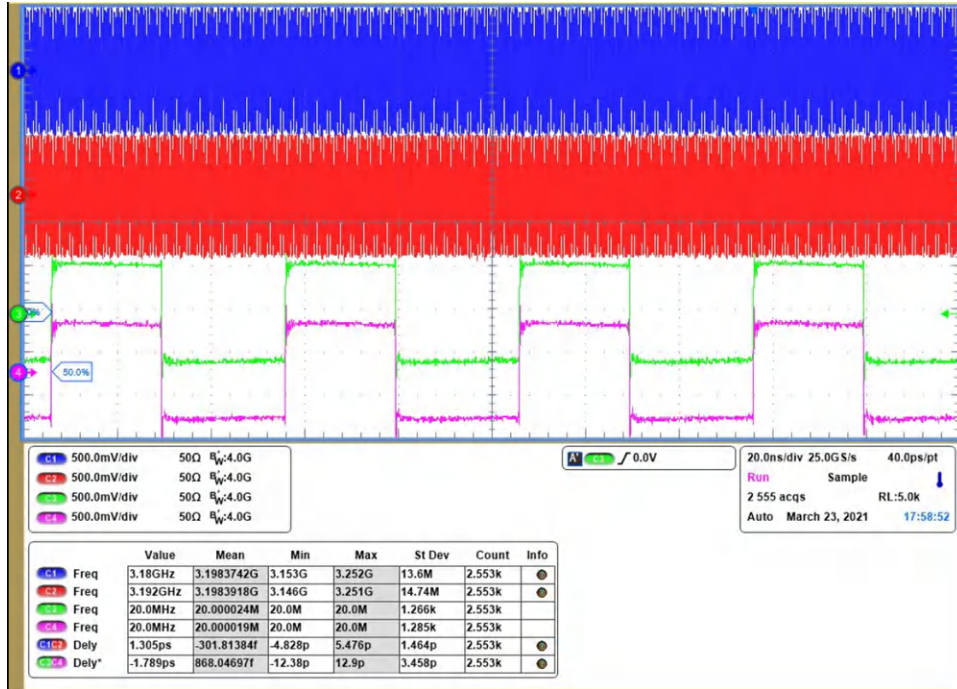


図 4-8. マルチチャネルのクロック位相揃えのスクリーンショット

4.2.3 信号チェーンの性能

-1dBFS 差動入力とデュアル・チャンネル・モード (JMODE3) での、ADC12DJ3200-SP の測定された SNR 性能を、表 4-2 に示します。測定された SNR を、ADC12DJ3200EVMCVAL のオンボード・クロック、および TIDA-010191 のクロックと比較すると、ほぼ同等の性能が示されています。シングル・チャンネル・モード、サンプリング周波数 3200MHz でのスペクトル結果を、図 4-9 から図 4-11 までに示します。

表 4-2. SNR の測定

入力周波数 (MHz)	ADC データシートの SNR (dBFS)	ADC12DJ3200EVM のオンボード・クロックの測定値 (dBFS)	TIDA-010191 の測定値 (dBFS)
997	55.5	55	55.6
2482	55	53.4	53.9
4997	53	51.4	50.4

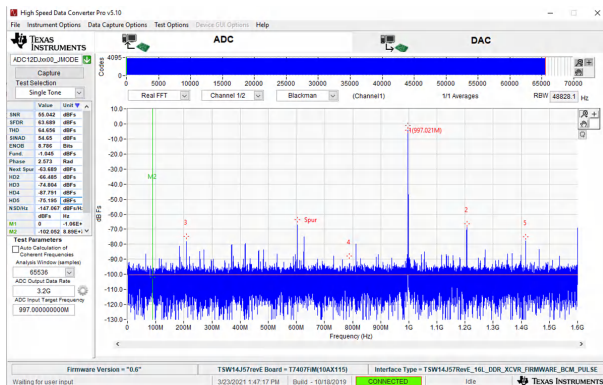


図 4-9. 99MHz のキャリア周波数でのノイズ・フロア

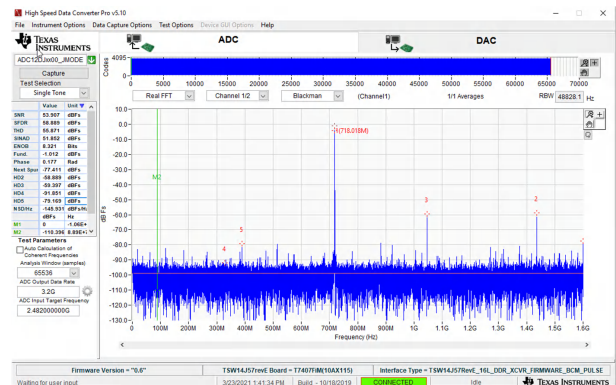


図 4-10. 718MHz のキャリア周波数でのノイズ・フロア

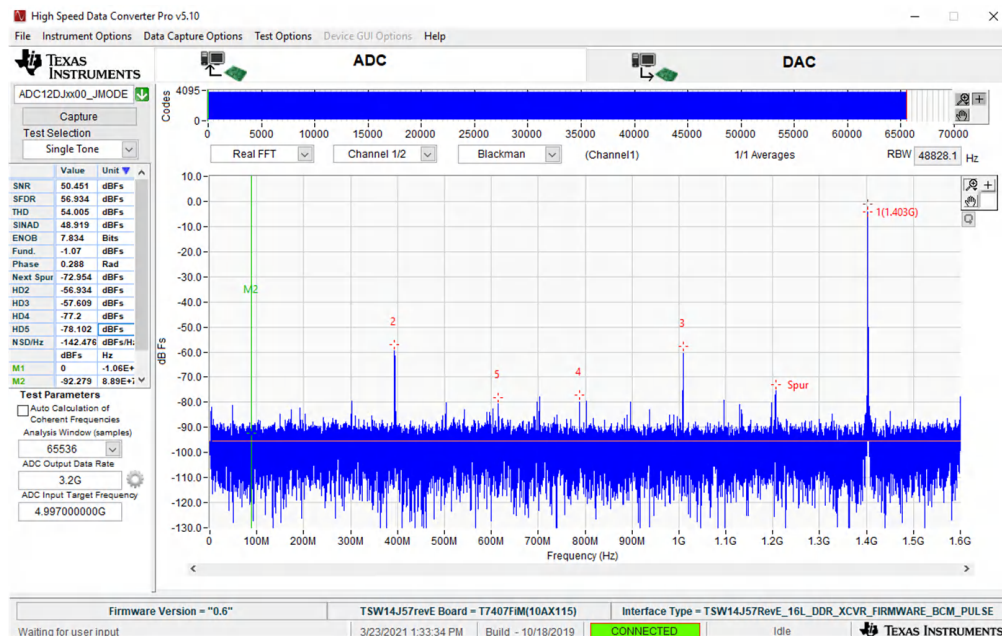


図 4-11. 1403MHz のキャリア周波数でのノイズ・フロア

4.2.4 チャンネル間スキューの測定

異なる入力周波数での 2 つの ADC12DJ3200EVMCVL チャンネル間の時間スキューを、[図 4-12](#) と [図 4-13](#) に示します。このスキューは、各 ADC からキャプチャされた信号間の位相差を計算することで評価されます。これらの測定は 3.2GHz のサンプリング周波数で行われ、測定された時間スキューは各入力周波数で 5ps 未満でした。

997MHz 入力の 2 つの ADC について、出力サンプルのプロットを [図 4-12](#) に示します。このプロットは、3200MHz サンプリング・クロックの最初のナイキスト・ゾーンにあります。[図 4-13](#) は、2482MHz 入力の出力サンプルのプロットです。これは、3200MHz サンプリング・クロックの 2 番目のナイキスト・ゾーンにあります。2482MHz の入力信号は、882MHz へのエイリアスになります。

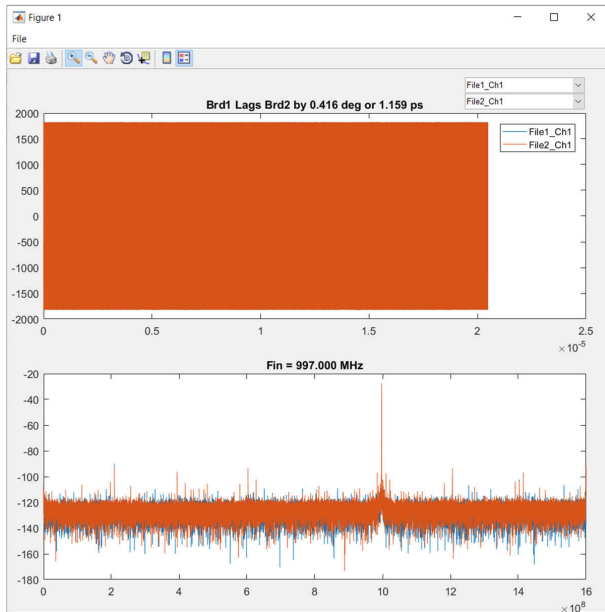


図 4-12. 997MHz でのボード・スキュー

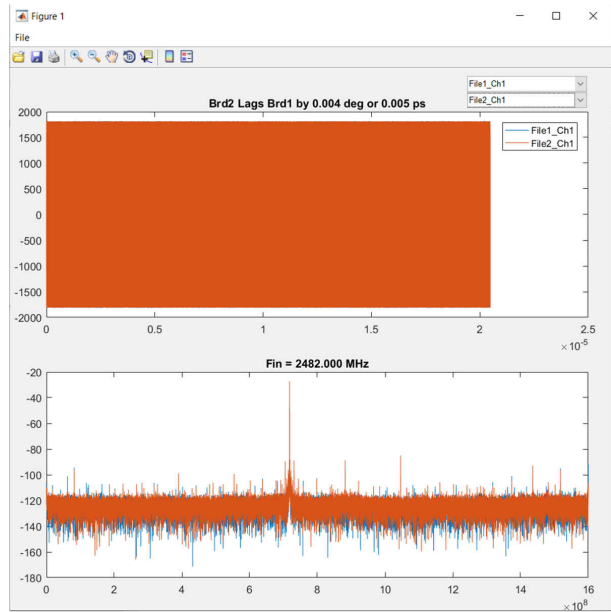


図 4-13. 2482MHz でのボード・スキュー

4.3 まとめと結論

TIDA-010191 デザインは、宇宙グレードのマルチチャンネル JESD204B に準拠したクロック供給のリファレンス・デザインで、宇宙用レーダー画像処理や広帯域衛星通信システムに使用できます。この TI Designs では、LMX2615-SP および LMK04832-SP デバイスを使用した高性能 (低位相ノイズ) クロック生成を示します。このデザインでは、スキューが 10ps 未満のマルチチャンネル構成可能な位相同期クロックも示します。最後に、ADC12DJ3200EVMCVL オンボード・クロックを TIDA-010191 出力に置き換え、システム性能への影響を示します。システムの SNR は ADC12DJ3200EVMCVL の性能に近く、クロック・スキューは 5ps 未満です。このシステムは、アナログ入力のチャンネル間スキューが 10ps 未満のとき、電源オン・サイクルごとに決定論的なレイテンシの動作を示します。

5 設計とドキュメントのサポート

5.1 設計サポート

テキサス・インスツルメンツは、設計への支援として、完成した設計へのアクセスを可能にしています。Altium の設計ファイル (完成したプロジェクト)、回路図、ガーバー・ファイル、部品表 (BOM)、レイアウト・プロット、および組立図面は、tj.co.jp の TIDA-010191 プロダクト・フォルダにあります。対応するエンジニアリング・サポートは、テキサス・インスツルメンツの E2E フォーラムで利用できます。

5.1.1 回路図

回路図をダウンロードするには、[TIDA-010191](#) のデザイン・ファイルを参照してください。

5.1.2 部品表 (BOM)

部品表 (BOM) をダウンロードするには、[TIDA-010191](#) のデザイン・ファイルを参照してください。

5.2 ドキュメントのサポート

1. テキサス・インスツルメンツ、『[ADCxxDJxx00 評価モジュール](#)』ユーザー・ガイド
2. テキサス・インスツルメンツ、『[TSW14J56 JESD204B 高速データ・キャプチャおよびパターン・ジェネレータ・カード](#)』ユーザー・ガイド

5.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

5.4 商標

TI E2E™ and PLLatinum™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6 著者について

AJEET PAL は、テキサス・インスツルメンツのシステム設計エンジニアで、航空宇宙および防衛システムのシステム・レベルの設計とシミュレーションの設計と開発を担当しています。AJEET PAL は、携帯電話やワイヤレス・システム用の RF、高速クロック処理、ワイヤレス・サブシステム設計に豊富な経験があり、現在の職務にその経験を活かしています。AJEET PAL は、グワーリヤルの ITM (Institute of Technology and Management) 大学で電子工学と通信工学の学士号を取得し、インドのカラガプルにある IIT (Indian Institute of Technology) で RF とマイクロ波工学の修士号を取得しました。

INGOLF FRANK は、テキサス・インスツルメンツの航空宇宙および防衛のシステム・エンジニアリングおよびマーケティング・チームのシステム・エンジニアで、主に高速通信システムを対象としています。INGOLF FRANK は、複数の製品ファミリやテクノロジーにわたる業務につき、システム・レベルのアプリケーション設計にできる限り最良のソリューションを活用しています。INGOLF FRANK は、ドイツの University of Applied Sciences Bielefeld (ビーレフェルト専門大学) で情報技術分野における電気工学の学位 (Dipl. Ing. (FH)) を取得しました。

6.1 謝辞

このリファレンス・デザイン・ガイドへの技術的な貢献について、Vibhu Vanjari、Jacob Mieso、Kirby Kruckmeyer、Derek Payne、Dean Banerjee、Noel Fung、Jason Clark、Bryan Bloodworth、Wade Vonbergen、Sarah Koch、Christian Yots、Victor Salomon、Daniel Hartung、Albert Lo の各氏に感謝申し上げます。RHA (放射線耐性保証) のポイント・オブ・ロード電源ツリーへの貢献について、Errol Leon 氏に感謝申し上げます。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated