

## Design Guide: TIDA-010203

## C2000 と GaN を使用する 4kW 単相トーマポール PFC のリファレンス・デザイン



## 概要

本リファレンス・デザインは、F280049 または F280025 controlCARD と LMG342x 評価基板を使用した 4kW CCM トーマポール PFC です。この設計では、コスト効率の優れた堅牢な PFC コントローラを実現します。MOSFET レッグの中央にコントローラのグランドを配置することで、絶縁型の電流センスを回避できます。非絶縁型 AC 電流セン機能を内蔵した OPA607 高速アンプを使用して、信頼性の高い過電流保護を実現できます。この設計では、効率性、熱画像、AC ドロップ、雷サージ、EMI CE が十分に検証されています。このリファレンス・デザインのテスト・データは、C2000 と GaN を使用したトーマポール PFC の完成度を示し、高効率製品の PFC 段設計に最適なプラットフォームです。

## リソース

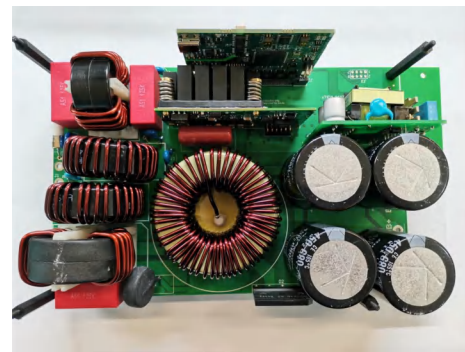
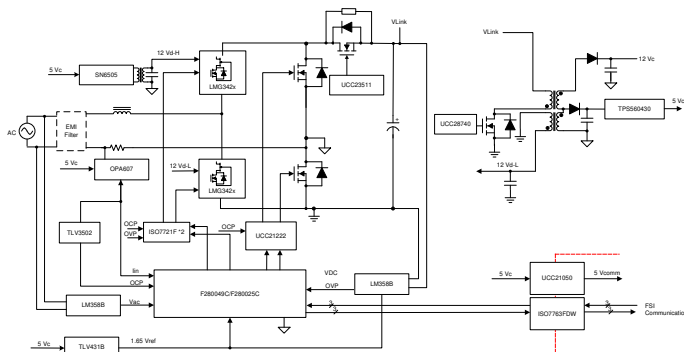
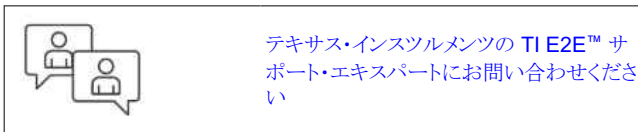
<a href="#">TIDA-010203</a>	デザイン・フォルダ
<a href="#">LMG3422R030</a>	プロダクト・フォルダ
<a href="#">TMS320F280025C</a>	プロダクト・フォルダ
<a href="#">OPA607</a>	プロダクト・フォルダ
<a href="#">UCC21222</a>	プロダクト・フォルダ

## 特長

- 最大電力: 200V~277V で 4000 W (公称値)
- ピーク効率: 99.1% 以上、力率: 0.999
- 非絶縁型の高速度アンプによるコスト効率の優れた電流センサ
- TI の Gen2 ドーター・カードを備えた単相 CCM トーマポール
- TMS320F28004x または TMS320F28002x 制御カードによりデジタル制御
- FSI 通信ポートを含む

## アプリケーション

- 商用ネットワークとサーバーの PSU (電源)
- 商用テレコム整流器
- エアコン室外機



## 1 システムの説明

このリファレンス・デザインは、テキサス・インスツルメンツの GaN と C2000 を使用した 4kW の単相 CCM トーテム・ポール・ブリッジレス PFC、非絶縁型電流センシング、絶縁型駆動、差動電圧センシング、絶縁型 FSI 通信ポートを示します。

表 1-1. 主なシステム仕様

パラメータ	仕様
入力電圧	200V~-277V
入力電流	20A <sub>RMS</sub> 最大
出力電圧	400VDC
出力電流	10A 最大
定格電力	単相 200V <sub>RMS</sub> で 4kW
電流 THD	230V <sub>RMS</sub> 定格負荷で 2% 未満
PFC インダクタ	480μH
出力容量	680μF × 4

## 2 システム概要

このシステムは、コントローラとしてテキサス・インスツルメンツの C2000 controlCARD TMDSCNCD280049C (TMDSCNCD280025C 互換)、高速スイッチング・レグとしてテキサス・インスツルメンツの GaN EVM ボード LMG3422EVM-043 を使用します。

この設計では、C2000 の基準グラウンドを MOSFET レグの中間点に移動し、OPA607 非絶縁型高速アンプを使用してインダクタ電流を検出できるようにしました。この利点により、低速 MOSFET レグに合わせて絶縁ドライブ UCC21222 を変更する必要があり、DC 電圧センスには LM358B アンプを使用します。通常は GaN FET からコントローラ側へのスイッチング・ノイズの転送を停止するアイソレータが使用されると想定されるので、MCU のグラウンドの変更は GaN ドライブには影響を与えません。GaN EVM ボードでは、LMG3422R030 は ISO7741F で絶縁し、SN6505 ドライブ絶縁型 DC/DC から電源を供給します。

突入電流からの保護には、この設計では大型リレーの代わりに UCC23511 で駆動される MOSFET を使用し、PCB 面積を削減します。

この設計では、UCC28740 を搭載したフライバック・ボードを使用して、2 つの絶縁 12V 出力を生成します。1 つは制御回路用で、もう 1 つはローサイド MOSFET 駆動用です。これら 2 つの 12V 出力は、互いに対して 500V の絶縁能力を持つように設計されており、ハイサイド MOSFET がオンになったときの DC リンク電圧に耐えることができます。制御回路用の 12V 出力は、MCU カードと GaN カード用の TPS650430 降圧コントローラを使用して 5V の電源を生成します。

また、この設計には ISO7763 アイソレータとの FSI 通信ポートも含まれており、UCC21050 から電源が供給されます。FSI 通信により、通信とファームウェアの更新を高速化できます。

## 2.1 ブロック図

図 2-1 に、この設計のブロック図と主なテキサス・インスツルメンツ部品を示します。

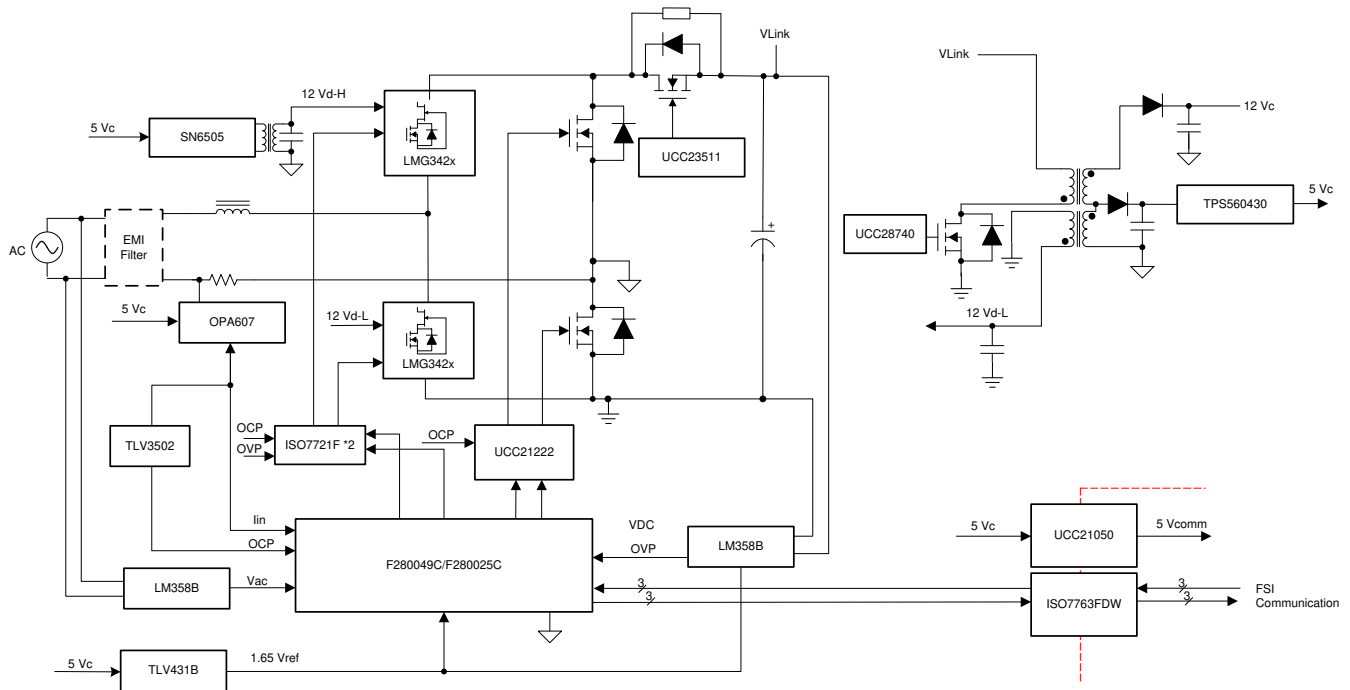


図 2-1. システム・ブロック図

このガイドに記載されているリファレンス・デザインの動作を実現するため、以下の EVM が使用されます。

1. F280049C controlCARD の評価基板: TMDSCNCD280049C
2. LMG342x GaN EVM ボード: LMG3422EVM-043

## 2.2 設計上の考慮事項

デジタル電源設計には、出力段と制御段が含まれます。この設計の電力段の設計は、他のすべての昇圧 PFC 設計と類似しており、1kW、80 Plus Titanium、GaN CCM トーテム・ポール・ブリッジレス PFC およびハーフブリッジ LLC のリファレンス・デザイン (TIDA-010062) の設計プロセスと同様です。図 2-2 に、電力段の設計パラメータを示します。

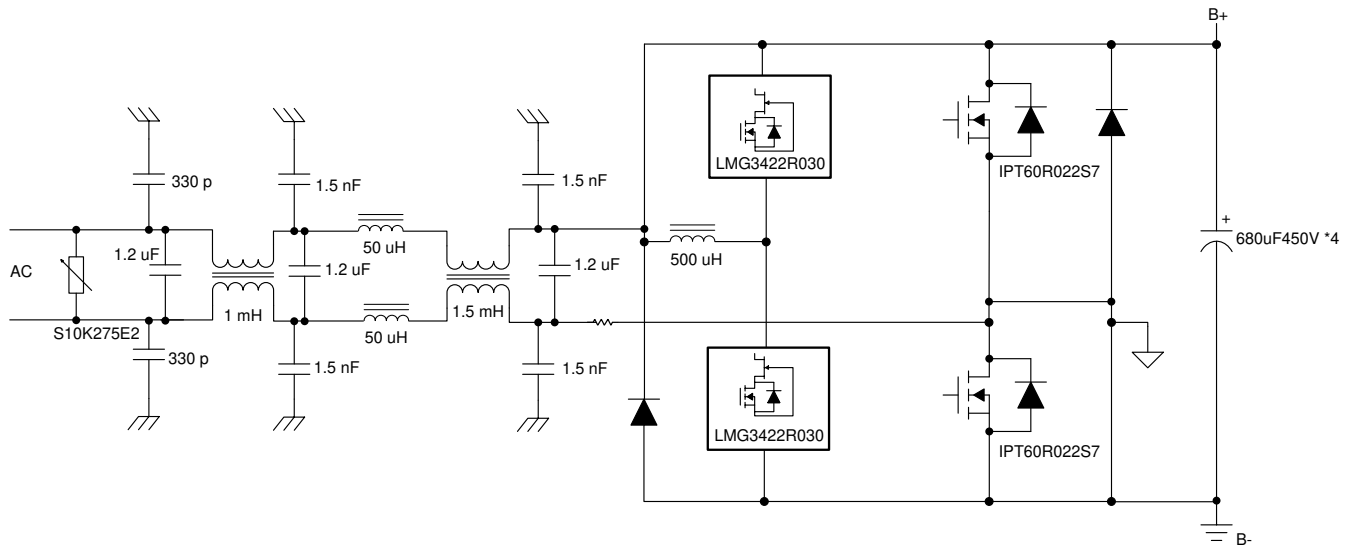


図 2-2. 電力段の設計パラメータ

制御段の設計には、以下の主な考慮事項があります。

- 入力電流センシング

トーテムポール PFC では、ほとんどの AC 電流センシングに、ホール・センサなどの絶縁型電流センサ、絶縁型アンプ、電流トランスが使用されます。一般的に、アナログ絶縁はデジタル絶縁よりも困難です。たとえば、ホール・センサと絶縁型アンプでは、非絶縁型アンプと比較して、帯域幅が比較的狭く、伝搬遅延が長くなります。ただし、PWM ドライブの絶縁処理は非常に簡単です。この設計では、MCU のグラウンドが MOSFET レッグの中間点に変更されています。この小さな変更により、シャント抵抗を使用して非絶縁型アンプで電流を検出することが可能になります。

50MHz GBW の OPA607 オペアンプを選択すると、MOSFET 上の電流ループ制御と過電流保護に役立ちます。入力電流センス比は 0.033V/A に設定され、センス範囲は -48A~+48A です。

- DC リンク電圧検出

コントローラのグラウンドを MOSFET レッグの中間に設定すると、DC リンクにコントローラのグラウンドに対して高い同相電圧が発生します。この同相電圧は抵抗デバイダを使用して適切に抑制する必要があり、この外乱を除去するためにアンプの CMRR を使用します。

LM358B の 1 つのチャンネルである CMRR 20 $\mu$ V/V を使用して、差動アンプ回路で DC リンク電圧を検出します。DC リンク電圧センス比は 0.0072 に設定され、センシング範囲は 0V~約 462V に設定されています。

- 入力 AC 電圧検出

AC ライン電圧は半サイクル間は負であるため、0V 入力は 1.65V 出力にオフセットする必要があります。LM358B のもう 1 つのチャンネルは AC ライン電圧の検出に使用され、スケールを実行すると同時に 1.65V のオフセットを発生させます。AC 電圧センシング比は 0.0037 に設定され、センシング範囲は -471V~+471V に設定されています。

- 入力 OCP (過電流保護)

C2000 に統合されている CMPSS モジュールにより入力 OCP を実現できますが、この設計では MOSFET レッグ用の追加のハードウェア OCP は余分になります。入力電流は双方向なので、保護にはデュアル・チャンネル・コンパレータが必要です。この設計では TLV3502 を使用して、ヒステリシス・ループで両方向の電流保護を設定します。保護スレッショルドは、ヒステリシスを使用して -48A および +50A に設定されます。

- DC バス OVP (過電圧保護)

DC バスの過電圧は非常に危険で、特性の劣化を引き起こすため、このリファレンス・デザインにはハードウェア OVP が含まれています。ファームウェア OVP が適切に機能することを検証する前に、これを強くお勧めします。このハードウェア OVP は、LM358B の 1 つのチャンネルを使用して簡単に実装でき、OVP スレッショルドは 15V のヒステリシスで 445V に設定されます。

- GaN FET の駆動

この設計では、LMG3422EVM-043 GaN ハーフブリッジ EVM をスイッチング・レグとして使用します。この EVM ボードには、ハイサイドとローサイド両方の GaN FET 用に 2 個のアイソレータ ISO7741 と 2 個の SN6505 絶縁型 DC/DC が搭載されています。そのため、GaN ブリッジは MCU から直接駆動できます。

---

**注**

EVM ボードの場合: LMG3422EVM-043 は、ISO7741 の  $V_{CC}$  の MCU 側に 5V を使用します。これは 3.3V の MCU ロジックでも機能しますが、ロジック・レベルに合わせて 3.3V に変更する必要があります。

- MOSFET の駆動

コントローラのグラウンドは MOSFET レグの中間に設定されるため、ハイサイド MOSFET がオンになるとローサイド MOSFET は -400V になります。この状況では、機能絶縁型ドライバが必要です。PCB レイアウト面積が非常に限られている場合は VLGA パッケージの UCC21225A も使用できますが、この設計では SO-16 パッケージの UCC21222 が最もコスト効率の高い選択肢です。UCC21222 と UCC21225A はどちらも、デッドタイム構成を使用してインターロック機能を実現できます。

- 突入電流からの保護

すべての PFC 段は、AC 電源オン時の突入電流に対処する必要があります。電流制限を実行するために、機械式リレーと抵抗または PTC がよく使用されます。ただし、電流が 16A を超えると、リレーが非常に大きくなり、選択が困難になります。この設計では、突入リレーが絶縁ドライブ付きの MOSFET に置き換えられています。MOSFET のボディ・ダイオードのため、ソースからドレインへの電流をブロックできません。これを回避するには、MOSFET を 2 個連続で使用し、突入 MOSFET を DC リンク側に配置する必要があります。

## 2.3 主な使用製品

### 2.3.1 LMG342xR030

ドライブおよび保護機能を内蔵した LMG342xR030 GaN FET を使うと、設計者はパワー・エレクトロニクス・システムにおいて、比類ない電力密度と効率を実現できます。

LMG342xR030 は、最大 150V/ns のスイッチング速度を実現できるシリコン・ドライバを内蔵しています。テキサス・インスツルメンツの統合型高精度ゲート・バイアスは、ディスクリット・シリコン・ゲート・ドライバと比較して、より広いスイッチング SOA をもたらします。この統合とテキサス・インスツルメンツの低インダクタンス・パッケージの組み合わせにより、ハード・スイッチング電源トポロジでもノイズの少ないスイッチングとリンギングの最小化を実現できます。EMI を制御するための調整可能なゲート・ドライブ強度、過熱保護、フォルト表示付きの堅牢な過電流保護を含むその他の機能を使うと、BOM コスト、基板サイズ、フットプリントを最適化できます。

先進の電源管理機能にはデジタル温度レポート機能とテキサス・インスツルメンツの理想ダイオード・モードが含まれます。GaN FET の温度は可変デューティ・サイクル PWM 出力により通知されるため、システムは負荷を最適に管理できます。理想ダイオード・モードは、適応型デッドタイム制御により第 3 象限の損失を低減することで効率を最大化します。

### 2.3.2 TMS320F28002x

TMS320F28002x (F28002x) は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートを含め、パワー・エレクトロニクスの効率を向上させるように設計されたスケーラブルで超低レイテンシなデバイスである C2000™ リアルタイム・マイコン・ファミリの製品です。

リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 100MHz の信号処理性能を発揮します。C28x CPU は、三角関数演算演算ユニット (TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。

F28002x リアルタイム・マイコン (MCU) に内蔵された高性能アナログ・ブロックは、リアルタイム・シグナル・チェーン性能を最適化するため処理および PWM ユニットの密結合されています。14 個の PWM チャンネルはすべて周波数に依存しな

い分解能モードをサポートしており、3 相インバータから高度なマルチレベル電源トポロジまで、さまざまな電力段を制御できます。

### 2.3.3 OPA607

OPAX607 は、 $3.8\text{nV}/\sqrt{\text{Hz}}$  の低ノイズと  $50\text{MHz}$  の広いゲイン帯域幅を実現する非補償型 (ゲイン =  $6\text{V}/\text{V}$  安定) 汎用 CMOS (相補型金属酸化膜半導体) オペアンプです。OPAX607 は低ノイズで帯域幅が広いため、コストと性能を両立させる必要がある汎用アプリケーションに最適なデバイスです。高インピーダンスの CMOS 入力を備えた OPAX607 は、出力インピーダンスの大きいセンサ (圧電トランスデューサなど) と接続するのに理想的なアンプです。

OPA607 は、最大静止電流が  $1\mu\text{A}$  未満のパワーダウン・モードを備えているため、ポータブル・バッテリー駆動アプリケーションに最適なデバイスです。OPA607 のレール・ツー・レール出力 (RRO) は、電源レールから  $10\text{mV}$  の電圧まで出力振幅を拡大できるため、ダイナミック・レンジを最大限に広げることができます。

このオペアンプは、最小  $2.2\text{V}$  ( $\pm 1.1\text{V}$ )、最大  $5.5\text{V}$  ( $\pm 2.75\text{V}$ ) の低電圧で動作するよう最適化されており、温度範囲  $-40^\circ\text{C} \sim +125^\circ\text{C}$  での動作が規定されています。

### 2.3.4 UCC21222

UCC21222 は、プログラミング可能なデッドタイムを備えた絶縁型デュアル・チャネル・ゲート・ドライバです。ピーク電流はソース  $4\text{A}$ 、シンク  $6\text{A}$  で、パワー MOSFET、IGBT、GaN トランジスタを駆動するように設計されています。

UCC21222 デバイスは、2 つのローサイド・ドライバ、2 つのハイサイド・ドライバ、または 1 つのハーフ・ブリッジ・ドライバとして構成可能です。 $5\text{ns}$  の遅延マッチング性能により、内部貫通電流のリスクを伴わずに、2 つの出力を並列化して 2 倍の駆動力で重負荷条件に対応できます。

入力側は、 $3.0\text{kV RMS}$  の絶縁バリアによって 2 つの出力ドライバと分離されており、同相過渡耐性 (CMTI) は  $100\text{V/ns}$  以上です。

抵抗によるデッドタイムのプログラミングが可能のため、システムの制約に合わせてデッドタイムを調整することにより、効率を高め、出力のオーバーラップを防止できます。その他の保護機能:DIS を High に設定した場合に 2 つの出力を同時にシャットダウンするディセーブル機能、 $5\text{ns}$  未満の入力過渡を除去する内蔵グリッチ除去フィルタ、入力 / 出力ピンでの  $200\text{ns}$  にわたる最大  $-2\text{V}$  のスパイクに対応する負電圧処理機能があります。すべての電源が UVLO 機能を備えています。



### 3 ハードウェアのテスト要件とテスト結果

このセクションでは、ハードウェアの詳細について解説し、ボード上のさまざまなセクションと、この設計ガイドで説明しているように、実験用にそれらを設定する方法について説明します。

#### 3.1 ハードウェア要件

##### ドーター・ボード

1. C2000 controlCARD の評価基板: TMDSCNCD280049C/ TMDSCNCD280025C
2. LMG342x GaN EVM ボード: LMG3422EVM-043

##### 機器

1. プログラマブル AC ソース
2. 絶縁型高電圧 DC 負荷
3. 12V1A 絶縁型 DC ソース ×2
4. 空冷ファン

#### 3.2 テスト構成

このリファレンス・デザインはフライバック段を採用しており、独立した動作用に 2 個の 12VDC と 600V の機能絶縁を提供します。ただし、ファームウェアの動作時には DC バスに電力は存在しないため、ファームウェアのテスト・プロセス中は補助電源ボードのセットアップはないと想定されます。

以下に、外部 V<sub>CC</sub> 電源での一般的なセットアップ手順を示します。

1. フライバック・ボードが取り付けられている場合は取り外します。
2. C2000 と GaN のボードが適切に取り付けられていることを確認します。
3. 12VDC1 を「12Vc」と「GND-c」に接続し、12VDC2 を「12V-L」と「B-」に接続します。12VDC1 と 12VDC2 は、お互いに対して 500VDC の絶縁能力を持つ必要があります。
4. AC ソース・ケーブルを入力端子に接続します。この時点では電源は投入しないでください。
5. DC 負荷を出力端子に接続します (DC の極性に注意してください。また、負荷はグリッドと PE ラインで絶縁する必要があります)。
6. 強制空冷ファンを使用してボードを冷却します。
7. 効率をテストする前に、電流計と電圧計を搭載した電力メーターを挿入します。すべての電圧プローブがボードの近くにあることを確認します。

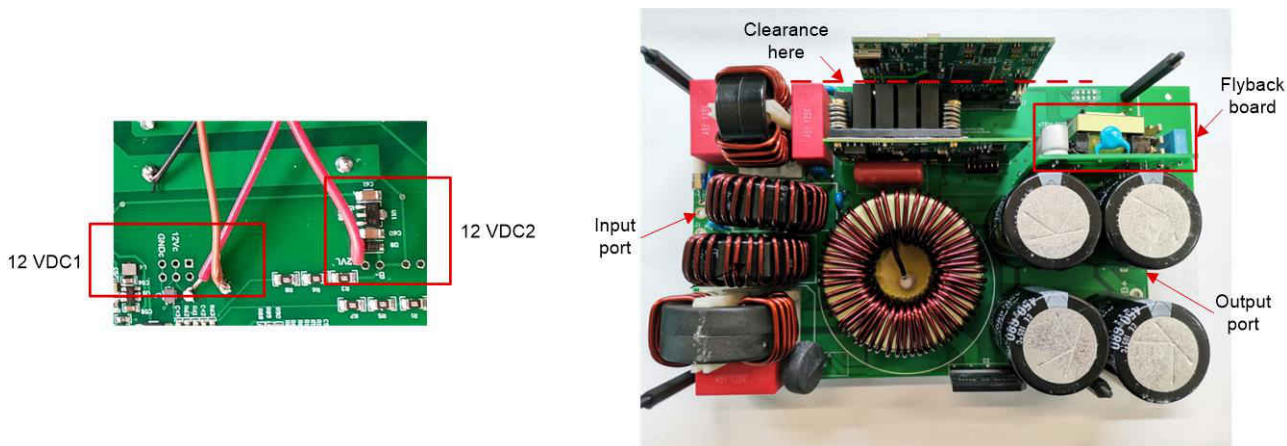


図 3-1. ボードのセットアップ

### 3.3 テスト結果

#### 3.3.1 テスト手順

図 3-2 に EUT 構成を示します。

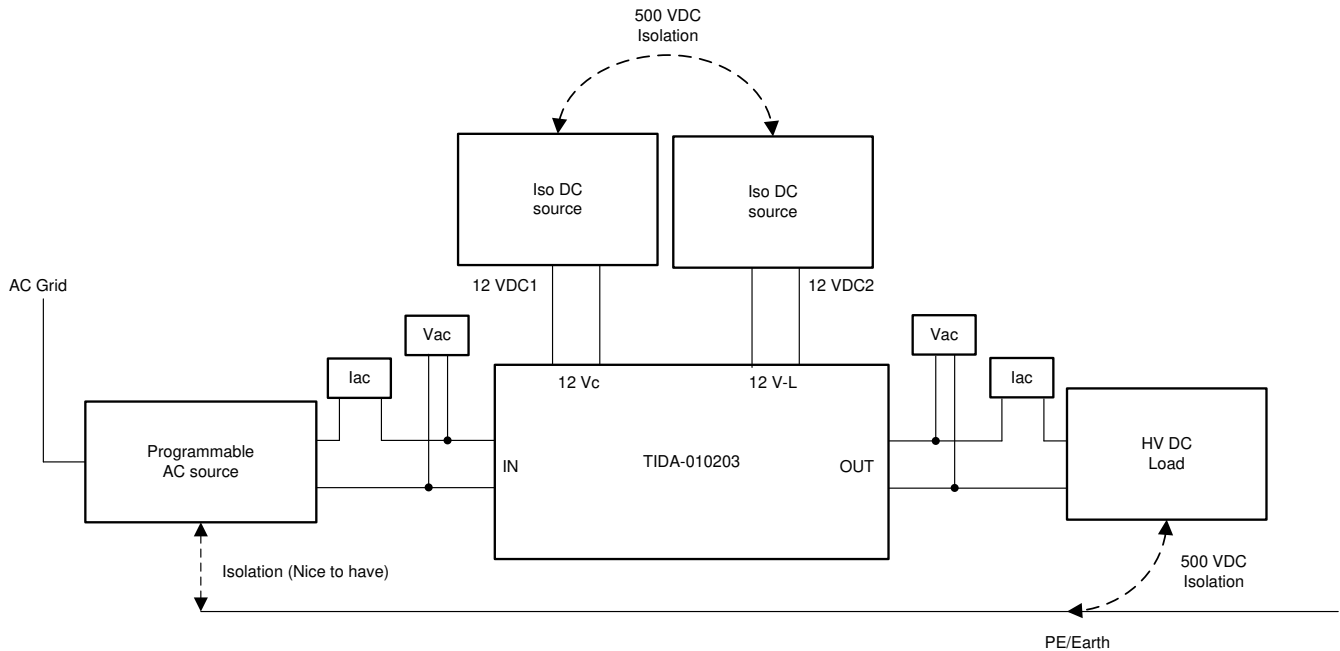


図 3-2. EUT の設定

電源オンの手順:

1. 冷却のためにファンに電源を投入します。
2. 12VDC\_1 に電源を投入します。消費電力は 0.13A 付近である必要があります。
3. 12VDC\_2 に電源を投入します。消費電力は 0.01A 未満である必要があります。
4. DC 負荷を CC モード、0.5A、負荷オンに設定します。
5. AC ソースに電源を投入します (200VAC~277VAC)。DC 出力が徐々に 400VDC に上昇します。
6. テスト用に、DC 負荷を 0~10A の範囲で調整します。

電源オフの手順:

1. 負荷を 1A に下げます。
2. AC 入力の電源をオフにします。
3. 12VDC\_1 と 12VDC\_2 の電源をオフにします。
4. 冷却ファンをオフにします。



### 3.3.2 性能データ: 効率、iTHD、力率

表 3-1 に、230V 入力での効率、iTHD、力率のデータを示します (制御機能や駆動電力損失は除外)。図 3-3 に、関連する 230V の効率曲線を示します。

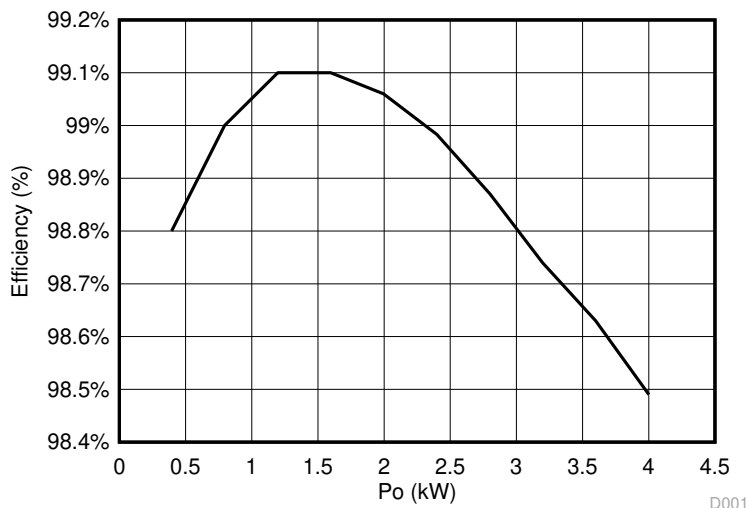


図 3-3. 効率曲線、230V 175

表 3-1. 230V 入力での効率、iTHD、力率データ

Vin /Vac	Iin /Aac	ピン /kW	Vout /V	Iout /A	Pout /kW	効率	iTHD	PF
228.3	1.924	0.4005	401.17	0.984	0.3946	98.80%	13.65%	0.984
226.11	3.651	0.8021	401.22	1.982	0.7951	99.00%	7.53%	0.996
226.89	5.37	1.2071	401.19	2.982	1.1964	99.10%	5.56%	0.998
226.06	7.158	1.6109	401.21	3.979	1.5963	99.10%	4.20%	0.999
225.71	8.956	2.0158	401.11	4.978	1.9966	99.06%	3.18%	0.999
224.82	10.802	2.4236	401.26	5.978	2.3986	98.98%	3.02%	0.999
223.2	12.711	2.8329	401.28	6.98	2.8009	98.87%	2.75%	0.999
222.89	14.545	3.238	401.28	7.967	3.1968	98.74%	2.49%	0.999
222.23	16.438	3.649	401.34	8.968	3.599	98.63%	2.22%	0.999
221.38	18.37	4.062	401.12	9.967	4.0008	98.49%	2.10%	0.999

図 3-4 に、関連する 200V および 277V の効率曲線を示します。

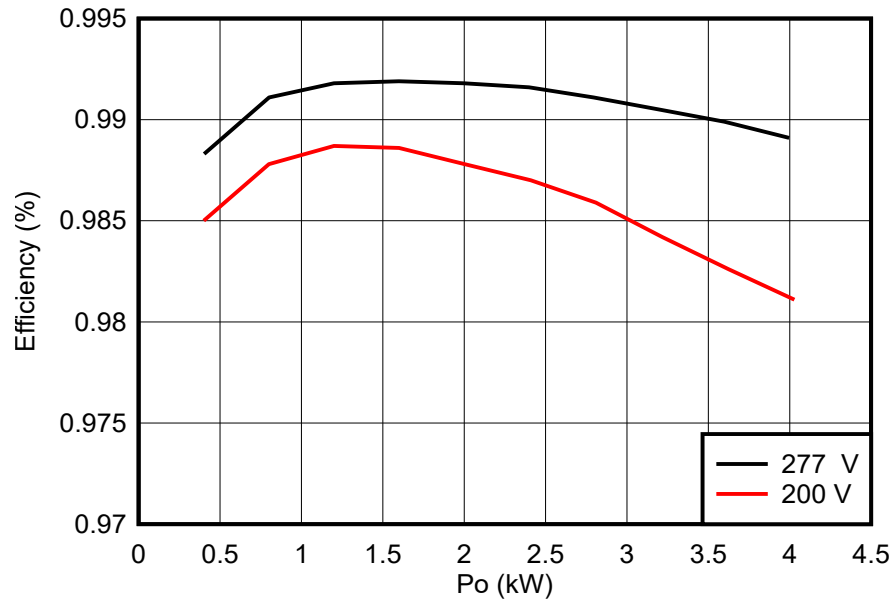


図 3-4. 効率曲線、200V および 277V

表 3-2 および 表 3-3 に、200V と 277V の入力での効率を示します (制御電力と駆動電力は除外)。

表 3-2. 200V 入力時の効率

ピン/kW	V <sub>OUT</sub> /V	I <sub>OUT</sub> /A	P <sub>OUT</sub> /kW	効率
0.4006	396.12	0.996163	0.3946	98.50%
0.8004	396.14	1.995759	0.7906	98.78%
1.2002	396.16	2.995254	1.1866	98.87%
1.6008	396.16	3.994851	1.5826	98.86%
2.0029	396.16	4.994194	1.9785	98.78%
2.4093	396.27	6.000959	2.378	98.70%
2.8091	396.25	6.989022	2.7694	98.59%
3.2165	396.27	7.988745	3.1657	98.42%
3.6249	396.27	8.988568	3.5619	98.26%
4.0285	396.25	9.974763	3.9525	98.11%

表 3-3. 277V 入力時の効率

ピン/kW	V <sub>OUT</sub> /V	I <sub>OUT</sub> /A	P <sub>OUT</sub> /kW	効率
0.4028	396.2	1.004796	0.3981	98.83%
0.8013	396.21	2.004493	0.7942	99.11%
1.2	396.2	3.003786	1.1901	99.18%
1.5991	396.22	4.003331	1.5862	99.19%
1.9984	396.2	5.002776	1.9821	99.18%
2.3983	396.18	6.002575	2.3781	99.16%
2.7949	396.22	6.991066	2.77	99.11%
3.1961	396.22	7.989753	3.1657	99.05%
3.5982	395.22	9.012449	3.5619	98.99%
3.9961	396.21	9.976275	3.9527	98.91%

### 3.3.3 機能波形

#### 3.3.3.1 電流検出と保護

図 3-5、図 3-6、図 3-7 に、OPA607 の 100kHz、500kHz、1MHz における電流センシング波形を示します。高周波ノイズをフィルタリングするために意図的に導入された 220ns の位相遅延は、システム要求に合わせて最適化できます。

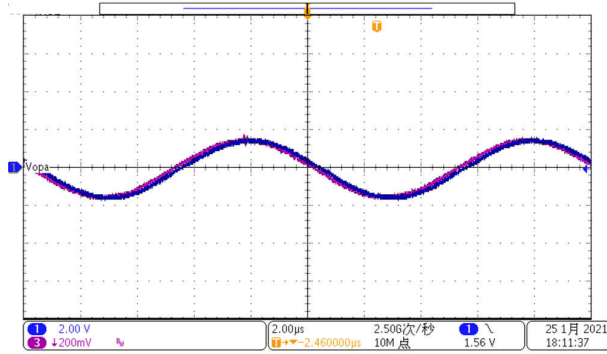


図 3-5. 100kHz の波形

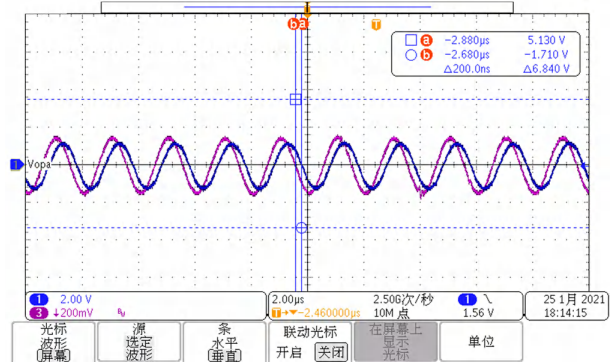


図 3-6. 500kHz の波形

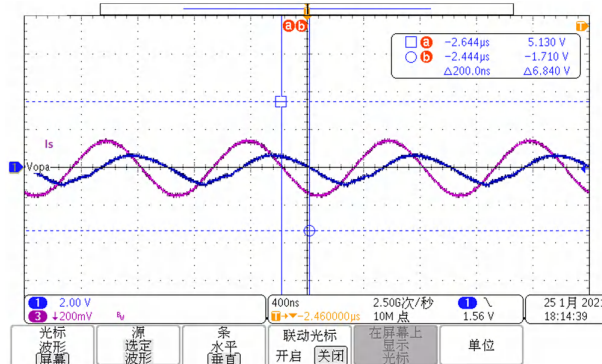


図 3-7. 1MHz の波形

MOSFET 応答の過電流保護には、OPA607 アンプと TLV3502 コンパレータが使用され、[図 3-8](#) の負方向 OCP 応答時間、[図 3-9](#) の正方向 OCP 応答時間に示すように検証されています。

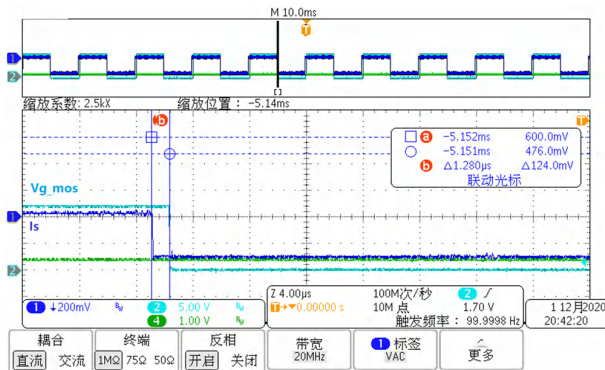


図 3-8. 負の OCP 動作

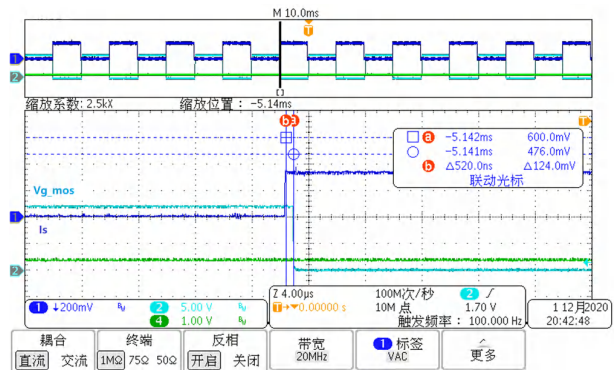


図 3-9. 正の OCP 動作

### 3.3.3.2 電力段のスタートアップ波形と入力波形

[図 3-10](#) に、軽負荷時のスタートアップ波形を示します。

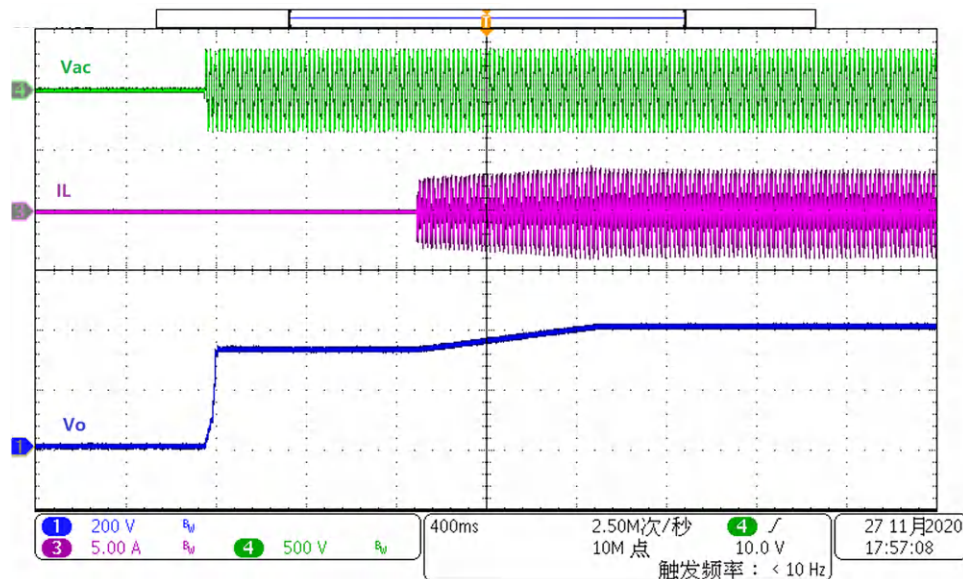


図 3-10. 軽負荷時のスタートアップ波形

図 3-11 に、200V 入力および 4kW 負荷条件での入力電流と電圧の波形を示します。

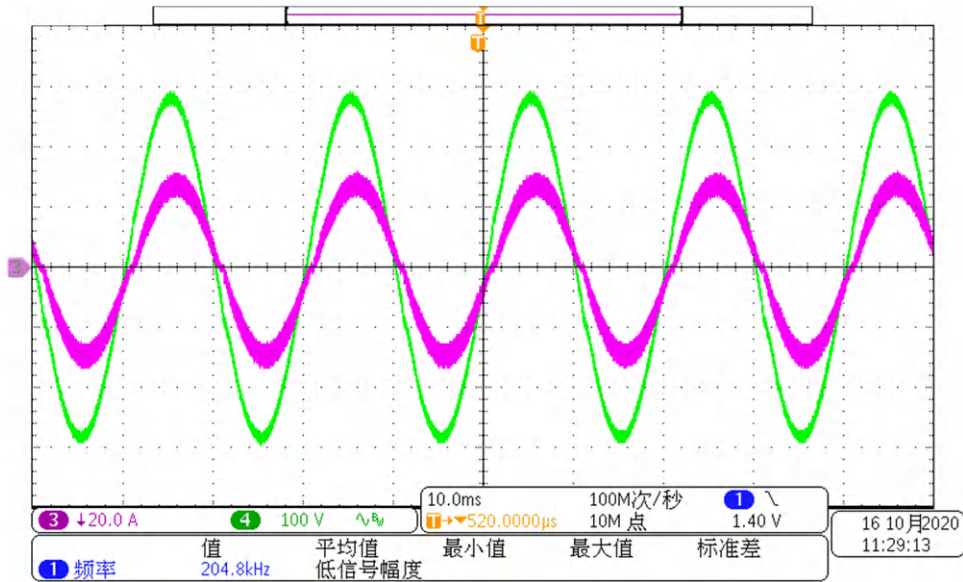


図 3-11. 入力電流および電圧の波形、200V 入力、4kW 負荷

図 3-12 に、方形 AC 入力での入力電流と電圧の波形を示します。

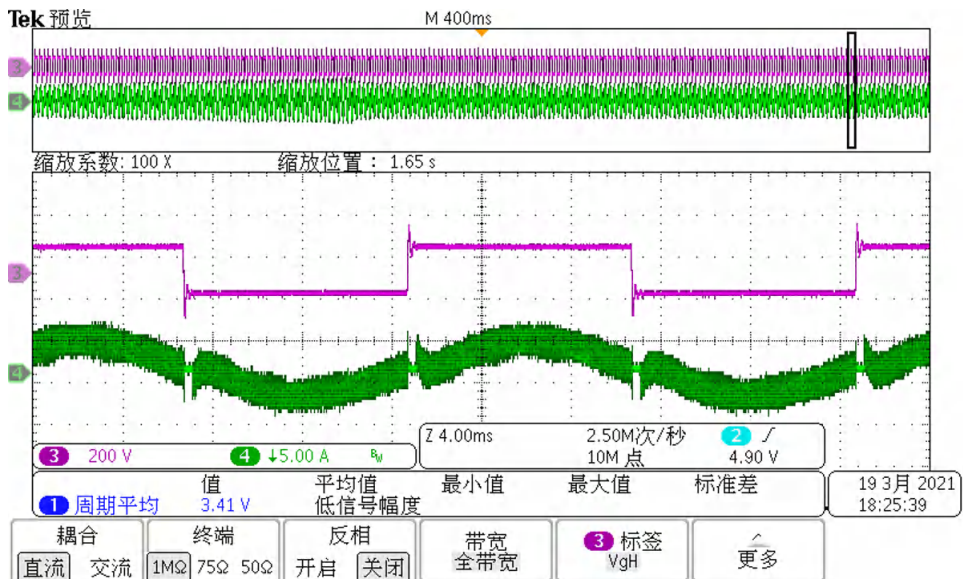


図 3-12. 入力電流および電圧波形、230V の方形 AC 入力



### 3.3.3.3 AC 電圧低下テスト

この設計では、2.8kW の負荷条件において AC 45°C 電圧降下で電力段をテストしました。このテスト結果は、制御ロジックが AC 歪みの影響を受けないを示しています。図 3-13 の波形に結果を示します。

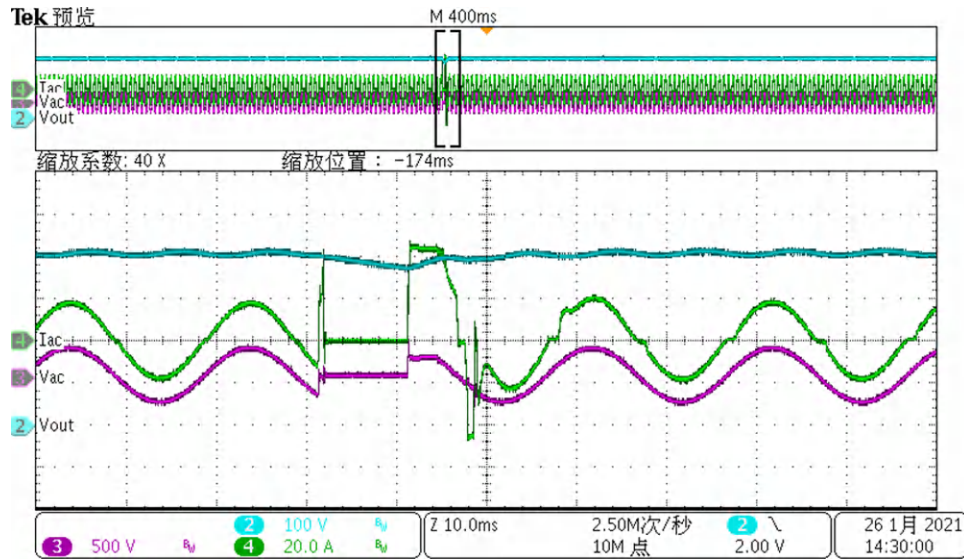


図 3-13. AC 電圧低下テスト

### 3.3.3.4 サージ・テスト

この設計では、ACL と ACN の間の雷サージ・テストを実施しました。図 3-14 に、EUT が接続されていないときの 3kV ライン対中性点サージ電圧波形を示します。

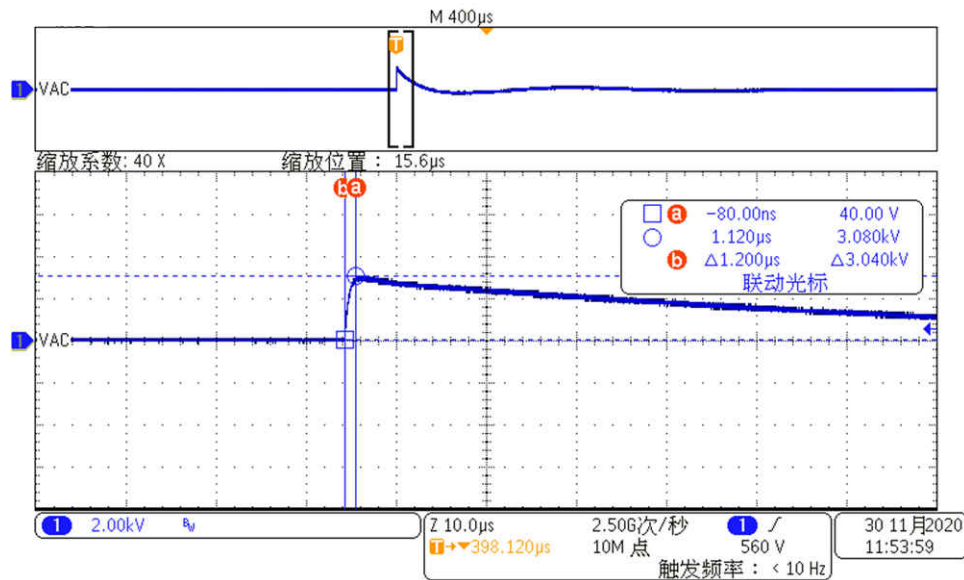


図 3-14. サージ電圧波形



このサージ波形を使用して、入力電流と PFC チョーク電流 (GaN FET を流れる電流と同じ) をテストしました。結果は、サージ電流が突入ダイオードによって完全にバイパスされ、GaN FET にはリスクがないことを示しています (図 3-15 を参照)。

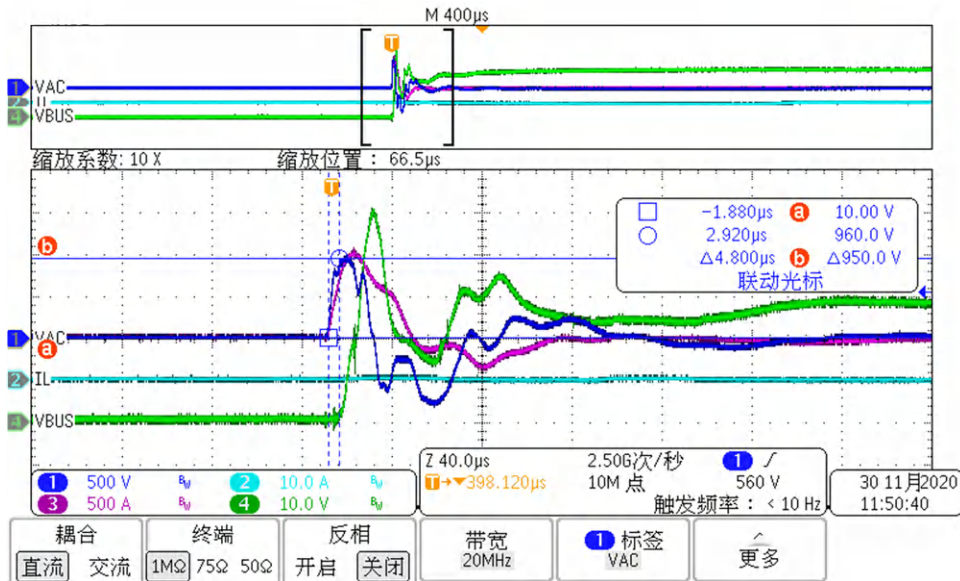


図 3-15. GaN FET、サージ・テストでのチョーク電流

MOSFET を流れるサージ電流は脅威になります。図 3-16 に示すテスト波形では、3kV サージ下の電流が MOSFET の最大ピーク電流仕様を超えています。

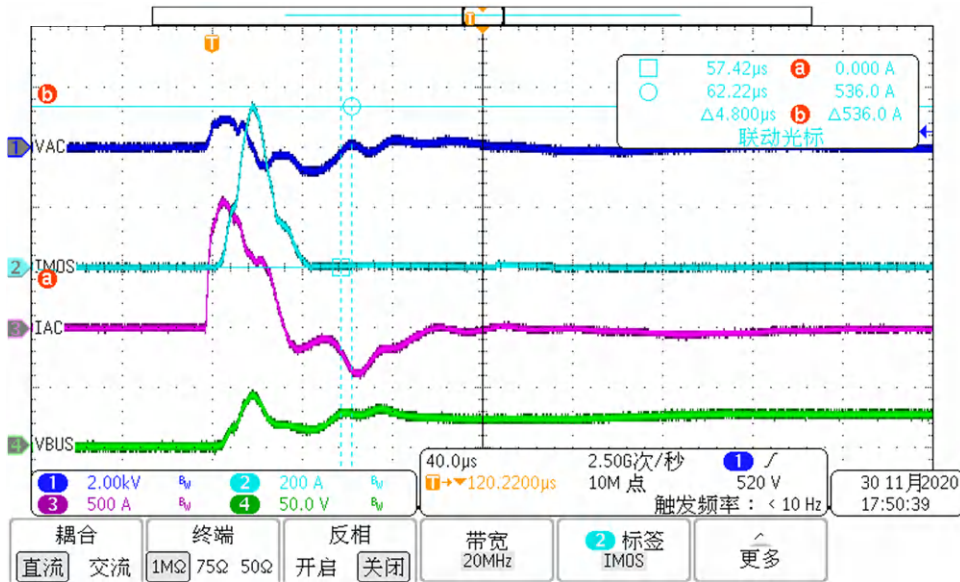


図 3-16. MOSFET を流れるサージ電流

実験は、電力段は  $\pm 3\text{kV}$  のサージに耐えられますが、MOSFET レッグは  $-4\text{kV}$  のサージで破損することを示しています。  
 図 3-17 および図 3-18 に、 $\pm 3\text{kV}$  のサージ波形を示します。

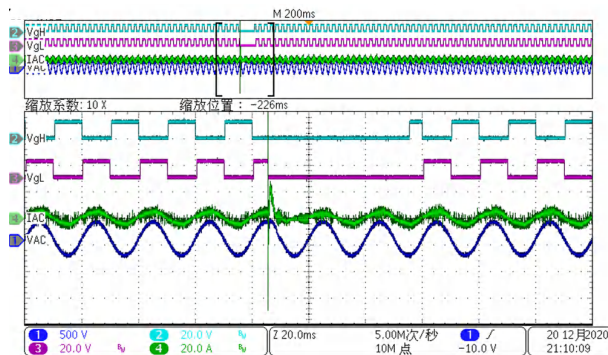


図 3-17. +3kV、90 度でのサージ・テスト

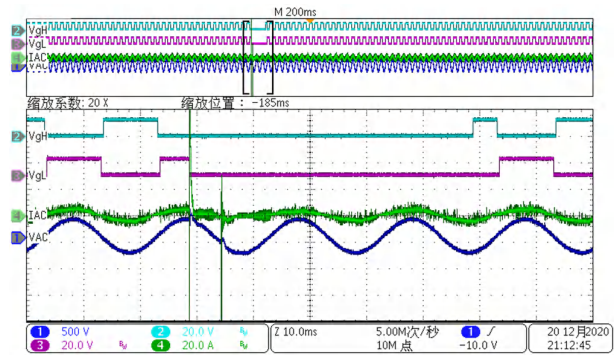
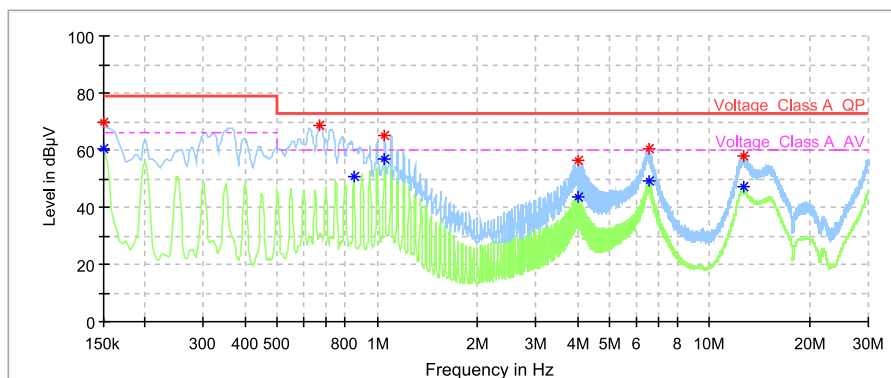


図 3-18. -3kV、90 度でのサージ・テスト

### 3.3.3.5 EMI テスト

このリファレンス・デザインでは、EMI CE に対処する必要があります。1.1MHz および 5.5MHz の CM ノイズがありますが、これは PFC チョークのシールドにより抑制できます。図 3-19 に、230VAC および 40R の抵抗負荷で PFC チョークにシールド銅を追加した後のボード CE テスト結果を示します。



### Critical\_Freqs

Frequency (MHz)	MaxPeak (dBµV)	Average (dBµV)	Limit (dBµV)	Margin (dB)	Meas. Time (ms)	Bandwidth (kHz)	Line	Filter	Corr. (dB)
0.15	69.96	---	79.00	9.04	---	---	---	ON	19
0.15	---	60.41	66.00	5.59	---	---	L1	ON	19
0.67	68.81	---	73.00	4.19	---	---	---	ON	19
0.85	---	50.89	60.00	9.11	---	---	L1	ON	19
1.05	---	56.79	60.00	3.21	---	---	L1	ON	19
1.05	65.17	---	73.00	7.83	---	---	L1	ON	19
4.00	---	43.76	60.00	16.24	---	---	L1	ON	19
4.00	56.56	---	73.00	16.44	---	---	---	ON	19
6.55	---	49.22	60.00	10.78	---	---	L1	ON	19
6.55	60.42	---	73.00	12.58	---	---	L1	ON	19
12.59	---	47.15	60.00	12.85	---	---	L1	ON	19
12.67	57.99	---	73.00	15.01	---	---	L1	ON	19

図 3-19. 230Vac、40R 負荷でシールド付き銅を追加した後の EMI CE 結果

### 注

このリファレンス・デザインでは、EMI CE に対処する必要があります。1.1MHz および 5.5MHz の CM ノイズがありますが、これは PFC チョークのシールドにより抑制できます。図 3-19 に、230VAC および 40R の抵抗負荷で PFC チョークにシールド銅を追加した後のボード CE 性能結果を示します。

### 3.3.4 温度テスト

この設計の熱性能は検証済みです。テスト条件は以下のとおりです。

- 200VAC、4kW 負荷
- 冷却ファン:27CFM、24V 2.64W
- 10 分後に熱平衡に到達

図 3-20 に、テスト結果を示します。

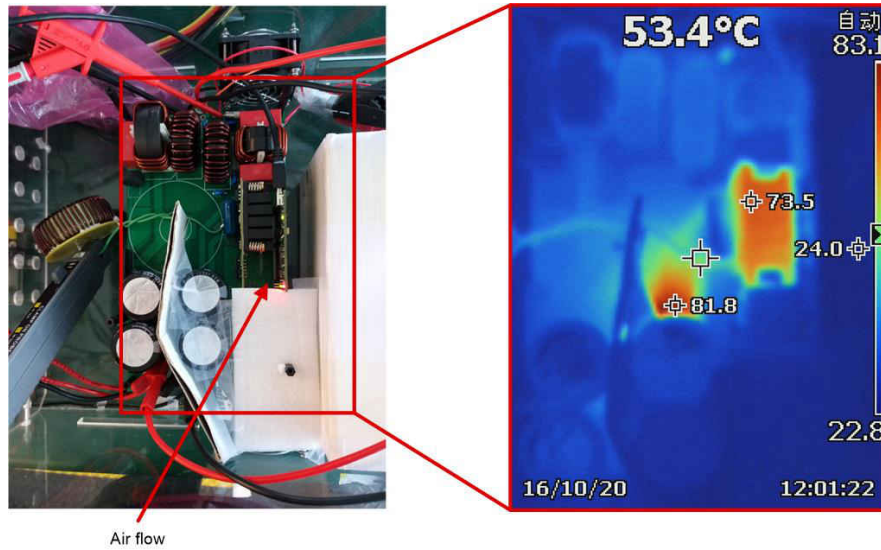


図 3-20. 熱性能テスト

### 3.3.5 GaN FET のスイッチング波形

図 3-21 に、LMG3422R030 GaN FET のスイッチング波形を示します。この波形は 100V/ns のスルーレートを示しており、ハード・スイッチをオンにしたときのアンダーシュートは非常に小さくなります。

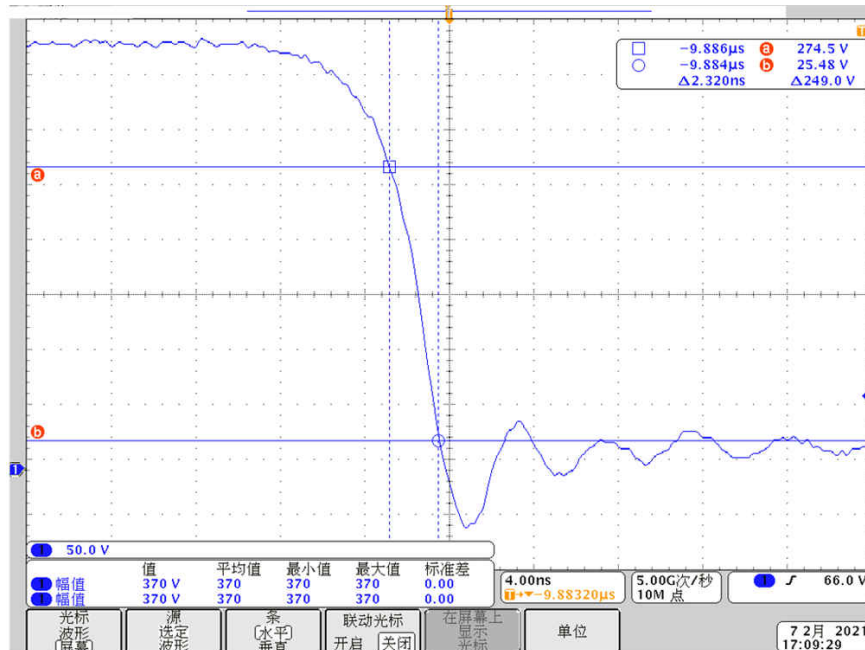


図 3-21. LMG3422R030 のスイッチング波形

## 4 設計とドキュメントのサポート

### 4.1 設計ファイル

#### 4.1.1 回路図

回路図をダウンロードするには、[TIDA-010203](#) のデザイン・ファイルを参照してください。

#### 4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010203](#) のデザイン・ファイルを参照してください。

### 4.2 ドキュメントのサポート

1. テキサス・インスツルメンツ、[1kW、80 Plus Titanium、GaN CCM トーテム・ポール・ブリッジレス PFC およびハーフブリッジ LLC のリファレンス・デザイン](#)
2. テキサス・インスツルメンツ、[『C2000™ MCU を使用した双方向インターリーブ CCM トーテム・ポール・ブリッジレス PFC のリファレンス・デザイン』設計ガイド](#)
3. テキサス・インスツルメンツ、[『LMG342XEVMM-04X ユーザー・ガイド』](#)
4. テキサス・インスツルメンツ、[『LMG342xR030 ドライバと保護機能と温度レポート機能を内蔵、600V、30mΩ の GaN FET』データシート』](#)
5. テキサス・インスツルメンツ、[『TMS320F28004x マイクロコントローラ』データシート](#)
6. テキサス・インスツルメンツ、[『TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』](#)
7. テキサス・インスツルメンツ、[『Piccolo F280049 controlCARD 情報ガイド』](#)

### 4.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

### 4.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 5 著者について

DESHENG GUO は、テキサス・インスツルメンツのシステム・アプリケーション・エンジニアであり、電力供給産業分野に属する電源ソリューションの開発を担当しています。Desheng は 2007 年にハルビン工業大学からパワー・エレクトロニクスの修士号を取得し、テキサス・インスツルメンツに入社する前は DELTA で働いていました。

## 6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2022) to Revision B (April 2023)	Page
• <a href="#">効率曲線、200V および 277V</a> のグラフを更新。.....	9
Changes from Revision * (April 2021) to Revision A (June 2022)	Page
• 「 <a href="#">230Vac、40R 負荷でシールド付き銅を追加した後の EMI CE 結果</a> 」図を更新.....	16
• 注を追加.....	16



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated