



概要

TPS65219 パワー・マネージメント IC (PMIC) ファミリーには、構成可能な不揮発性メモリ (NVM) 空間が含まれています。このプログラマーズ・ガイドでは、PMIC のデフォルト構成を定義するための手順と、NVM の再プログラム方法を段階的に説明しています。

目次

1 概要.....	3
2 NVM プログラミングのハードウェア要件.....	5
3 標準的な NVM フロー.....	6
4 プログラミングに関する指示.....	9
4.1 イネーブル設定の構成.....	10
4.2 降圧の構成.....	11
4.3 LDO の構成.....	12
4.4 GPIO の構成.....	14
4.5 シーケンスの構成.....	16
4.6 マルチファンクション・ピンの構成.....	18
4.7 EN/PB/VSENSE ピンの構成.....	21
4.8 I2C アドレスの変更.....	21
4.9 マスク設定の構成.....	22
4.10 NVM の再プログラミング.....	23
A NVM 以外のレジスタ.....	25
B PMIC への NVM 構成ファイルのロード.....	26
C PMIC の構成可能フィールド.....	27
D 関連資料.....	29

図の一覧

図 1-1. 供給オプション.....	4
図 2-1. NVM プログラミングのハードウェア・セットアップ.....	5
図 3-1. ソケット付き EVM.....	6
図 3-2. プロトタイプの場合.....	7
図 3-3. TPS65219-GUI.....	8
図 4-1. NVM プログラミング.....	9
図 4-2. TPS65219-GUI を使用した設定のイネーブル.....	10
図 4-3. TPS65219-GUI を使用する降圧設定.....	11
図 4-4. TPS65219-GUI を使用する LDO の設定.....	13
図 4-5. GPIO 構成.....	15
図 4-6. シーケンス構成.....	16
図 4-7. TPS65219-GUI を使用するマルチファンクション構成.....	19
図 4-8. TPS65219-GUI を使用した EN/PB/VSENSE 構成.....	21
図 4-9. I2C_ADDRESS_REG.....	22
図 4-10. TPS65219-GUI でのマスク設定.....	22
図 4-11. TPS65219-GUI を使用した NVM の再プログラミング.....	23
図 4-12. TPS65219-GUI を使用して NVM 設定をエクスポート.....	24
図 B-1. NVM 構成ファイルのロード.....	26
図 C-1. NVM プログラマブル・フィールド.....	28

表の一覧

表 1-1. TPS65219 ユーザー・プログラマブル・バリエーション.....	3
表 2-1. NVM プログラミングの最小ハードウェア要件.....	5
表 4-1. イネーブル設定のための NVM レジスタ.....	10
表 4-2. Buck1 構成の NVM レジスタ.....	12
表 4-3. Buck2 構成の NVM レジスタ.....	12
表 4-4. Buck3 構成の NVM レジスタ.....	12
表 4-5. スイッチング・モード用 NVM レジスタ (BUCK_FF_ENABLE = 1h の場合のみ適用可能).....	12
表 4-6. LDO1 設定用の NVM レジスタ.....	13
表 4-7. LDO2 設定用の NVM レジスタ.....	13
表 4-8. LDO3 設定用の NVM レジスタ.....	14
表 4-9. LDO4 設定用の NVM レジスタ.....	14
表 4-10. GPIO 設定用の NVM レジスタ.....	15
表 4-11. マルチ PMIC 構成の NVM レジスタ.....	16
表 4-12. 電源投入時シーケンス - スロット割り当て.....	17
表 4-13. 電源投入時シーケンス - スロット持続時間.....	17
表 4-14. 電源切断時シーケンス - スロット割り当て.....	17
表 4-15. 電源切断時シーケンス - スロット持続時間.....	18
表 4-16. VSEL_SD/VSEL_DDR の NVM レジスタ.....	19
表 4-17. MODE/STBY の NVM レジスタ.....	19
表 4-18. MODE/RESET の NVM レジスタ.....	20
表 4-19. EN/PB/VSENSE の NVM レジスタ.....	21
表 4-20. I2C_ADDRESS_REG.....	22
表 4-21. レジスタ 0x1E のマスク設定.....	22
表 4-22. レジスタ 0x1E のマスク設定.....	23
表 4-23. レジスタ 0x1E のマスク設定.....	23
表 4-24. I2C 書き込みによりレジスタ設定を NVM に保存.....	24

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

このドキュメントで説明されている構成プロセスは、NVM 空間に書き込むもので、量産ラインまたは試作基板での使用を想定しています。このプロセスはレギュレータの出力やデジタル・ピンの機能に影響を及ぼすため、このメカニズムは最終的なアプリケーションでの使用を想定していません。TPS6521905 は、TPS65219 ファミリー部品の注文可能な型番で、カスタム NVM 構成をサポートするために特別に作成されました。表 1-1 に、ユーザーがプログラム可能なバリエーションと、サポートされているパッケージ・サイズ、温度、スイッチング・モードを示します。図 1-1 は、ボリュームに基づく事前構成済みのカスタム NVM の供給オプションについて説明します。事前構成済みの大容量 NVM に加えて、小容量のカスタム NVM にも対応する設計リソースをご用意しています。これらのリソースには、PMIC NVM にすぐにロードできるアプリケーション・ノート、ユーザー・ガイド、テクニカル・リファレンス・マニュアル、NVM 構成ファイルを含めることができます。TI.com の TPS6521905 製品ページにアクセスするか、テキサス・インスツルメンツの PMIC E2E フォーラムを使用して、利用可能なリソースをお問い合わせください。

注

NVM プログラミングをサポートするために、テキサス・インスツルメンツは各パッケージ・サイズに対応する 2 個のソケット付き EVM を提供しています。TPS65219EVM-SKT は、5x5 ソケット付き EVM の注文可能な型番で、TPS65219EVM-RSM は 4x4 ソケット付き EVM の注文可能な型番です。

表 1-1. TPS65219 ユーザー・プログラマブル・バリエーション

OPN	パッケージ	温度	対応スイッチング周波数
TPS6521905RHBR	RHB - 5x5 (0.5mm ピッチ)	Ta = -40°C~105°C Tj = -40°C~125°C	擬似固定周波数 (自動 PFM および強制 PWM)
TPS6521905RSMR	RSM - 4x4 (0.4mm ピッチ)	Ta = -40°C~105°C Tj = -40°C~125°C	擬似固定周波数 (自動 PFM および強制 PWM)
TPS6521905WRHBRQ1	RHB - 5x5 (0.5mm ピッチ) ウェットアップ・フランク	Ta = -40°C~125°C Tj = -40°C~150°C	擬似固定周波数 (自動 PFM および強制 PWM)
お客様からのご請求で、入手可能	RHB - 5x5 (0.5mm ピッチ) ウェットアップ・フランク	Ta = -40°C~125°C Tj = -40°C~150°C	固定周波数 (最良の EMI 制御が必要なアプリケーションに推奨。スペクトラム拡散と位相差スイッチングが利用可能)

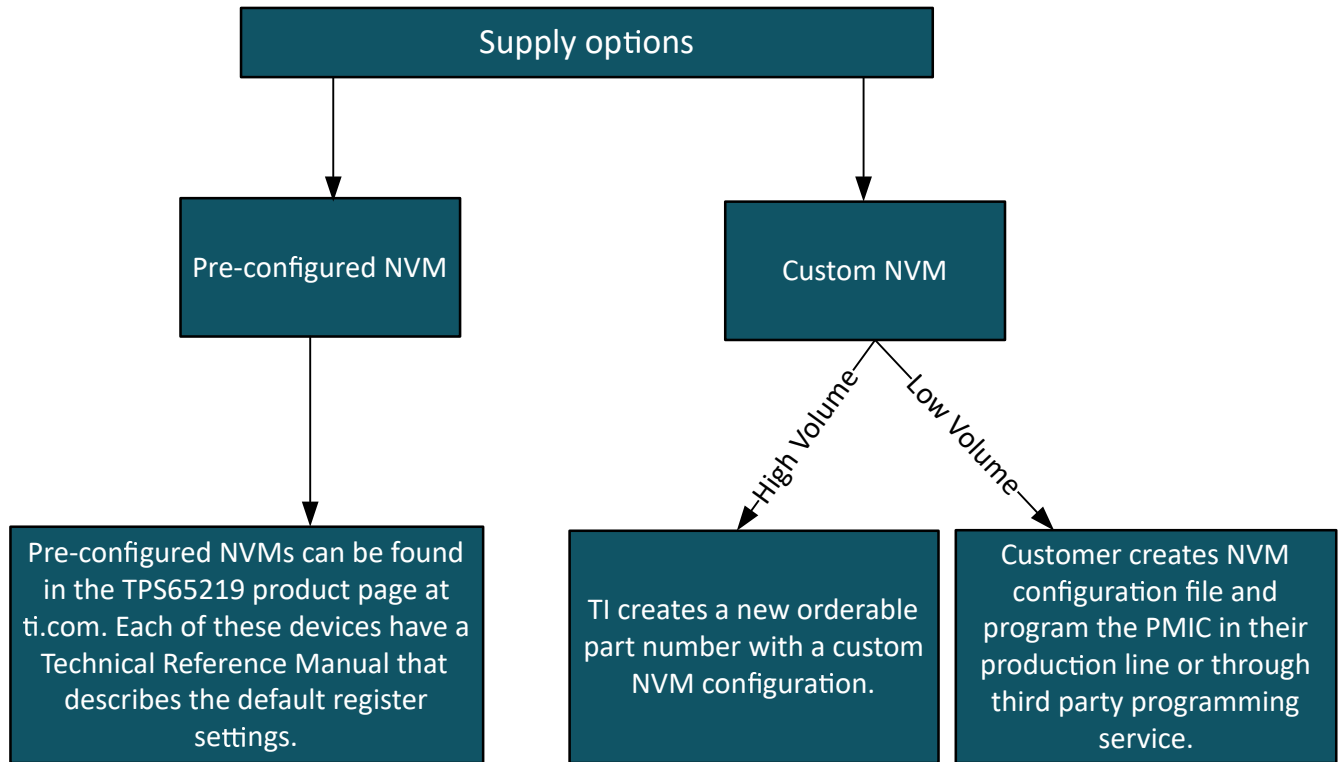


図 1-1. 供給オプション

2 NVM プログラミングのハードウェア要件

PMIC には、レジスタ・マップ空間と NVM 空間の 2 つのメモリ空間があります。NVM の再プログラミングを行うには、まずシリアル・インターフェイス (I2C) を介してレジスタ・マップに書き込み、次にレジスタ設定を NVM に保存します。構成には、最初にレギュレータとデジタル・ピンを制御するレジスタ・マップへの書き込みが含まれるため、依存関係がないか、PMIC リソースを使用する必要があります。たとえば、NVM の再プログラミング時に PMIC 電源リソースの 1 つを使用する代わりに、外部電源を使用して I2C ピンのプルアップ抵抗を供給する必要があります。表 2-1 および図 2-1 に、PMIC とプログラミング・デバイスの間のハードウェア設定の最小ハードウェア要件を示します。

注

インダクタやコンデンサなど他の外付け部品は、初期化状態で NVM を再プログラムする必要はありません。ただし、アクティブ状態での PMIC 動作や NVM 設定の検証には、これらの部品が必要です。

表 2-1. NVM プログラミングの最小ハードウェア要件

デバイス・ピン	必要な接続
VSYS	VSYS 電圧は、仕様で推奨されている最大電圧を上回らない範囲で、3.3V 以上である必要があります。 VSYS には 2.2 μ F 以上の容量が必要です。
VDD1P8	VDD1P8 には 2.2 μ F の容量が必要です
I2C ピン	I2C ピン (SDA/SCL) のプルアップ抵抗は、外部の 3.3V 電源から供給する必要があります。 PMIC の I2C ピンは、PMIC との通信やレジスタへの書き込みが可能な外部 I2C デバイスによって駆動される必要があります。
EN/PB/VSENSE	EN/PB/VSENSE ピンは、プルアップ抵抗で VSYS に接続する必要があります。
AGND	AGND (ピン #15) は、VIA 経由で PCB のグラウンド・プレーンに接続する必要があります。AGND ピンから VIA までのパターンは短絡させておきます。
サーマル・パッド	パッケージのサーマル・パッドは、最低 9 つの VIA を使用して PCB のグラウンド・プレーンに接続する必要があります。

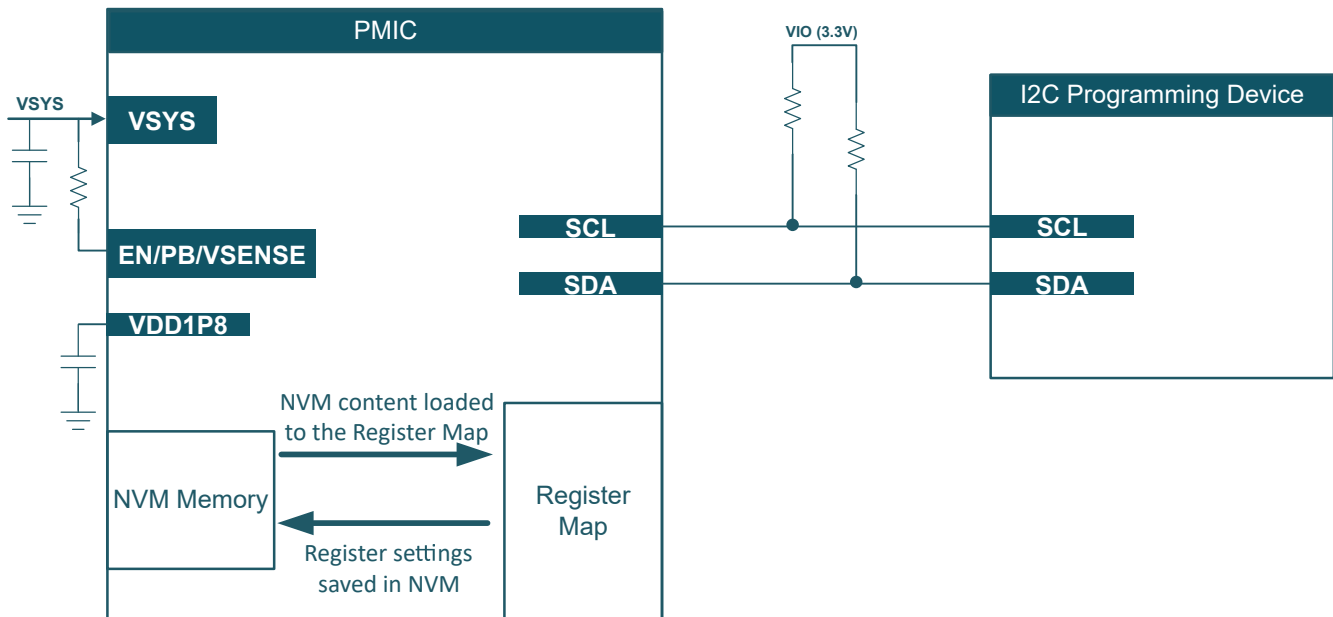


図 2-1. NVM プログラミングのハードウェア・セットアップ

3 標準的な NVM フロー

このセクションでは、以下のステップで構成される標準的な NVM 定義フローについて説明します。システム要件、ハードウェアのセットアップ、NVM プログラミング、テスト / 検証。

1. システム要件

システム要件を特定し、配電ネットワーク (PDN) を構築します。電圧 / 電流、電源投入時 / 電源切断時シーケンス、低消費電力モード、負荷過渡は、プロセッサ、SoC、ペリフェラルの代表的な要件です。

2. ハードウェア設定

TPS65219 は、PMIC ソケット付き EVM、お客様の試作ボード (インサーキット・プログラミング)、または量産ラインを使用してプログラミングできます。

- **ソケット付き EVM:** この PMIC ソケット付き EVM には、I2C 経由で PMIC と通信し、NVM メモリを再プログラムできるオンボード MSP340 が付属しています。また、このハードウェアはディスクリット 3.3V LDO も内蔵しており、PMIC レールが初期化状態でオフのときに I2C プルアップ抵抗に電力を供給できます。

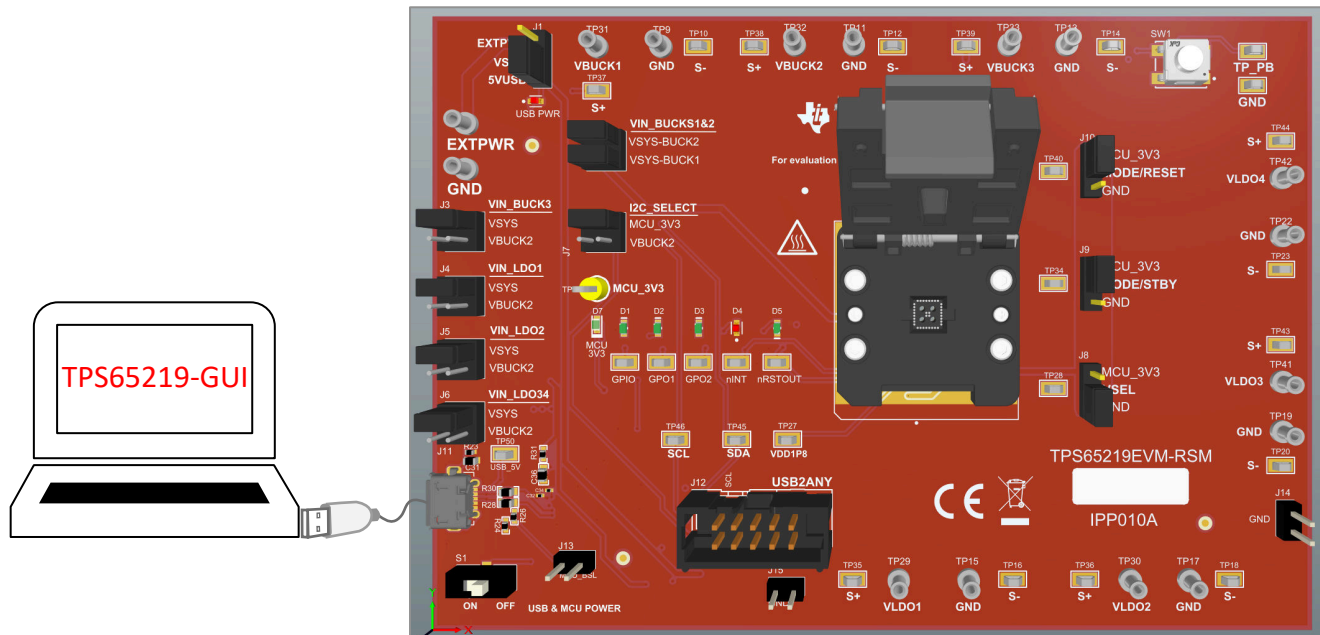


図 3-1. ソケット付き EVM

- **試作ボード:** ユーザーがプログラム可能な TPS6521905 NVM には、すべての電源リソースがデフォルトで非アクティブになっており、EN/PB/VSENSE ピンは FSD なしの押しボタンとして構成されています (PU_ON_FSD = 0x0)。このピンが VSYS にプルアップされている場合、有効な電源が VSYS に接続されているとき、PMIC はオフ (初期化状態) のままです。この構成により、電源投入時シーケンスが実行される前に NVM を再プログラミングできます。図 3-2 に、PMIC NVM を再プログラムするためのお客様が試作ボードに含める必要があるものを示します。必要な部品には、GND、SCL、SDA 上の 3 つのテスト・ポイントと、外部 3.3V と、通常のアプリケーションで I2C ピンに電力を供給する PMIC レールの間のプルアップ電源を選択する 1x3 の 1 列ヘッダ・コネクタが含まれます。USB2ANY (TI.com で入手可能) は、PMIC との通信や、NVM 設定の再プログラムに使用できます。

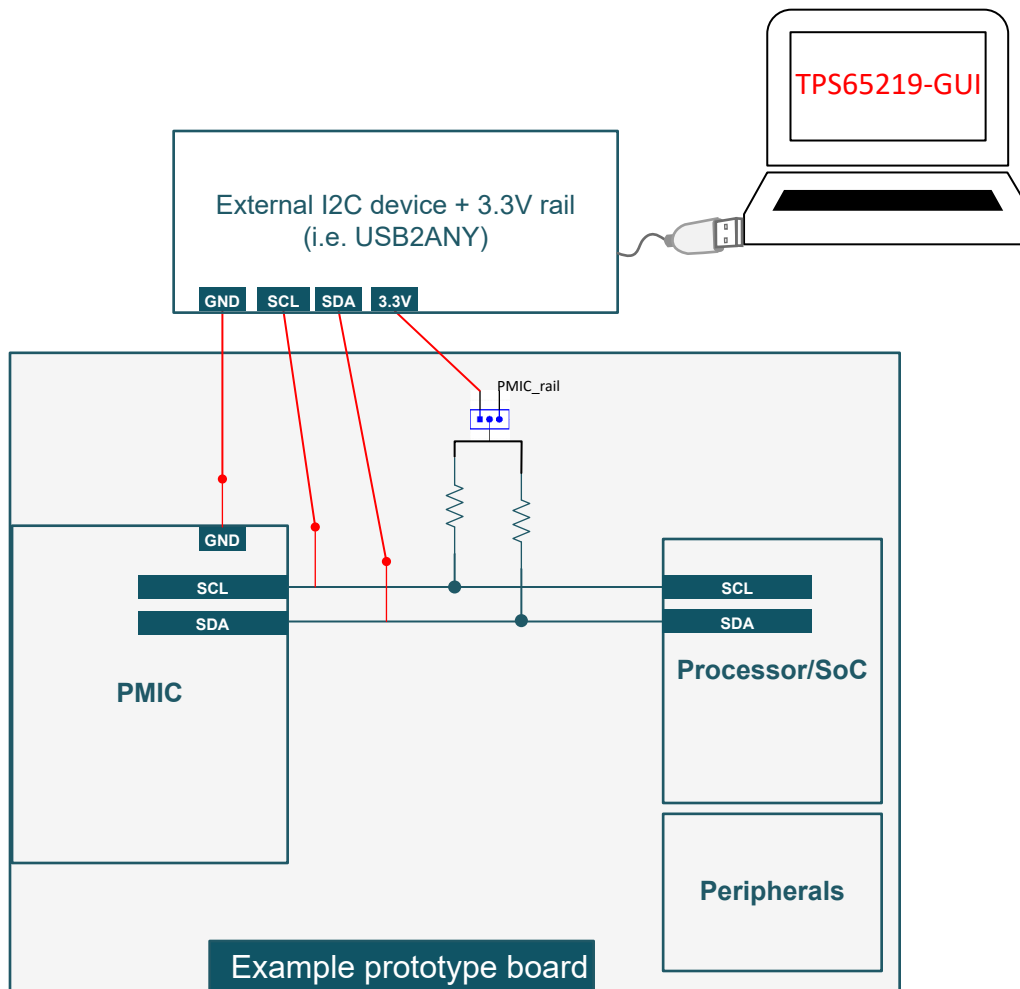


図 3-2. プロトタイプの場合

注

インダクタ、出力容量などの推奨外付け部品の詳細については、データシートの「仕様」および「詳細な設計手順」セクションを参照してください。

- **量産ライン:** デバイスを最終的な PCB に半田付けする前に、[図 2-1](#) に従って量産ラインで PMIC NVM を再プログラムすることもできます。

3. NVM プログラミング

セクション 4 のプログラミング手順に従ってレジスタ設定を変更し、新しい値を NVM メモリに保存します。TPS65219-GUI は、ソケット付き EVM (または試作ボードと外部 USB2ANY) と組み合わせて使用できます。または、好みの I2C デバッガ・ツールを使用して、TPS65219-GUI を使用せずに各 NVM レジスタに書き込むこともできます。NVM を再プログラムしたら、パワー・サイクルを実行して、新しいレジスタ設定が NVM メモリに保存されたことを確認することをお勧めします。

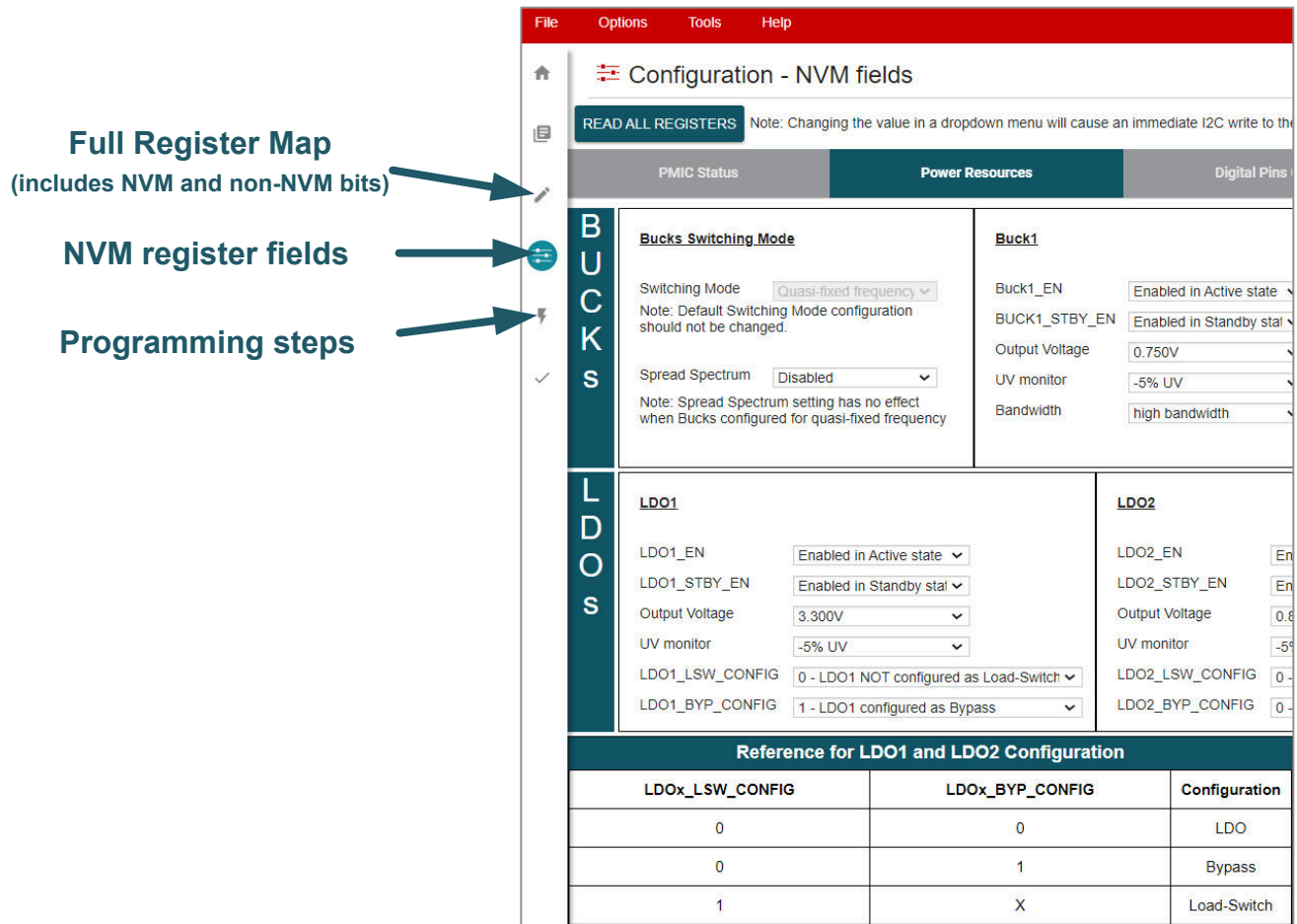


図 3-3. TPS65219-GUI

4. NVM テスト

PMIC の予期される動作を確認するには、NVM の設定をテストする必要があります。以下のリストに、推奨される最小テストを示します。これらのテストは、ソケット付き EVM または試作ボードで実行できます。ソケット付き EVM を使用して PMIC を再プログラムした場合は、お客様の試作ボードにデバイスを半田付けして、システム・レベルの機能をテストおよび検証できます。または、半田付けした TPS65219EVM 上の PMIC を交換して、カスタムの NVM 構成をテストすることもできます。

- すべての出力電圧を測定します
- 電源投入時シーケンスのスコープ波形を収集します (イネーブルの場合は GPIO、および nRSTOUT を含む)
- 電源切断時シーケンスのスコープ波形を収集します (イネーブルの場合は GPIO、および nRSTOUT を含む)
- オン / オフ要求をトリガするための EN/PB/VSENSE ピンの機能と極性をテストします。
- 各マルチファンクション・ピン (VSEL、MODE/STBY、MODE/RESET) の構成と極性をテストします。このピンを High または Low にして、構成されているピンの機能に応じて PMIC の動作が変化するかどうかを確認します。

注

ソケット付き EVM は、再プログラミングや基本的なテスト (例: 出力電圧の測定、電源投入時シーケンス波形の収集など) に使用できますが、負荷過渡や効率などの特定の性能パラメータのテストには使用しないでください。ソケット・ポゴ・ピンとレイアウト配置には、実際のアプリケーションの設計を表すものではないより高い寄生容量が生じるためです。

4 プログラミングに関する指示

このセクションでは、PMIC NVM のプログラミングに必要なステップについて説明します。プログラミング・プロセスは、レジスタ設定の変更と、新しい値の NVM メモリへの保存という、主に 2 つのステップで構成されます。テキサス・インスツルメンツは、NVM を初期化状態にプログラミングすることを推奨します。この場合、VSYS は供給されますが、PMIC 出力とモニタはすべてオフになります。

デバイスを再プログラムする手順を、[図 4-1](#) に示します。最初のコマンドは、デバイスを初期化状態に送信するための I2C OFF 要求で構成されます。このコマンドは、デバイスが初期化状態でない場合にのみ必要です。2 番目の I2C コマンドを使用すると、I2C 通信用の内部発振器がイネーブルになり、レール放電がディセーブルになります。3 番目のステップでは、プログラミングに関する指示に従って、特定のアプリケーション要件に合わせてレジスタ設定を更新する必要があります。レジスタ設定を更新した後、レジスタ・アドレス 0x34 に 0x0A を書き込むことで、新しい値を NVM に保存できます。最後のステップ「検証」はオプションであり、レジスタ設定を NVM の内容と比較する I2C コマンドで構成されています。

注

最初の I2C コマンド (I2C OFF 要求) は、PMIC が初期化状態でない場合のみ必要です。ユーザー・プログラマブル OPN TPS6521905 には、EN/PB/SENSE ピンが「プッシュ・ボタン」として構成されており、FSD 機能はデフォルトでディセーブルになっています。PB として構成されている場合、デバイスはピンが Low になったときにオン要求を検出します。このピンに VSYS へのプルアップがある場合、VSYS が供給された後も PMIC は初期化状態のままです。初期化状態で I2C 通信が利用可能かどうかを確認するには、アドレス 0x01 の NVM ID レジスタを読み取ることを推奨します。読み戻しは、型番の「TPS65219」の後の 2 桁と一致します。たとえば、TPS6521905 を使用する場合、レジスタ 0x01 は 05 と読み出されます。

1 Send I2C OFF Request	Register Address: 0x29 Data: 0x01 (I2C_OFF_REQ)
2 Enable I2C Communication	Register Address: 0x34 Data: 0x09 (EN_OSC_DIY)
3 Update register settings	This step requires updating the correct register settings to match specific application requirements
4 NVM Programming	Register Address: 0x34 Data: 0x0A (EN_OSC_DIY)
5 NVM Validation	Register Address: 0x34 Data: 0x07 (EN_OSC_DIY)

図 4-1. NVM プログラミング

4.1 イネーブル設定の構成

PMIC にはアクティブおよびスタンバイ状態があり、レールをイネーブルまたはディセーブルにできます。STBY として構成されている場合、状態変更は MODE/STBY ピンによってトリガできます。

- 図 4-2 に、TPS65219-GUI を使用するときに変更される設定を示します。
- 表 4-1 に、TPS65219-GUI を使用しない場合に書き込むレジスタ・フィールドを示します。

Configuration - NVM fields

READ ALL REGISTERS Note: Changing the value in a dropdown menu will cause an immediate I2C write to the associated register unless immediate write setting is changed on Register Map page.

PMIC Status	Power Resources	Sequence	Digital Pins Configuration	Mask Settings												
BUCKS	Bucks Switching Mode Switching Mode <input type="text" value="Quasi-fixed frequency"/> Note: Default Switching Mode configuration should not be changed. Spread Spectrum <input type="text" value="Disabled"/> Note: Spread Spectrum setting has no effect when Bucks configured for quasi-fixed frequency	Buck1 Buck1_EN <input type="text" value="Disabled in Active state"/> BUCK1_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="0.600V"/> UV monitor <input type="text" value="-5% UV"/> Bandwidth <input type="text" value="low bandwidth"/>	Buck2 Buck2_EN <input type="text" value="Disabled in Active state"/> BUCK2_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="0.600V"/> UV monitor <input type="text" value="-5% UV"/> Bandwidth <input type="text" value="low bandwidth"/> Phase Config <input type="text" value="0 degrees"/>	Buck3 Buck3_EN <input type="text" value="Disabled in Active state"/> BUCK3_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="0.600V"/> UV monitor <input type="text" value="-5% UV"/> Bandwidth <input type="text" value="low bandwidth"/> Phase Config <input type="text" value="0 degrees"/>												
	LDOs	LDO1 LDO1_EN <input type="text" value="Disabled in Active state"/> LDO1_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="0.600V"/> UV monitor <input type="text" value="-5% UV"/> LDO1_LSW_CONFIG <input type="text" value="0 - LDO1 NOT configured as Load-Switch"/> LDO1_BYP_CONFIG <input type="text" value="0 - LDO1 configured as LDO"/>	LDO2 LDO2_EN <input type="text" value="Disabled in Active state"/> LDO2_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="0.600V"/> UV monitor <input type="text" value="-5% UV"/> LDO2_LSW_CONFIG <input type="text" value="0 - LDO2 NOT configured as Load-Switch"/> LDO2_BYP_CONFIG <input type="text" value="0 - LDO2 configured as LDO"/>	LDO3 LDO3_EN <input type="text" value="Disabled in Active state"/> LDO3_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="1.200V"/> UV monitor <input type="text" value="-5% UV"/> Configuration <input type="text" value="LDO Mode"/> Power-Up Ramp <input type="text" value="Fast ramp"/>	LDO4 LDO4_EN <input type="text" value="Disabled in Active state"/> LDO4_STBY_EN <input type="text" value="Disabled in Standby stat"/> Output Voltage <input type="text" value="1.200V"/> UV monitor <input type="text" value="-5% UV"/> Configuration <input type="text" value="LDO Mode"/> Power-Up Ramp <input type="text" value="Fast ramp"/>											
		Reference for LDO1 and LDO2 Configuration														
		<table border="1"> <thead> <tr> <th>LDOx_LSW_CONFIG</th> <th>LDOx_BYP_CONFIG</th> <th>Configuration</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>LDO</td> </tr> <tr> <td>0</td> <td>1</td> <td>Bypass</td> </tr> <tr> <td>1</td> <td>X</td> <td>Load-Switch</td> </tr> </tbody> </table>	LDOx_LSW_CONFIG	LDOx_BYP_CONFIG	Configuration	0	0	LDO	0	1	Bypass	1	X	Load-Switch		
LDOx_LSW_CONFIG		LDOx_BYP_CONFIG	Configuration													
0	0	LDO														
0	1	Bypass														
1	X	Load-Switch														

図 4-2. TPS65219-GUI を使用した設定のイネーブル

表 4-1. イネーブル設定のための NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
アクティブ状態のレールのイネーブル	0x02	6	LDO4_EN	0h = ディセーブル 1h = イネーブル
		5	LDO3_EN	0h = ディセーブル 1h = イネーブル
		4	LDO2_EN	0h = ディセーブル 1h = イネーブル
		3	LDO1_EN	0h = ディセーブル 1h = イネーブル
		2	BUCK3_EN	0h = ディセーブル 1h = イネーブル
		1	BUCK2_EN	0h = ディセーブル 1h = イネーブル
		0	BUCK1_EN	0h = ディセーブル 1h = イネーブル

表 4-1. イネーブル設定のための NVM レジスタ (continued)

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
スタンバイ状態のレールのイネーブル	0x21	6	LDO4_STBY_EN	0h = ディセーブル 1h = イネーブル
		5	LDO3_STBY_EN	0h = ディセーブル 1h = イネーブル
		4	LDO2_STBY_EN	0h = ディセーブル 1h = イネーブル
		3	LDO1_STBY_EN	0h = ディセーブル 1h = イネーブル
		2	BUCK3_STBY_EN	0h = ディセーブル 1h = イネーブル
		1	BUCK2_STBY_EN	0h = ディセーブル 1h = イネーブル
		0	BUCK1_STBY_EN	0h = ディセーブル 1h = イネーブル

4.2 降圧の構成

降圧コンバータに対しては、いくつかの設定をプログラムできます。このような設定には、とりわけ出力電圧、低電圧 (UV) 監視、帯域幅などがあります。

- 図 4-3 に、TPS65219-GUI を使用するときに変更される設定を示します。
- 表 4-2、表 4-3、表 4-4 および表 4-5 に、TPS65219-GUI を使用しない場合書き込むレジスタ・フィールドを示します。

The screenshot shows the 'Configuration - NVM fields' page for the TPS65219. It is divided into 'BUCKS' and 'LDOs' sections. The 'BUCKS' section includes Buck1, Buck2, and Buck3 configurations with fields for Buckx_EN, Buckx_STBY_EN, Output Voltage, UV monitor, Bandwidth, and Phase Config. The 'LDOs' section includes LDO1, LDO2, LDO3, and LDO4 configurations with fields for LDOx_EN, LDOx_STBY_EN, Output Voltage, UV monitor, LDOx_LSW_CONFIG, and LDOx_BYP_CONFIG. A 'Reference for LDO1 and LDO2 Configuration' table is also present.

LDOx_LSW_CONFIG	LDOx_BYP_CONFIG	Configuration
0	0	LDO
0	1	Bypass
1	X	Load-Switch

図 4-3. TPS65219-GUI を使用する降圧設定

表 4-2. Buck1 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x0A	7	BUCK1_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV 監視		6	BUCK1_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	BUCK1_VSET	データシートのレジスタ・マップを参照

表 4-3. Buck2 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x09	7	BUCK2_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV 監視		6	BUCK2_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	BUCK2_VSET	データシートのレジスタ・マップを参照

表 4-4. Buck3 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x08	7	BUCK3_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV 監視		6	BUCK3_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	BUCK3_VSET	データシートのレジスタ・マップを参照

表 4-5. スイッチング・モード用 NVM レジスタ (BUCK_FF_ENABLE = 1h の場合のみ適用可能)

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
スペクトラム拡散	0x03	5	BUCK_SS_ENABLE	0h = スペクトラム拡散をディセーブル 1h = スペクトラム拡散をイネーブル
スイッチング・モード		4	BUCK_FF_ENABLE	このビットは変更しないでください
Buck2/Buck3 フェーズ構成		3-2	BUCK3_PHASE_CONFIG	0h = 0 度 1h = 90 度 2h = 180 度 3h = 270 度
		1-0	BUCK2_PHASE_CONFIG	0h = 0 度 1h = 90 度 2h = 180 度 3h = 270 度

4.3 LDO の構成

LDO レギュレータにはいくつかの設定をプログラムできます。これらの設定には、出力電圧や低電圧 (UV) 監視などがあります。

- 図 4-4 に、TPS65219-GUI を使用するときに変更される設定を示します。

- 表 4-6、表 4-7、表 4-8 および表 4-9 に、TPS65219-GUI を使用しない場合にかき込むレジスタ・フィールドを示します。

The screenshot shows the 'Configuration - NVM fields' page for the TPS65219. It is divided into sections for Buck1, Buck2, Buck3, LDO1, LDO2, LDO3, and LDO4. Each section contains various configuration parameters such as 'EN', 'STBY_EN', 'Output Voltage', 'UV monitor', 'Bandwidth', and 'Phase Config'. A 'Reference for LDO1 and LDO2 Configuration' table is also present, detailing the bit settings for LDO1 and LDO2.

Reference for LDO1 and LDO2 Configuration		
LDOx_LSW_CONFIG	LDOx_BYP_CONFIG	Configuration
0	0	LDO
0	1	Bypass
1	X	Load-Switch

図 4-4. TPS65219-GUI を使用する LDO の設定

表 4-6. LDO1 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
出力電圧	0x07	5-0	LDO1_VSET	データシートのレジスタ・マップを参照
構成		7	LDO1_LSW_CONFIG	0h = LDO1 を負荷スイッチとして構成していない 1h = LDO1 を負荷スイッチとして構成
		6	LDO1_BYP_CONFIG	0h = LDO1 を LDO として構成 1h = LDO1 をバイパスとして構成 (LDO1_LSW_CONFIG 0x0 の場合のみ適用可能)
UV 監視	0x1E	3	LDO1_UV_THR	0h = -5% UV 1h = -10% UV

表 4-7. LDO2 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
出力電圧	0x06	7	LDO2_VSET	データシートのレジスタ・マップを参照
構成		6	LDO2_LSW_CONFIG	0h = LDO1 を負荷スイッチとして構成していない 1h = LDO1 を負荷スイッチとして構成
		5-0	LDO2_BYP_CONFIG	0h = LDO1 を LDO として構成 1h = LDO1 をバイパスとして構成 (LDO1_LSW_CONFIG 0x0 の場合のみ適用可能)
UV 監視	0x1E	4	LDO2_UV_THR	0h = -5% UV 1h = -10% UV

表 4-8. LDO3 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
出力電圧	0x05	5-0	LDO3_VSET	データシートのレジスタ・マップを参照
構成		6	LDO3_LSW_CONFIG	0h = LDO モード 1h = LSW モード
ランプ		7	LDO3_SLOW_PU_RAMP	0h = 電源投入時の高速ランプ 1h = 電源投入時の低速ランプ
UV 監視	0x1E	5	LDO3_UV_THR	0h = -5% UV 1h = -10% UV

表 4-9. LDO4 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
出力電圧	0x04	5-0	LDO4_VSET	データシートのレジスタ・マップを参照
構成		6	LDO4_LSW_CONFIG	0h = LDO モード 1h = LSW モード
ランプ		7	LDO4_SLOW_PU_RAMP	0h = 電源投入時の高速ランプ 1h = 電源投入時の低速ランプ
UV 監視	0x1E	6	LDO4_UV_THR	0h = -5% UV 1h = -10% UV

4.4 GPIO の構成

GPIO を使用して、外部のディスクリート部品をイネーブルにできます。GPIO を使用してマルチ PMIC 構成を行い、2 つの TPS65219 デバイス間で電源投入時 / 電源切断時シーケンスを同期することもできます。

- [図 4-5](#) に、TPS65219-GUI を使用するときに変更される設定を示します。
- [表 4-10](#)、[表 4-11](#) に、TPS65219-GUI を使用しない場合書き込むレジスタ・フィールドを示します。

Configuration - NVM fields

READ ALL REGISTERS Note: Changing the value in a dropdown menu will cause an immediate I2C write to the associated register unless immediate write setting is changed on Register Map page.

PMIC Status Power Resources Sequence Digital Pins Configuration

ENABLE

EN / PB / VSENSE (pin# 25)

Pin Configuration: Enable
Deglitch: Short Deglitch
FSD: Disable

Deglitch Reference		
Pin Configuration	Short_deglitch(TYP)	Long_deglitch(TYP)
Enable	120us	50ms
VSENSE	120us	50ms
Push-Button	200ms	600ms

MULTI

VSEL_SD / VSEL_DDR (pin# 12)

Pin Configuration: DDR
Rail Selection: LDO1
VSEL_SD_POLARITY: 0
Note: See Table "VSEL_SD/VSEL_DDR configuration options" in the data sheet for more information about pin polarity
VSEL_SD Control via I2C: 1.8V
Note: VSEL_SD Control has no effect if pin 12 configured as SD

MODE / RESET (pin#28)

Pin Configuration: MODE
Reset Selection: Cold Reset
MODE_RESET_POLARITY: 0
Note: See Table "MODE, STBY and RESET configuration" in the data sheet for more information about pin polarity

MODE / STBY (pin# 31)

Pin Configuration: MODE
MODE_STBY_POLARITY: 0
Note: See Table "MODE, STBY and RESET configuration" in the data sheet for more information about pin polarity
BUCK MODE Control via I2C: Auto PFM

GPIOs

GPIO (pin# 18)

GPIO Config: Single-device config
GPIO Active State: Disabled
GPIO_Standby State: Disabled

GPO1 (pin# 8)

GPO1 Active State: Disabled
GPO1 Standby State: Disabled

GPO2 (pin# 17)

GPO2 Active State: Disabled
GPO2 Standby State: Disabled

図 4-5. GPIO 構成

表 4-10. GPIO 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
アクティブ状態のイネーブル設定	0x1E	2	GPIO_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。
		1	GPO2_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。
		0	GPO1_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。
スタンバイ状態のイネーブル設定	0x22	2	GPIO_STBY_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。
		1	GPO2_STBY_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。
		0	GPO1_STBY_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ・インピーダンスです。

表 4-11. マルチ PMIC 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
GPO2 構成	0x1F	3	MULTI_DEVICE_ENABLE	0h = シングル・デバイス構成 1h = マルチ・デバイス構成

4.5 シーケンスの構成

PMIC シーケンスを構成するプロセスは、以下の 2 つのステップで構成されます。

1. 電源投入時 / 電源切断時スロット割り当て: スロット割り当てにより、レールがオンまたはオフになる順序が定義されます。各 PMIC レールにスロットを割り当てる必要があります。使用可能なスロットは 16 個 (0~15) です。複数のレール (GPIO を含む) を同じスロットに割り当てて、それらを同時にイネーブルにすることができます。
2. 電源投入時 / 電源切断時スロット持続時間: スロット持続時間とは、あるスロットの開始から次のスロットの開始までの時間です。たとえば、Buck1 が 3ms の期間で slot0 に割り当てられ、Buck2 がスロット 1 に割り当てられている場合、Buck1 の 3ms 後に Buck2 がオンになります。

注

スロット持続時間は、レールが上昇するのに要する時間を決めるものではありません。スロット持続時間は、次のスロットに割り当てられたレールをイネーブル (またはディセーブル) にするまで、PMIC が待機する時間だけを指定します。

- [図 4-6](#) に、TPS65219-GUI を使用するときに変更される設定を示します
- [表 4-12](#)、[表 4-13](#)、[表 4-14](#) および [表 4-15](#) に、TPS65219-GUI を使用しない場合にかき込むレジスタ・フィールドを示します。

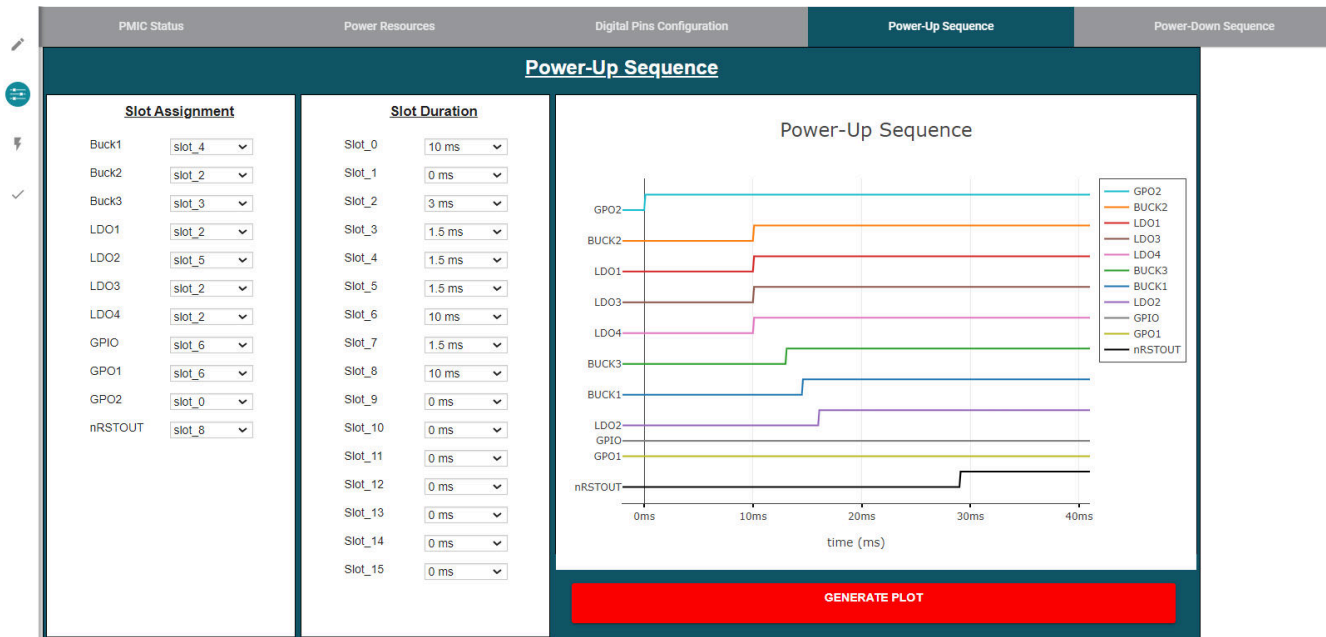

図 4-6. シーケンス構成

表 4-12. 電源投入時シーケンス - スロット割り当て

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源投入時シーケンス スロット割り当て	0x11	7-4	BUCK1_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0x10	7-4	BUCK2_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0xF	7-4	BUCK3_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0xE	7-4	LDO1_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0xD	7-4	LDO2_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0xC	7-4	LDO3_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0xB	7-4	LDO4_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0x15	7-4	GPO1_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0x14	7-4	GPO2_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
	0x13	7-4	GPIO_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照
0x12	7-4	nRST_SEQUENCE_ON_SLOT	データシートのレジスタ・マップを参照	

表 4-13. 電源投入時シーケンス - スロット持続時間

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源投入時シーケンス スロット持続時間	0x16	7-6	POWER_UP_SLOT_0_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_UP_SLOT_1_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_UP_SLOT_2_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_UP_SLOT_3_DURATION	データシートのレジスタ・マップを参照
	0x17	7-6	POWER_UP_SLOT_4_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_UP_SLOT_5_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_UP_SLOT_6_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_UP_SLOT_7_DURATION	データシートのレジスタ・マップを参照
	0x18	7-6	POWER_UP_SLOT_8_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_UP_SLOT_9_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_UP_SLOT_10_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_UP_SLOT_11_DURATION	データシートのレジスタ・マップを参照
	0x19	7-6	POWER_UP_SLOT_12_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_UP_SLOT_13_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_UP_SLOT_14_DURATION	データシートのレジスタ・マップを参照
1-0		POWER_UP_SLOT_15_DURATION	データシートのレジスタ・マップを参照	

表 4-14. 電源切断時シーケンス - スロット割り当て

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源切断時シーケンス スロット割り当て	0x11	7-4	BUCK1_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0x10	7-4	BUCK2_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0xF	7-4	BUCK3_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0xE	7-4	LDO1_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0xD	7-4	LDO2_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0xC	7-4	LDO3_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0xB	7-4	LDO4_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0x15	7-4	GPO1_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0x14	7-4	GPO2_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
	0x13	7-4	GPIO_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照
0x12	7-4	nRST_SEQUENCE_OFF_SLOT	データシートのレジスタ・マップを参照	

表 4-15. 電源切断時シーケンス - スロット持続時間

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源切断時シーケンス スロット持続時間	0x1A	7-6	POWER_DOWN_SLOT_0_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_DOWN_SLOT_1_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_DOWN_SLOT_2_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_DOWN_SLOT_3_DURATION	データシートのレジスタ・マップを参照
	0x1B	7-6	POWER_DOWN_SLOT_4_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_DOWN_SLOT_5_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_DOWN_SLOT_6_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_DOWN_SLOT_7_DURATION	データシートのレジスタ・マップを参照
	0x1C	7-6	POWER_DOWN_SLOT_8_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_DOWN_SLOT_9_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_DOWN_SLOT_10_DURATION	データシートのレジスタ・マップを参照
		1-0	POWER_DOWN_SLOT_11_DURATION	データシートのレジスタ・マップを参照
	0x1D	7-6	POWER_DOWN_SLOT_12_DURATION	データシートのレジスタ・マップを参照
		5-4	POWER_DOWN_SLOT_13_DURATION	データシートのレジスタ・マップを参照
		3-2	POWER_DOWN_SLOT_14_DURATION	データシートのレジスタ・マップを参照
1-0		POWER_DOWN_SLOT_15_DURATION	データシートのレジスタ・マップを参照	

4.6 マルチファンクション・ピンの構成

TPS65219 PMIC には、構成可能な 3 つのマルチファンクション・ピンがあります。MODE/STBY および MODE/RESET は、スイッチングを選択する MODE として、スタンバイ状態への遷移をトリガする STBY として、またはコールド・リセットまたはウォーム・リセットをトリガする RESET として構成できます。VSEL_SD/VSEL_DDR ピンは、LDO1 または LDO2 (選択可能) の出力電圧、または Buck3 の出力電圧を設定するように構成できます。ピンの極性については、データシートを参照してください。

注

VSEL_SD/VSEL_DDR を使用して LDO1 (または LDO2) の出力電圧を設定しない場合は、DDR として構成し、回路図のプルダウン抵抗で GND にプルダウンする必要があります。また、VSEL_SD_I2C_CTRL を 1h に設定する必要があります。

- [図 4-7](#) に、TPS65219-GUI を使用するときに変更される設定を示します
- [図 4-7](#) に、TPS65219-GUI を使用しない場合に書き込むレジスタ・フィールドを示します。

Configuration - NVM fields

READ ALL REGISTERS Note: Changing the value in a dropdown menu will cause an immediate I2C write to the associated register unless immediate write setting is changed on Register Map page.

PMIC Status Power Resources Sequence Digital Pins Configuration

ENABLE

EN / PB / VSENSE (pin# 25)

Pin Configuration: Enable
Deglitch: Short Deglitch
FSD: Disable

Deglitch Reference		
Pin Configuration	Short_deglitch(TYP)	Long_deglitch(TYP)
Enable	120us	50ms
VSENSE	120us	50ms
Push-Button	200ms	600ms

MULTI

VSEL_SD / VSEL_DDR (pin# 12)

Pin Configuration: DDR
Rail Selection: LDO1
VSEL_SD_POLARITY: 0
Note: See Table "VSEL_SD/VSEL_DDR configuration options" in the data sheet for more information about pin polarity
VSEL_SD Control via I2C: 1.8V
Note: VSEL_SD Control has no effect if pin 12 configured as SD

MODE / RESET (pin#28)

Pin Configuration: MODE
Reset Selection: Cold Reset
MODE_RESET_POLARITY: 0
Note: See Table "MODE, STBY and RESET configuration" in the data sheet for more information about pin polarity

MODE / STBY (pin# 31)

Pin Configuration: MODE
MODE_STBY_POLARITY: 0
Note: See Table "MODE, STBY and RESET configuration" in the data sheet for more information about pin polarity
BUCK MODE Control via I2C: Auto PFM

GPIOs

GPIO (pin# 18)

GPIO Config: Single-device config
GPIO Active State: Disabled
GPIO_Standby State: Disabled

GPIO1 (pin# 8)

GPIO1 Active State: Disabled
GPIO1 Standby State: Disabled

GPIO2 (pin# 17)

GPIO2 Active State: Disabled
GPIO2 Standby State: Disabled

図 4-7. TPS65219-GUI を使用するマルチファンクション構成

表 4-16. VSEL_SD/VSEL_DDR の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x1F	0	VSEL_DDR_SD	0h = Buck3 の電圧を設定するために VSEL ピンを DDR として構成 1h = VSEL_RAIL の電圧を設定するために VSEL ピンを SD として構成
VSEL レールの選択		2	VSEL_RAIL	0h = LDO1 1h = LDO2
ピンの極性		1	VSEL_SD_POLARITY	0h = • LOW: 1.8V • HIGH: LDOx_VOUT レジスタ 1h = • HIGH: 1.8V • LOW: LDOx_VOUT レジスタ

表 4-17. MODE/STBY の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x20	1-0	MODE_STBY_CONFIG	0h = MODE 1h = STBY 2h = MODE および STBY 3h = MODE
ピンの極性	0x1F	4	MODE_STBY_POLARITY	データシートのレジスタ・マップを参照

表 4-18. MODE/RESET の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x20	2	MODE_RESET_CONFIG	0h = MODE 1h = RESET
RESET 構成		6	WARM_COLD_RESET_CONFIG	0h = コールド・リセット 1h = ウォーム・リセット
ピンの極性	0x1F	5	MODE_RESET_POLARITY	データシートのレジスタ・マップを参照

4.7 EN/PB/VSENSE ピンの構成

PMIC のイネーブル・ピンは、イネーブル、プッシュ・ボタン、VSENSE のいずれかに構成できます。この機能に加えて、グリッチ除去も構成できます。また、このピンには、最初の電源投入時に EN/PB/VSENSE ピンの状態を無視する最初の電源検出 (FSD) オプションがあります。

- 図 4-8 に、TPS65219-GUI を使用するときに変更される設定を示します。
- 表 4-19 に、TPS65219-GUI を使用しない場合にかき込むレジスタ・フィールドを示します。

図 4-8. TPS65219-GUI を使用した EN/PB/VSENSE 構成

表 4-19. EN/PB/VSENSE の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
最初の電源検出	0x20	7	PU_ON_FSD	0h = FSD デイセーブル 1h = FSD イネーブル
ピン構成		5-4	EN_PB_VSENSE_CONFIG	0h = イネーブル 1h = プッシュ・ボタン 2h = VSENSE 3h = イネーブル
グリッチ除去		3	EN_PB_VSENSE_DEGL	データシートのレジスタ・マップを参照

4.8 I2C アドレスの変更

TPS6521905 には、デフォルトの I2C アドレスが 0x30 に構成されています。この構成は、必要に応じて、TPS65219_GUI のレジスタ・マップでレジスタ I2C_ADDRESS_REG を検索し、図 4-9 に示すようにデフォルトの 0x30 アドレスを変更することで、変更できます。レジスタを変更したら、レジスタ 0x34 に 0x0A を書き込み、新しい値を NVM に保存する必要があります。

注

マルチ PMIC 構成で複数の TPS65219 デバイスを使用する場合、各デバイスは一意の I2C アドレスを持つ必要があります。第 2、第 3、およびその他の PMIC の I2C アドレスは、デフォルトの 0x30 から新しい値に変更する必要があります。

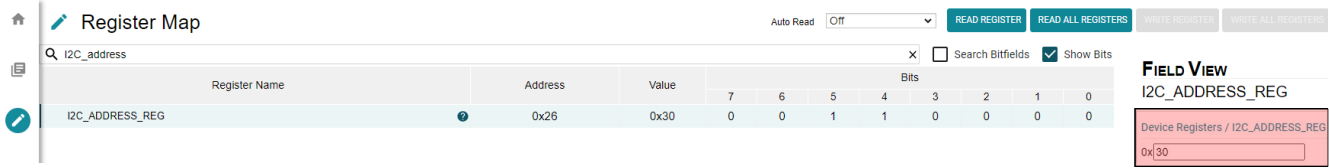


図 4-9. I2C_ADDRESS_REG

表 4-20. I2C_ADDRESS_REG

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x26	6-0	I2C_ADDRESS_REG

4.9 マスク設定の構成

いくつかの割り込み設定をマスクして、特定の PMIC 監視機能をバイパスしたり、割り込みが検出されたときの PMIC の応答方法を変更したりできます。マスク可能な割り込みには、とりわけ低電圧監視、温度監視などがあります。図 4-10 に、GUI の「構成」タブのマスク設定を示します。

注

TPS65219-GUI の「構成」タブにマスク・レジスタが表示されていない場合、マスク・レジスタはレジスタの全リストを含むレジスタ・マップにあります。

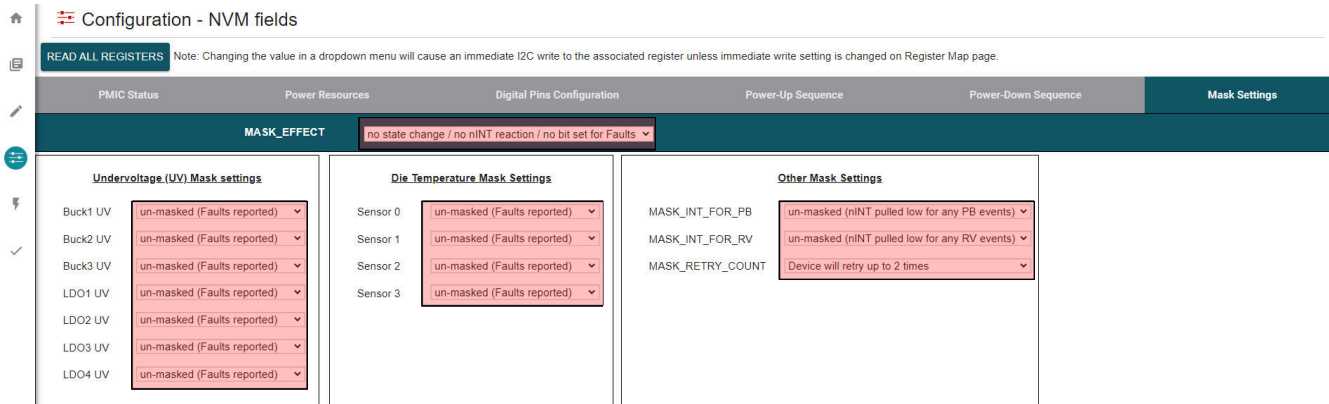


図 4-10. TPS65219-GUI でのマスク設定

表 4-21. レジスタ 0x1E のマスク設定

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x1E	7	BYPASS_RAILS_DISCHARGED_CHECK

表 4-22. レジスタ 0x1E のマスク設定

レジスタ・アドレス	ビット	フィールド名
	ビット番号	
0x24	7	MASK_RETRY_COUNT
	6	BUCK3_UV_MASK
	5	BUCK2_UV_MASK
	4	BUCK1_UV_MASK
	3	LDO4_UV_MASK
	2	LDO3_UV_MASK
	1	LDO2_UV_MASK
	0	LDO1_UV_MASK

表 4-23. レジスタ 0x1E のマスク設定

レジスタ・アドレス	ビット	フィールド名
	ビット番号	
0x25	7	MASK_INT_FOR_PB
	6-5	MASK_EFFECT
	4	MASK_INT_FOR_RV
	3	SENSOR_0_WARM_MASK
	2	SENSOR_1_WARM_MASK
	1	SENSOR_2_WARM_MASK
	0	SENSOR_3_WARM_MASK

4.10 NVM の再プログラミング

レジスタ設定を更新したら、レジスタ・アドレス 0x34 に 0x0A を書き込むことで、新しい値を NVM に保存できます。

- TPS65219-GUI を使用するとき、レジスタ設定を NVM に保存するボタンを、[図 4-11](#) に示します。
- [表 4-24](#) に、TPS65219-GUI を使用しない場合に書き込むレジスタ・フィールドを示します。

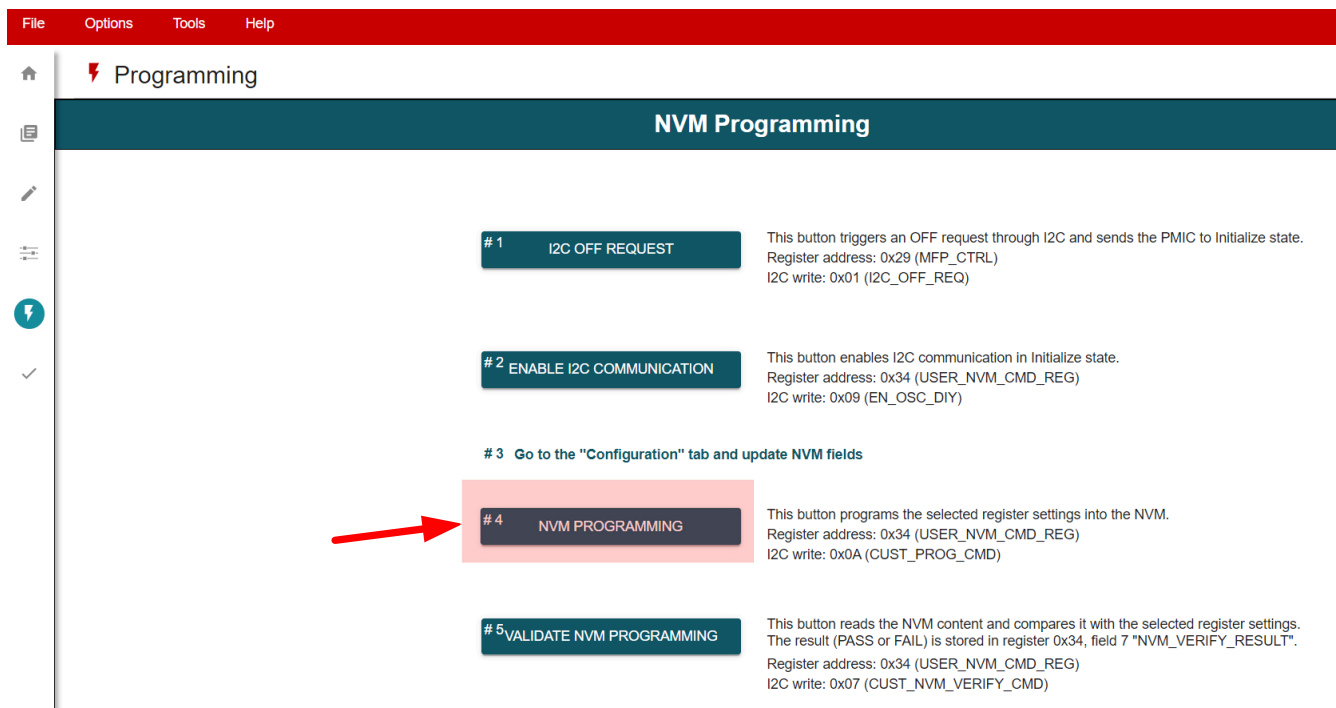


図 4-11. TPS65219-GUI を使用した NVM の再プログラミング

表 4-24. I2C 書き込みによりレジスタ設定を NVM に保存

レジスタ・アドレス	ビット		データ
	ビット番号	フィールド名	
0x34	3-0	USER_NVM_CMD	0x0A

注

TPS65219-GUI を使用して、選択したレジスタ設定を CSV および JSON ファイルにエクスポートすることを推奨します。図 4-12 に、NVM 設定をエクスポートする方法を示します。「レジスタに名前を付けて保存」を使用する前に、ファイル形式を「レジスタ・ファイル形式」で選択する必要があります。

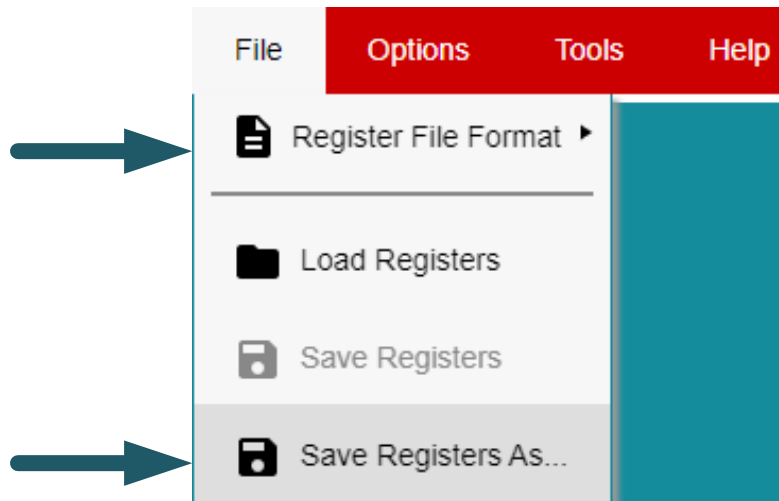


図 4-12. TPS65219-GUI を使用して NVM 設定をエクスポート

A NVM 以外のレジスタ

PMIC レジスタ・マップには、NVM ビットと NVM 以外のビットが含まれています。レジスタ・アドレス 0x00～0x27 には、EEPROM でバックアップされた NVM ビットが含まれています。このレジスタ設定は I2C により変更でき、プログラミング・ガイドに記載されているようにデフォルト値を再プログラムできます。再プログラム可能であり、注文可能な各型番に対して一意であるため、データシートのレジスタ・マップでは各 NVM ビットのリセット値が「X」とマークされています。

NVM 以外のビットはレジスタ・アドレス 0x28～0x41 に配置されています。これらのレジスタ設定は I2C により変更できますが、デフォルト値を再プログラムすることはできません。NVM 以外のビットのレジスタ設定は、パワー・サイクル後、および PMIC が初期化状態に入るたびにデフォルト値に戻ります。NVM 以外のビットのデフォルト値は、データシートのレジスタ・マップの「リセット」列に記載されています。

B PMIC への NVM 構成ファイルのロード

図 B-1 に示す図は、事前構成済みの NVM ファイル (.CSV または .JSON 拡張子) を PMIC NVM にロードするプロセスを示しています。半田付けした EVM (TPS65219EVM) をリファレンスとして使用しますが、ソケット付きの EVM を使用することもできます。TPS6521905 の製品ページには、特定のプロセッサまたは SoC の要件を満たすように事前構成された複数の NVM ファイルがあります。テキサス・インスツルメンツのお客様はこれらのファイルを再利用して、製造ラインで、または販売特約店と協力して PMIC を再プログラムできます。

注

事前構成済みの NVM ファイルがすべてのアプリケーション要件を満たしていない場合でも、それらのファイルを PMIC NVM にロードし、必要な変更を加えて、TPS65219-GUI を使用して新しい NVM ファイルを生成することができます。

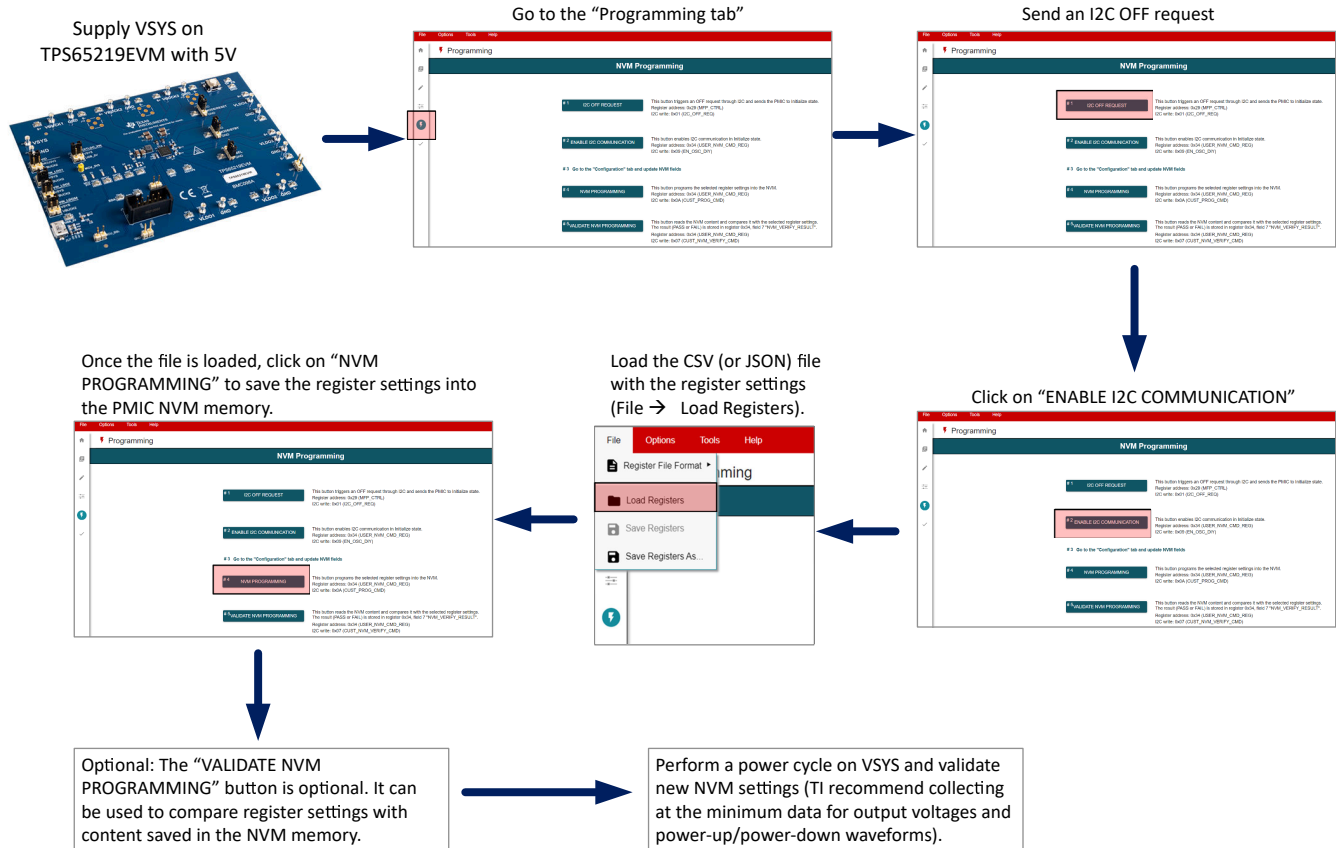


図 B-1. NVM 構成ファイルのロード

C PMIC の構成可能フィールド

このセクションでは、各 PMIC 電源およびデジタル・リソースについてプログラム可能な NVM フィールドのリストを示します。リストを簡素化するため、一部のレジスタ・フィールドには「x」があります。データシートまたはプログラミング・ガイドで、正しいレジスタ・フィールドを識別するため、「x」を対応するレール番号に置き換えてください。同様に、シーケンス・スロットの持続時間については、リストを単純化するために「y」を使用しましたが、これらは特定のスロット番号に置き換えることができます。

PMIC rail	Configurable Setting	Register Field
Bucks	Enable settings	Active State: BUCKx_EN Standby State: BUCKx_STBY_EN
	Output voltage	BUCKx_VSET
	Under-voltage monitoring	BUCKx_UV_THR_SEL
	Bandwidth	BUCKx_BW_SEL
	Power-up sequence	Slot#: BUCKx_SEQUENCE_ON_SLOT Duration: POWER_UP_SLOT_y_DURATION
	Power-down sequence	Slot#: BUCKx_SEQUENCE_OFF_SLOT Duration: POWER_DOWN_SLOT_y_DURATION
LDOs	Enable settings	Active State: LDOx_EN Standby State: LDOx_STBY_EN
	Output voltage	LDOx_VSET
	Under-voltage monitoring	LDOx_UV_THR_SEL
	Rail config (LDO, load-switch, bypass)	LDOx_LSW_CONFIG LDOx_BYP_CONFIG (LDO1, LDO2 only)
	Ramp	LDOx_SLOW_PU_RAMP (LDO3, LDO4 only)
	Power-up sequence	Slot#: LDOx_SEQUENCE_ON_SLOT Duration: POWER_UP_SLOT_y_DURATION
	Power-down sequence	Slot#: LDOx_SEQUENCE_OFF_SLOT Duration: POWER_DOWN_SLOT_y_DURATION
GPIOs	Enable settings GPIO	Active State: GPI/Ox_EN Standby State: GPI/Ox_STBY_EN
	Pin Function	MULTI_DEVICE_ENABLE (GPIO only)
	Power-up sequence	Slot#: GPI/Ox_SEQUENCE_ON_SLOT Duration: POWER_UP_SLOT_y_DURATION
	Power-down sequence	Slot#: GPI/Ox_SEQUENCE_OFF_SLOT Duration: POWER_DOWN_SLOT_y_DURATION
Enable pin	Pin Function	EN_PB_VSENSE_DEGL
	Deglintch	EN_PB_VSENSE_CONFIG
	First Supply Detection (FSD)	PU_ON_FSD
VSEL_SD VSEL_DDR	Pin Function	VSEL_DDR_SD
	Rail Selection	VSEL_RAIL
	Pin Polarity	VSEL_SD_POLARITY
MODE/STBY	Pin Function	MODE_STBY_CONFIG
	Pin Polarity	MODE_STBY_POLARITY
MODE/RESET	Pin Function	MODE_RESET_CONFIG
	RESET selection	WARM_COLD_RESET_CONFIG
	Pin Polarity	MODE_RESET_POLARITY
nRSTOUT	Power-up sequence	Slot#: nRST_SEQUENCE_ON_SLOT Duration: POWER_UP_SLOT_y_DURATION
	Power-down sequence	Slot#: nRST_SEQUENCE_OFF_SLOT Duration: POWER_DOWN_SLOT_y_DURATION

図 C-1. NVM プログラマブル・フィールド

D 関連資料

1. テキサス・インスツルメンツ、[『TPS6521905 データシート』](#)
2. テキサス・インスツルメンツ、[『TPS65219EVM-SKT ユーザー・ガイド』](#)

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated