

EVM User's Guide: SK-AM62P-LP

AM62P SK 評価基板



説明

SK-AM62P-LP スタータ キット (SK) 評価基板 (EVM) は、TI の AM62P ディスプレイ プロセッサを中心とした構造です。このプロセッサは、スケーラブルな Arm® Cortex®-A53 の性能に加え、トリプル高品位ディスプレイのサポート、高性能 3D-GPU、4K ビデオ アクセラレーション、包括的なペリフェラルなどの組込み機能を搭載しています。SK-AM62P-LP は、車載用デジタル インツルメント、車載ディスプレイ、産業用 HMI (ヒューマン マシン インターフェイス) など、車載と産業用の各アプリケーションの開発を検討している開発ユーザーに最適な選択肢です。

SK-AM62P-LP は、複数のディスプレイ コネクタを搭載しており、最大 3 台の画面、MIPI® (モバイル産業用プロセッサ インターフェイス) CSI-2 カメラ コネクタ、Wi-Fi® および Bluetooth® モジュール向けの 1 個の M.2 コネクタ、2 個のギガビットイーサネット ポート、デバッグ出力用の UART から USB への変換回路、SoC と LPDDR4 の温度監視を目的とする 2 個の温度センサをサポートできます。

設計を開始

1. [SK-AM62P-LP](#) で評価基板を注文します。
2. 評価基板の[設計ファイル](#)をダウンロードします。
3. [SK-AM62P-LP](#) からソフトウェアをダウンロードします。
4. 『EVM ユーザー ガイド』を読みます。

特長

- USB-C 電源を使用するスタンド アロン動作モード
- 電力最適化済みのパワー マネージメント IC (PMIC) ベースのパワー マネージメント
- コード開発とデバッグに適した USB 接続機能付きオンボード、XDS110 JTAG インターフェイス
- オンボードの 32GB eMMC メモリと 512Mb オクタルシリアル ペリフェラル インターフェイス (OSPI) NOR フラッシュ
- オープン LVDS ディスプレイ インターフェイス (OLDI) 用の 40 ピン FPC コネクタ
- ディスプレイシリアル インターフェイス (DSI) 用 22 ピン FPC コネクタ
- オンボード高精細マルチメディア インターフェース コネクタ (HDMI®) による外部ディスプレイ接続
- 2 × RGMII RJ45 コネクタ
- タイプ A と Type-C の各コネクタで使用する 2 × USB 2.0
- XDS110 を介したテスト オートメーション インターフェイス
- 低速インターフェイスにアクセスするための拡張コネクタ
- マイコン インターフェイスにアクセスするためのマイコン (MCU) コネクタ
- 外部 GPMC NAND インターフェイス用の汎用メモリコントローラ (GPMC) コネクタ
- Wi-Fi/BT モジュール用 M.2 コネクタ



このリファレンスデザインは HDMI® 技術を採用しています。

目次	
説明.....	1
設計を開始.....	1
特長.....	1
1 評価基板の概要.....	5
1.1 はじめに.....	5
1.2 キットの内容.....	5
1.3 製品情報.....	5
1.4 EVM のリビジョンおよびアセンブリバリエーション.....	5
1.5 仕様.....	6
2 ハードウェア.....	7
2.1 補足画像.....	7
2.2 主な特長.....	8
2.3 インターフェイス マッピング.....	9
2.4 電源オン/オフの手順.....	10
2.5 クロック処理.....	12
2.6 リセット.....	14
2.7 カメラシリアル インターフェイス (CSI).....	15
2.8 オープン LVDS ディスプレイインターフェイス (OLDI).....	16
2.9 ディスプレイシリアル インターフェイス (DSI).....	18
2.10 オーディオ コーデック インターフェイス.....	19
2.11 HDMI ディスプレイ.....	20
2.12 JTAG インターフェイス.....	22
2.13 テストオートメーション ヘッダー.....	24
2.14 UART インターフェイス.....	25
2.15 USB インターフェイス.....	27
2.16 メモリ インターフェイス.....	29
2.17 イーサネット インターフェイス.....	35
2.18 GPIO ポート エクスパンダ.....	38
2.19 GPIO へのマッピング.....	40
2.20 電源.....	42
2.21 評価基板のユーザー設定/構成.....	47
2.22 拡張ヘッダ.....	51
2.23 割り込み.....	55
2.24 I2C アドレス マッピング.....	55
3 ハードウェア設計ファイル.....	57
4 準拠に関する情報.....	57
4.1 準拠および認証.....	57
5 追加情報.....	58
5.1 ハードウェアまたはソフトウェアに関する既知の問題.....	58
5.2 商標.....	60
6 改訂履歴.....	60

図の一覧

図 1-1. AM62P SK 評価基板の機能ブロック図.....	6
図 2-1. 評価基板の上面.....	7
図 2-2. 評価基板の底面.....	8
図 2-3. ブートモードの例 (MMCSD ブート).....	10
図 2-4. クロック アーキテクチャ.....	12
図 2-5. SOC WKUP ドメイン クロック.....	13
図 2-6. リセット アーキテクチャ.....	14
図 2-7. CSI.....	15
図 2-8. OLDI.....	16
図 2-9. DSI.....	18
図 2-10. オーディオ コーデック インターフェイス.....	20
図 2-11. HDMI.....	21
図 2-12. JTAG インターフェイス.....	22

図 2-13. テスト オートメーション インターフェイス.....	24
図 2-14. UART インターフェイス.....	26
図 2-15. USB 2.0 タイプ A インターフェイス.....	27
図 2-16. USB 2.0 Type C® インターフェイス.....	28
図 2-17. LPDDR4 インターフェイス.....	29
図 2-18. OPSI.....	30
図 2-19. eMMC インターフェイス.....	31
図 2-20. uSD インターフェイス.....	32
図 2-21. M.2 インターフェイス.....	33
図 2-22. 基板 ID EEPROM インターフェース.....	34
図 2-23. イーサネット インターフェイス.....	36
図 2-24. 電源入力.....	43
図 2-25. 電力アーキテクチャ.....	44
図 2-26. 電源シーケンス.....	45
図 2-27. ブート モード スイッチ (MMCSD ブート).....	47
図 2-28. マイコン コネクタ インターフェイス.....	53
図 2-29. I2C インターフェイス.....	56
図 5-1. プリレギュレータ イネーブル ピンの接続を解除します.....	59
図 5-2. プリレギュレータ イネーブル ピンを接続します.....	59
図 5-3. TYPE-C PD LDO-3V3 を使用してテスト オートメーションに電力を供給します.....	60

表の一覧

表 1-1. EVM の PCB 設計リビジョンおよびアセンブリ バリエーション.....	5
表 2-1. インターフェイス マッピング	9
表 2-2. テスト ポイント.....	11
表 2-3. クロック表.....	13
表 2-4. CSI カメラ コネクタ (J6) のピン配置.....	15
表 2-5. OOLDI ディスプレイ コネクタのピン配置 (J27).....	17
表 2-6. DSI ディスプレイ コネクタのピン配置 (J25).....	18
表 2-7. JTAG コネクタ (J23) のピン配置.....	23
表 2-8. オートメーション コネクタ (J29) のピン配置をテストします.....	25
表 2-9. UART ポート インターフェイス.....	25
表 2-10. IO エクスパンダ 1 の信号の詳細.....	38
表 2-11. IO エクスパンダ 2 の信号の詳細.....	39
表 2-12. GPIO へのマッピング	40
表 2-13. Type-C ポートの電源ロール.....	42
表 2-14. 推奨外部電源.....	42
表 2-15. SoC 電源.....	46
表 2-16. INA I2C デバイス アドレス.....	46
表 2-17. ブート モードのピン マッピング	47
表 2-18. PLL リファレンス クロックの選択 BOOTMODE[2:0].....	48
表 2-19. ブート デバイス選択 BOOTMODE[6:3].....	48
表 2-20. バックアップ ブート モードの選択 BOOTMODE[12:10].....	48
表 2-21. プライマリ ブート メディアの構成 BOOTMODE[9:7].....	49
表 2-22. シリアル NAND 構成 フィールド.....	49
表 2-23. OSPI ブート構成 フィールド.....	49
表 2-24. QSPI ブート構成 フィールド.....	49
表 2-25. SPI ブート構成 フィールド.....	49
表 2-26. イーサネット RGMII ブートの構成 フィールド.....	50
表 2-27. イーサネット RMII ブートの構成 フィールド.....	50
表 2-28. RMII イーサネット クロック供給.....	50
表 2-29. イーサネット バックアップ ブート設定 フィールド.....	50
表 2-30. I2C ブート構成 フィールド.....	50
表 2-31. SD カード ブート構成 フィールド.....	50
表 2-32. eMMC ブート構成 フィールド.....	51
表 2-33. USB ブート構成 フィールド.....	51
表 2-34. xSPI ブート構成 フィールド.....	51
表 2-35. ユーザー テスト LED.....	51

目次

表 2-36. ユーザー拡張コネクタ (J4).....	52
表 2-37. マイコン コネクタ (J11).....	53
表 2-38. GPMC NAND (x8) コネクタ (J14).....	54
表 2-39. EVM のプッシュ ボタン	55
表 2-40. I ₂ C マッピング表.....	56
表 5-1. AM62P SK 評価基板の既知の問題と変更.....	58

1 評価基板の概要

1.1 はじめに

このスター キットを使用すると、ユーザーは HDMI (DPI 経由)、デュアル ポート低電圧差動信号 (LVDS)、MIPI DSI による高解像度ディスプレイ機能のほか、シリアル、イーサネット、USB、その他のインターフェイスを使用した産業用通信設計を体験できます。SK 評価基板は他のプロセッサまたはシステムと通信でき、通信ゲートウェイとして動作することも可能です。さらに、SK 評価基板は標準リモート I/O システムとして直接動作すること、または産業用通信ネットワークに接続したシンプルなセンサとして動作することができます。TI の **Code Composer Studio™** のような標準的な開発ツールを使用し、組込み済みエミュレーション ロジックを通じてエミュレーションとデバッグを実施することもできます。

本テクニカル ユーザー ガイドでは、TI の AM62P システム オン チップ (SoC) を実装した低コスト、低消費電力のスター キットである AM62P SK 評価基板のハードウェア アーキテクチャについて説明します。AM62P SoC は、クワッドコアの 64 ビット Arm® Cortex®-A53 マイクロプロセッサと、シングルコアの Arm® Cortex®-R5F マイコン (MCU) で構成されています。

1.2 キットの内容

- SK-AM62P-LP EVM
- 『評価基板ユーザー ガイド』冊子
- EVM の免責事項と標準約款

1.3 製品情報

さらに、SK-AM62P-LP は、機能の豊富な SDK (ソフトウェア開発キット) を使用した Linux® と Android の開発をサポートしています。オンチップ エミュレーション ロジックを搭載しているため、Code Composer Studio (CCSTUDIO) 統合開発環境 (IDE) などの標準的な開発ツールと、設計評価の迅速な開始に役立つ、すぐに使用できる直観的なユーザー ガイドを使用して、エミュレーションとデバッグを行うことができます。

1.4 EVM のリビジョンおよびアセンブリ バリエーション

AM62P 評価基板のさまざまな PCB 設計リビジョンとアセンブリ バリエーションを、[表 1-1](#) に示します。特定の PCB リビジョンは PCB 上にシルクスクリーンで示され、特定のアセンブリ バリエーションは追加のステッカーラベルで示されています。すべてのリビジョンの変更は、[設計ファイル パッケージ](#)内にある変更リストにキャプチャされます。

表 1-1. EVM の PCB 設計リビジョンおよびアセンブリ バリエーション

OPN	PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
SK-AM62P-LP	E1	該当なし (单一バリエーションのみ)	AM62P 評価基板の最初のプロトタイプ、初期リリース リビジョン。
SK-AM62P-LP	E1-1	該当なし	AM62P 評価基板の 2 番目のプロトタイプ、初期リリース リビジョン。多数の変更とバグ修正が実施されています。
SK-AM62P-LP	E2	該当なし	AM62P 評価基板の第 3 のプロトタイプ、初期リリース リビジョンでは、AM62P SR1.2 への更新など、多数の変更が実施されています。

1.5 仕様

次の図は、AM62P SK 評価基板の機能ブロック図を示しています。

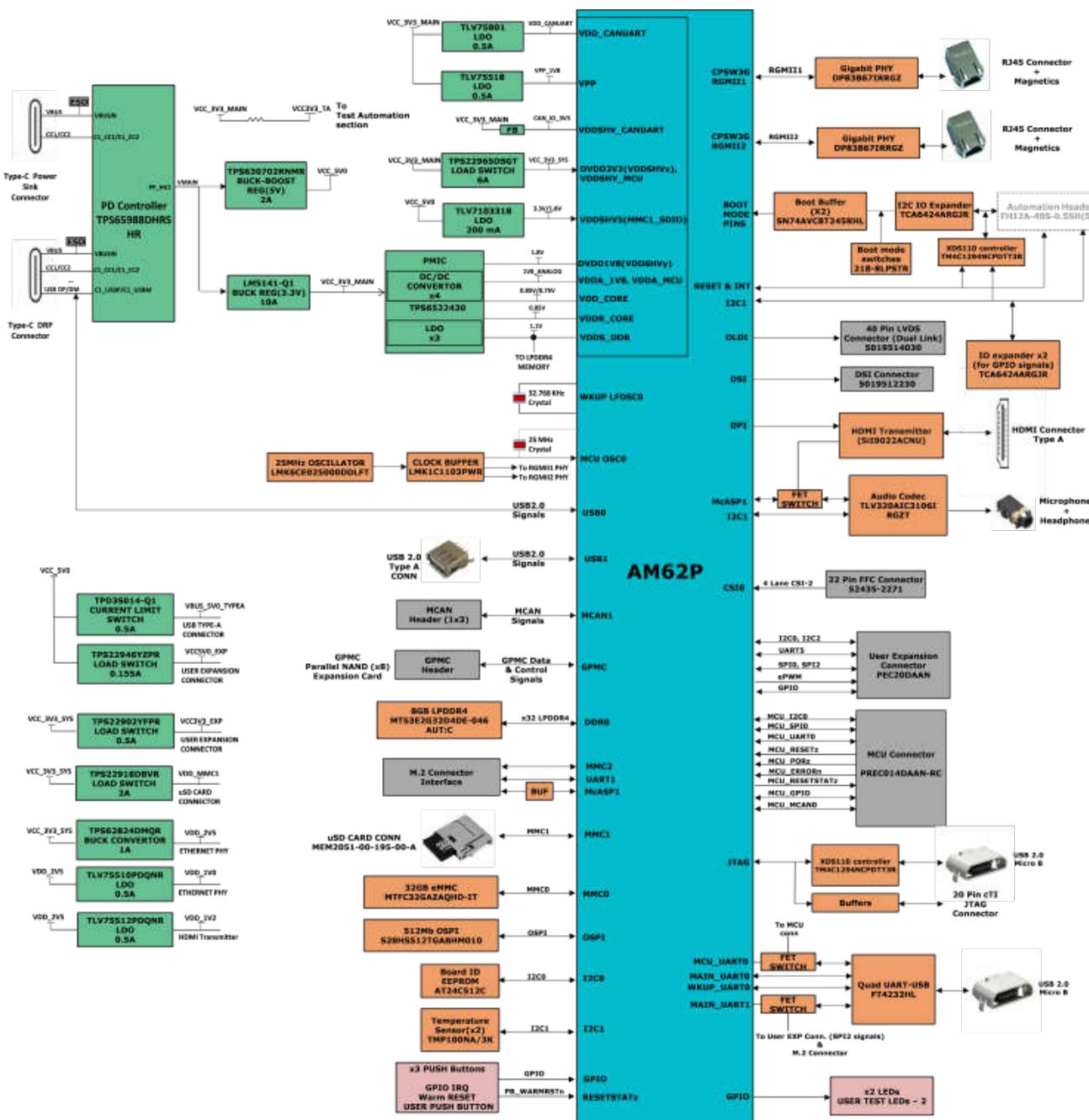


図 1-1. AM62P SK 評価基板の機能ブロック図

2 ハードウェア

2.1 補足画像

このセクションでは、評価基板の画像および基板上のさまざまなブロックの位置を示します。

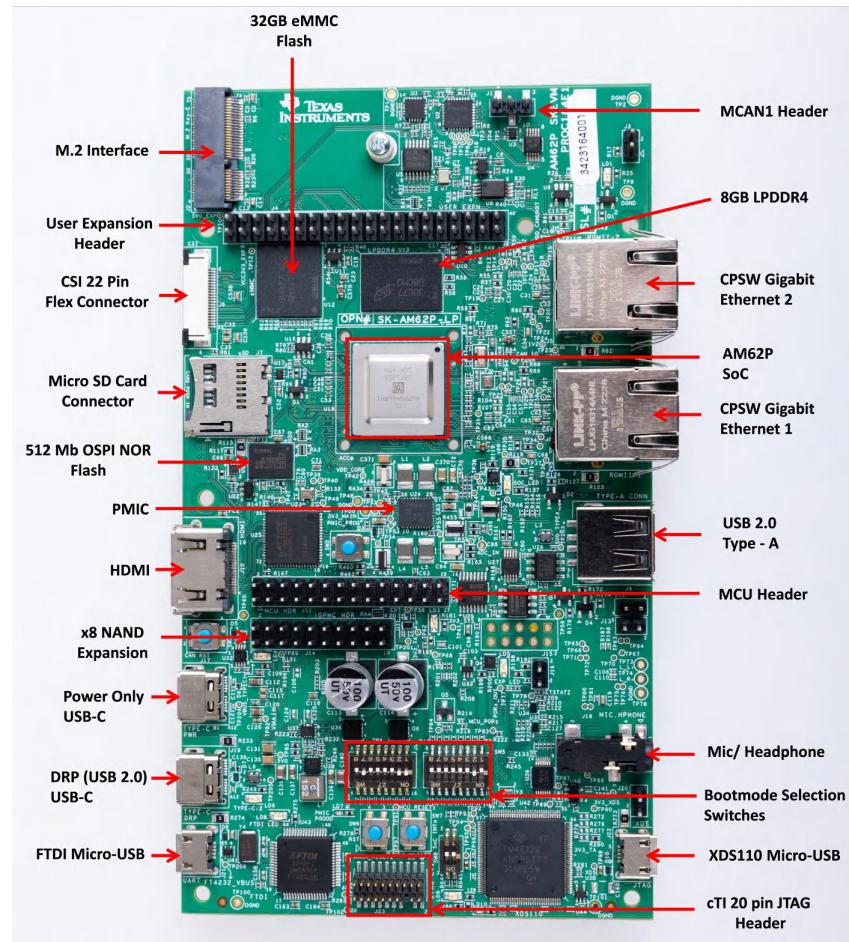


図 2-1. 評価基板の上面

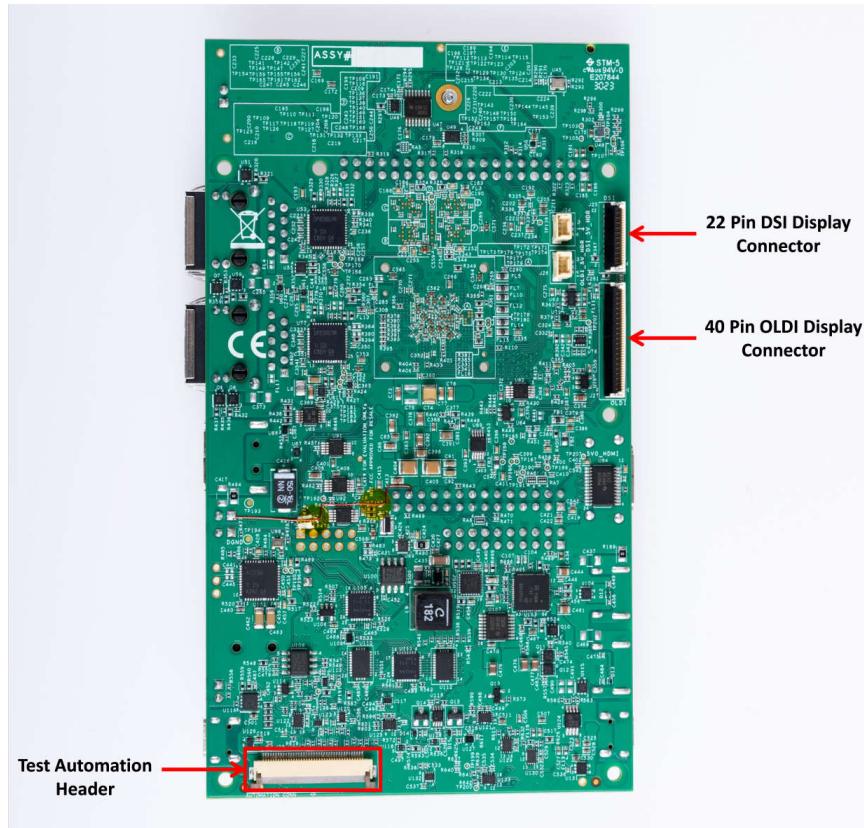


図 2-2. 評価基板の底面

2.2 主な特長

AM62P SK 評価基板は、高性能のスタンドアロン開発プラットフォームです。これを用いることによって、テキサス インstrument の AM62P システム オン チップ (SoC) 用の産業用アプリケーションの評価と開発を行うことができます。

以下のセクションでは、SK 評価基板の主な特長について説明します。

2.2.1 プロセッサ

- AM62P SoC, 17mm x 17mm, 466 ピン BGA

2.2.2 電源

- USB Type-C® ポート (入力範囲 5V ~ 15V) x 2
- プロセッサとペリフェラル用の PMIC、ディスクリート レギュレータ、LDO を使用して電源設計を最適化

2.2.3 メモリ

- ピンごとに最大 3200Mb/s のデータ レートをサポートする 8GB LPDDR4
- UHS-1 対応のマイクロ SD カード スロット
- 512Mbit のオクタル シリアル ペリフェラル インターフェイス (OSPI) NOR フラッシュ メモリ
- 512Kbit I2C (Inter-Integrated Circuit) 基板 ID EEPROM
- 32GB の組込みマルチメディア カード (eMMC) フラッシュ

2.2.4 JTAG / エミュレータ

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応

2.2.5 サポートされるインターフェイスおよびペリフェラル

- USB 2.0 Type-C® インターフェイス x 1、DFP および UFP モード (データ) および DRP モード (電源) をサポート
- USB 2.0 ホストインターフェイス x 1、タイプ A
- 1 × HDMI
- オーディオ ライン入力および MIC + ヘッドフォン出力
- M.2 Key E インターフェイスは、Wi-Fi と Bluetooth の両方のモジュールをサポート
- RJ45 コネクタで 10/100/1000Mbps のデータ レートをサポートするギガビットイーサネット ポート x 2
- micro-B USB コネクタ経由のクワッド ポート UART to USB 回路
- ユーザー テスト LED
- SoC 電源監視用の INA デバイス
- SoC と LPDDR4 付近に温度監視用温度センサ x 2

2.2.6 拡張コネクタ/ヘッダー

- CSI カメラ コネクタ
- DSI ディスプレイコネクタ
- LVDS ディスプレイコネクタ
- ユーザー拡張コネクタ
- MCU ヘッダー
- GPMC NAND (x8) ヘッダー
- MCAN1 ヘッダー

2.3 インターフェイス マッピング

表 2-1. インターフェイス マッピング

インターフェイス名	SoC 上のポート	デバイス部品番号
メモリ – LPDDR4	DDR0	MT53E2G32D4DE-046 AUT:C
メモリ – OSPI	OSPI0	S28HS512TGABHM010
メモリ – マイクロ SD ソケット	MMC1	MEM2051-00-195-00-A
メモリ – eMMC	MMC0	MTFC32GAZAQHD-IT
メモリ – 基板 ID EEPROM	SoC_I2C0	AT24C512C-MAHM-T
イーサネット 1 – RGMII	SoC_RGMII1	DP83867IRRGZ
イーサネット 2 – RGMII	SoC_RGMII2	DP83867IRRGZ
GPIO ポート エクスパンダ 1	SoC_I2C1	TCA6424ARGJR
ユーザー拡張コネクタ – 2x20 HDR	SPI0、SPI2、UART5、 SoC_I2C0、SoC_I2C2、 McASP1、GPIO	PEC20DAAN
マイコン ヘッダー – 2x14 HDR	MCU MCU_UART0、 MCU_MCAN0、MCU_SPI0、 MCU_I2C0 および MCU GPIOs	PREC014DAAN-RC
GPMC NAND (x8) HDR	G GPMC	PREC010DAAN-RC
USB-2.0 タイプ C	USB0	2012670005
USB-2.0 タイプ A	USB1	629104151021
CSI	CSI0-RX	52435-2271
DSI	DSI0-TX	5019512230
OLDI	OLDI	5019514030
MCAN1 インターフェイス	MCAN1	TSM-103-02-T-SV
HDMI	VOUT0、McASP1and、 SoC_I2C1	Sil9022ACNU + TPD12S016PWR + DC04S019JA1R600
オーディオ コーデック	McASP1 および SoC_I2C1	TLV320AIC3106IRGZT+ SJ-43514-SM
GPIO ポート エクスパンダ 2	SoC_I2C1	TCA6424ARGJR

表 2-1. インターフェイス マッピング (続き)

インターフェイス名	SoC 上のポート	デバイス部品番号
UART 端子 (UART-to-USB)	SoC_UAR SoC_UART[1:0]、 WKUP_UART0, MCU_UART0	FT4232HL + 629105150521
テストオートメーション ヘッダー	SoC_I2C1	FH12A-40S-0.5SH
温度センサ	SoC_I2C1	TMP100NA/3K
電流モニタ	SoC_I2C1	INA228AIDGSR
コネクティビティ — M.2 Key E	MMC2、McASP1 および SoC_UART1	2199119-4

2.4 電源オン/オフの手順

EVM への電力供給は、2 つの USB Type-C ポートのいずれかによって、PD 機能を備えた外部電源から行われます。

注

I/O ケーブルの最大長が 3m を超えないことを推奨します。

2.4.1 電源オンの手順

- SK 評価基板ブートスイッチ セレクタ (SW4、SW5) を選択したブート モードに設定します。以下に、SD カードのブート モードの例を示します。
- ブート メディアを接続します (該当する場合)。
- PD 対応の USB Type-C® ケーブルを、SK 評価基板 Type-C (J17 または J19) コネクタに取り付けます。
- USB Type-C ケーブルのもう一方の端を AC 電源アダプタまたは USB Type-C ソース デバイス (ノートコンピュータなど) に接続します。
- LD4 または LD6 の LED が点灯していることを目視で確認します。
- XDS110 JTAG と UART のデバッグ コンソール出力は、それぞれ micro-USB ポート J22 と J21 に接続されています。

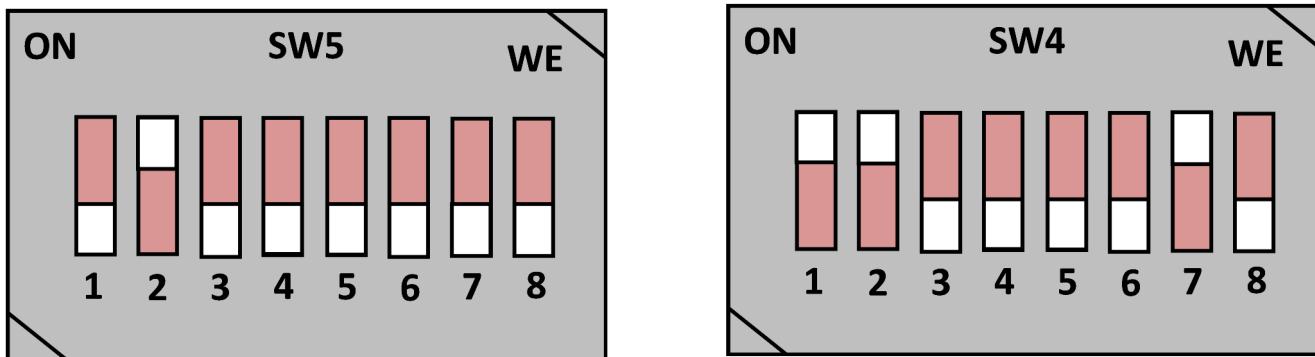


図 2-3. ブート モードの例 (MMCSd ブート)

2.4.2 電源オフの手順

- AC/DC コンバータから AC 電源を切り離します。
- SK 評価基板から USB Type-C ケーブルを取り外します。

2.4.3 テスト ポイント

基板上の各電力出力のテスト ポイントを、表 2-2 に示します。

表 2-2. テスト ポイント

SL.番号	電源	テスト ポイント	電圧
1	VCC5V0_EXP	TP10	5
2	VDD_CANUART	TP11	0.85
3	VCC3V3_EXP	TP12	3.3
4	VDD_1V0	TP23	1
5	VDD_1V2	TP24	1.2
6	VDDSHV_SDIO	TP33	3.3/1.8
7	VPP_1V8	TP35	1.8
8	VDD_2V5	TP36	2.5
9	VDD_CORE	TP42	0.85/0.75
10	VDDR_CORE	TP43	0.85
11	VCC1V8_SYS	TP54	1.8
12	VDDA_1V8	TP55	1.8
13	VDD_LPDDR4	TP56	1.1
14	VCC_3V3_SYS	TP61	3.3
15	VCC_3V3_MAIN	TP68	3.3
16	VMAIN	TP82	12
17	VCC_5V0	TP85	5
18	VCC3V3_XDS	TP90	3.3
19	XDS_USB_VBUS	TP98	5
20	VCC3V3_TA	TP201	3.3
21	VBUS_5V0_TYPEA	TP203	5
22	VBUS_TYPEC1	TP204	12
23	VBUS_TYPEC2	TP205	12
24	FT4232_USB_VBUS	TP206	5
25	LDO_3V3	U30.8	3.3
26	VCC_3V3_FT4232	C153.2	3.3
27	VDD_MMC1_SD	TP202	3.3
28	VCC_5V0_HDMICONN	TP207	5

2.5 クロック処理

図 2-4 に、AM62P SK 評価基板のクロック アーキテクチャを示します。

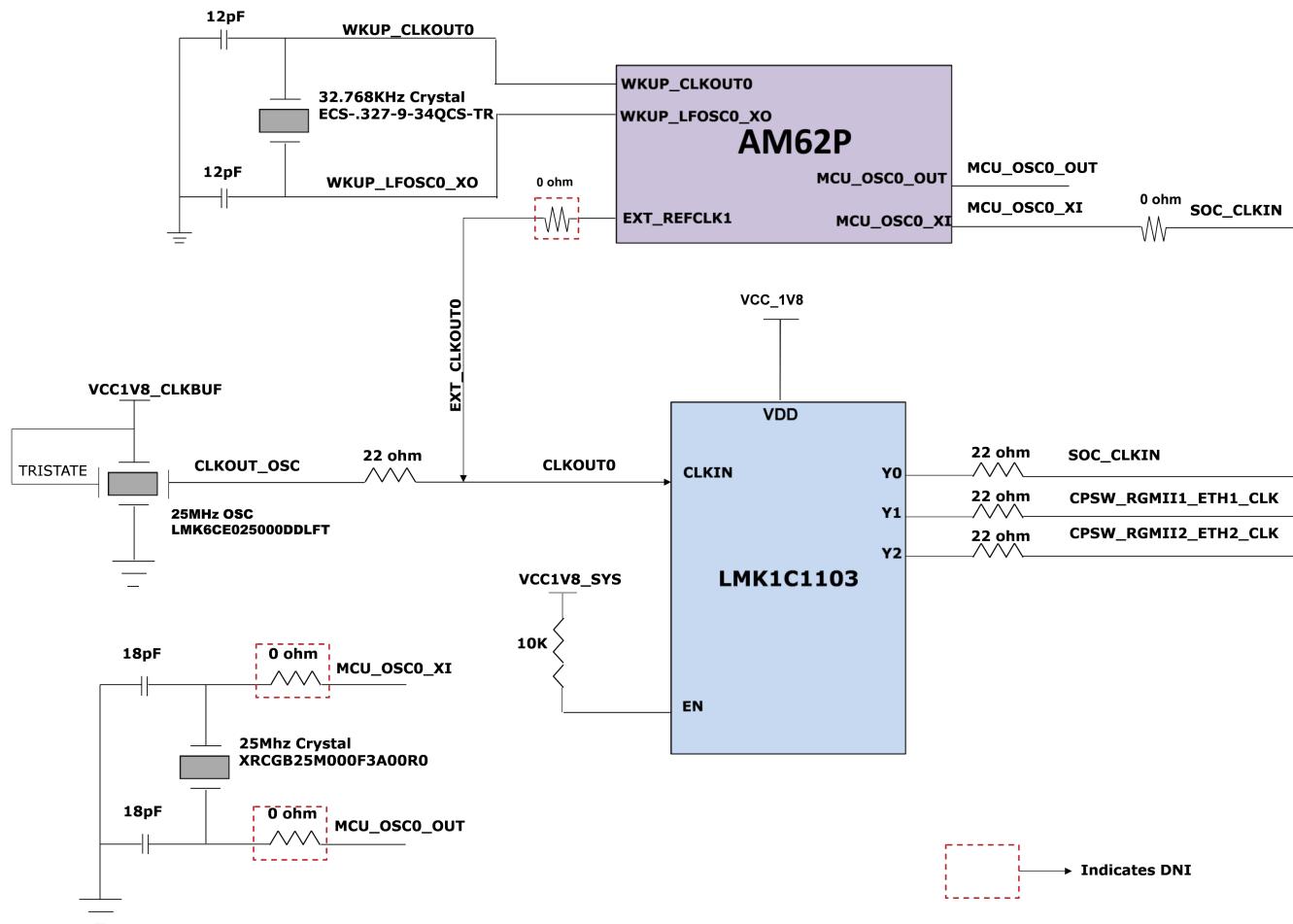


図 2-4. クロック アーキテクチャ

クロック バッファ (型番 LMK1C1103PWR) は、SoC および 2 つのイーサネット PHY に 25MHz のクロックを供給するために使用されます。LMK1C1103PWR は 1:3 の LVC MOS クロック バッファで、25MHz 水晶振動子 / LVC MOS リファレンス入力を取り込み、3 つの 25MHz LVC MOS クロックを出力します。クロック バッファのソースは、SoC からの CLKOUT0 ピンまたは 25MHz 発振器のいずれかであり、抵抗セットを使用して選択します。デフォルトでは、AM62P SK 評価基板のクロック バッファへの入力として発振器が使用されます。クロック バッファの出力 Y1 および Y2 は、2 つのギガビットイーサネット PHY のリファレンス クロック入力として使用されます。

AM62P SoC には、WKUP ドメインにクロックを供給するために、1 つの外部水晶振動子 (32.768KHz) が取り付けられています。

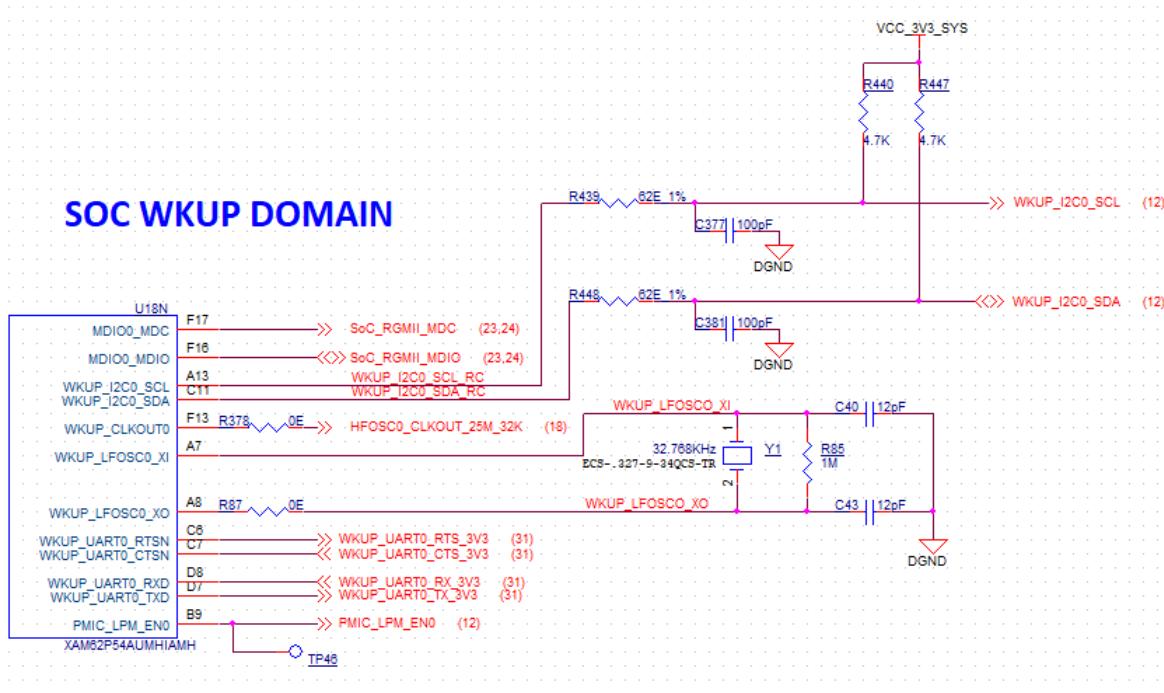


図 2-5. SOC WKUP ドメイン クロック

2.5.1 ペリフェラル リファレンス クロック

XDS110、FT4232、M.2 インターフェイス、HDMI フレーマ、オーディオ コーデックなどのペリフェラルに必要なクロック入力は、個別の水晶振動子または発振器を使用してローカルで生成されます。評価基板ペリフェラルにリファレンス クロックを提供するために使用される水晶振動子または発振器を、表 2-3 に示します。

表 2-3. クロック表

ペリフェラル	メーカー部品番号	説明	周波数
XDS110 エミュレータ (Y3)	XRCGB16M000FXN01R0	CRY 16.000MHz 8pF SMD	16.000MHz
FT4232 ブリッジ (Y4)	445I23D12M00000	CRY 12.000MHz 18pF SMD	12.000MHz
M.2 インターフェイス (U45)	ECS-327MVATX-2-CN-TR	OSC 32.768KHz CMOS SMD	32.768KHz
オーディオ コーデック (U98)	LMK6CE012288CDLFT	OSC 12.288MHz CMOS SMD	12.288MHz
HDMI フレーマ (U23)	LMK6CE012288CDLFT	OSC 12.288MHz CMOS SMD	12.288MHz

HDMI トランシミッタが必要とするクロックは、オンボード発振器 または SoC の AUDIO_EXT_REFCLK1 のいずれかから供給できます。これらは、抵抗マルチプレクサで選択できます。SoC の EXT_REFCLK1 は、SK 評価基板のユーザー拡張コネクタにクロックを供給するために使用されます。M.2 モジュールへの 32.768KHz のクロックは、AM62P SoC の WKUP_CLKOUT0 ボールからデフォルトで供給されます。

2.6 リセット

the AM62P SK 評価基板のリセットアーキテクチャを、以下に示します。SoC には次のリセット機能があります。

- RESETSTATz は、マインドメインのウォームリセットステータス出力です。
- PORz_OUT は、マインドメインのパワーオンリセットステータス出力です。
- RESET_REQz は、マインドメインのウォームリセット入力です。
- MCU_PORz は、マイコンドメインのパワーオン/コールドリセット入力です。
- MCU_RESETz は、マイコンドメインのウォームリセット入力です
- MCU_RESETSTATz は、マイコンドメインのウォームリセットステータス出力です。

パワーオンリセット時に、マインドメインに接続されているすべてのペリフェラルデバイスは RESETSTATz によってリセットされます。

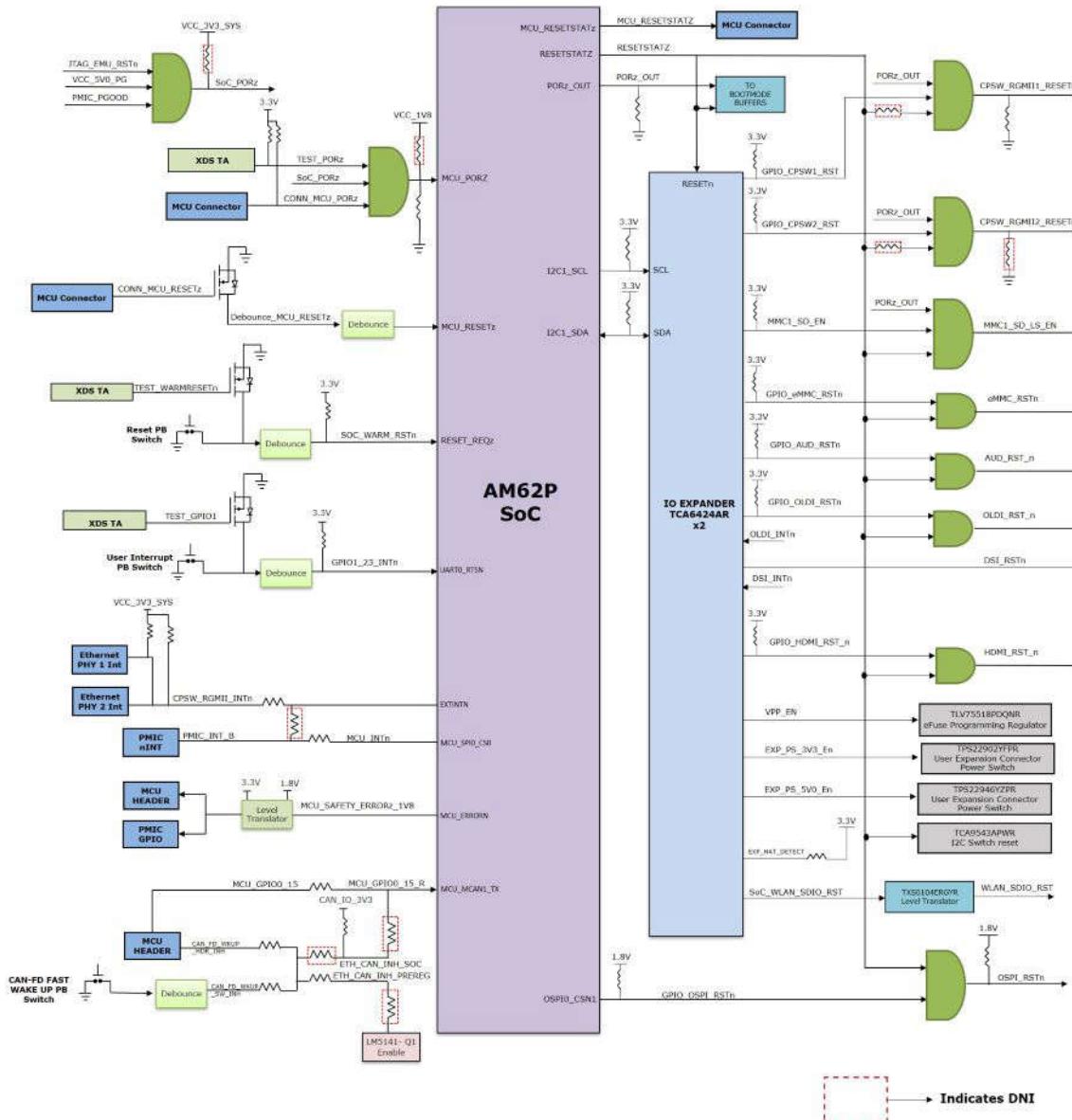


図 2-6. リセットアーキテクチャ

2.7 カメラシリアルインターフェイス (CSI)

AM62P SoCからのCSI-2信号は、22ピンのFFCコネクタ52435-2271に終端されており、市販のCSI-2標準カメラカード/モジュールと接続します。4つのCSI RXレーンはすべて、SK評価基板上で、SOC_I2C2インスタンス、およびI2C1制御GPIOポートエクスパンダからの1つのGPIOとともにピン配置されています。

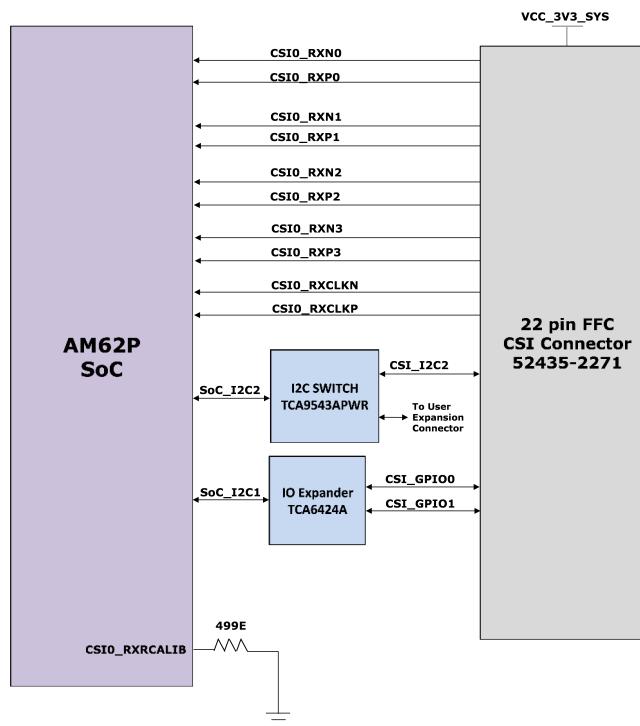


図 2-7. CSI

表 2-4. CSI カメラコネクタ (J6) のピン配置

ピン番号	ピン構成
1	DGND
2	CSI0_RXN0
3	CSI0_RXP0
4	DGND
5	CSI0_RXN1
6	CSI0_RXP1
7	DGND
8	CSI0_RXCLKN
9	CSI0_RXCLKP
10	DGND
11	CSI0_RXN2
12	CSI0_RXP2
13	DGND
14	CSI0_RXN3
15	CSI0_RXP3
16	DGND
17	CSI_GPIO0
18	CSI_GPIO1
19	DGND
20	CSI_I2C2_SCL

表 2-4. CSI カメラ コネクタ (J6) のピン配置 (続き)

ピン番号	ピン構成
21	CSI_I2C2_SDA
22	VCC_3V3_SYS

2.8 オープン LVDS ディスプレイ インターフェイス (OLDI)

AM62P の OLDI ディスプレイインターフェイスは、Molex® の 40 ピン LVDS ディスプレイコネクタ (J27) (メーカー型番 5019514030) に接続されています。AM62P SK 評価基板は、最大 3840×1080p の解像度のデュアルチャネル 8 ビット LVDS 出力をサポートしています。デュアルチャネル LVDS 信号を除き、40 ピンコネクタには 3.3V 電源が供給され、500mA までのソース機能、すべての事前初期化用の I2C0、インターフェイスディスプレイへの割り込みおよびリセットを処理するための 2 つの GPIO があります。

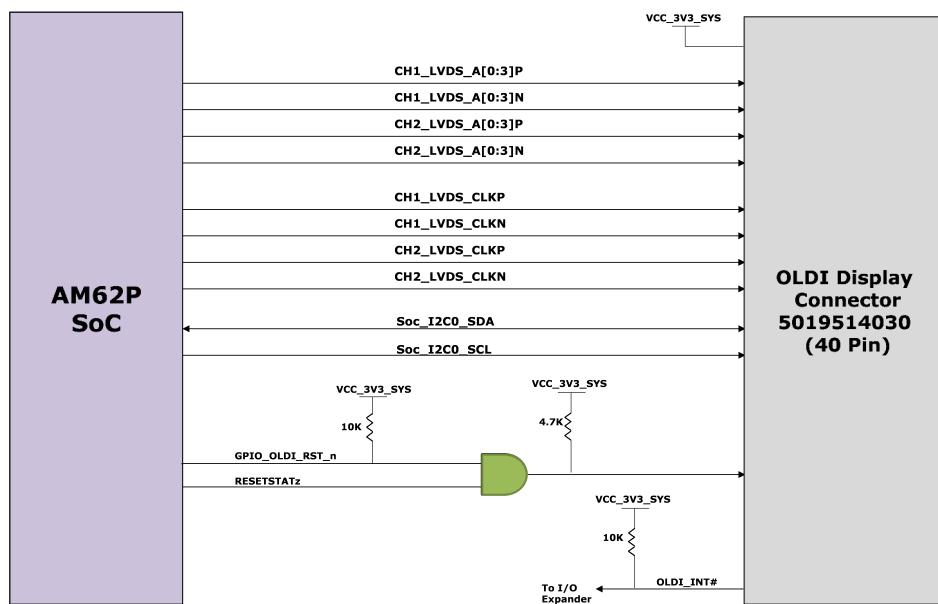
**図 2-8. OLDI**

表 2-5. OLDI ディスプレイコネクタのピン配置 (J27)

ピン番号	信号	ピン番号	信号
1	DGND	21	CH1_LVDS_A2N
2	CH2_LVDS_A3P	22	DGND
3	CH2_LVDS_A3N	23	CH1_LVDS_CLKP
4	DGND	24	CH1_LVDS_CLKN
5	CH2_LVDS_A2P	25	DGND
6	CH2_LVDS_A2N	26	CH1_LVDS_A1P
7	DGND	27	CH1_LVDS_A1N
8	CH2_LVDS_CLKP	28	DGND
9	CH2_LVDS_CLKN	29	CH1_LVDS_A0P
10	DGND	30	CH1_LVDS_A0N
11	CH2_LVDS_A1P	31	DGND
12	CH2_LVDS_A1N	32	OLDI_INT#
13	DGND	33	OLDI_RESETN
14	CH2_LVDS_A0P	34	DGND
15	CH2_LVDS_A0N	35	DGND
16	DGND	36	NC
17	CH1_LVDS_A3P	37	NC
18	CH1_LVDS_A3N	38	SOC_I2C0_SDA
19	DGND	39	SOC_I2C0_SCL
20	CH1_LVDS_A2P	40	VCC_3V3_SYS_CONN

2.9 ディスプレイシリアルインターフェイス (DSI)

AM62P の DSI は、Molex の 22 ピンディスプレイコネクタ (J25) (メーカー型番: 5019512230) に接続されています。AM62P SK 評価基板は、最大 3840 × 1080p の解像度の高速ビデオリンクおよび低消費電力コマンドリンク向けに 4 つの DSI-TX レーンをサポートしています。これら 4 つのレーンを除き、22 ピンコネクタには 3.3V 電源が供給され、500mA までのソース機能、すべての事前初期化用の I₂C0、インターフェイスディスプレイへの割り込みおよびリセットを処理するための 2 つの GPIO があります。

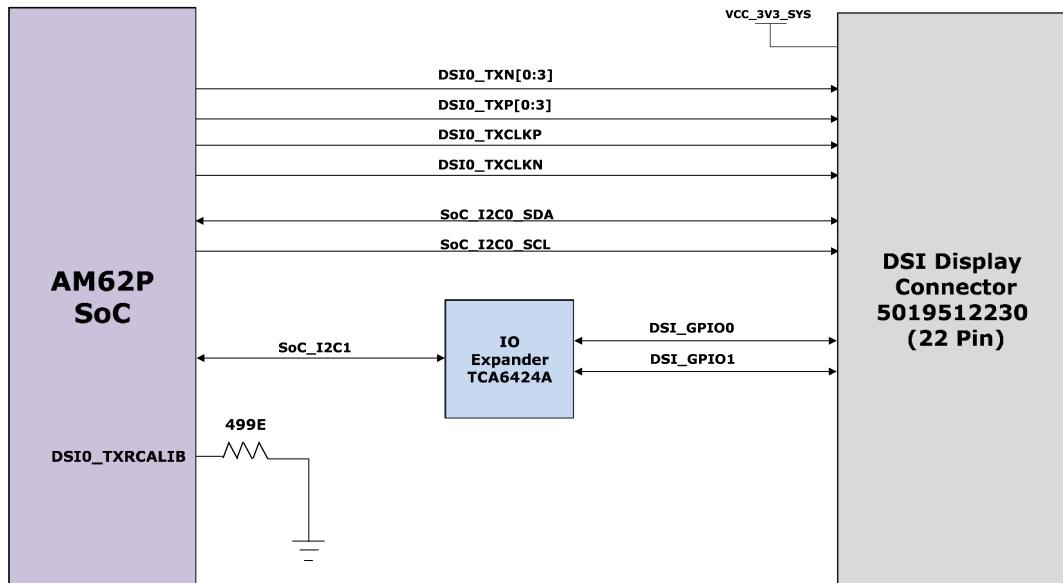


図 2-9. DSI

表 2-6. DSI ディスプレイコネクタのピン配置 (J25)

ピン番号	信号
1	VCC_3V3_SYS
2	SOC_I2C0_SDA
3	SOC_I2C0_SCL
4	DGND
5	DSI_INTN#
6	DSI_RESETN
7	DGND
8	DSI_TX3_P
9	DSI_TX3_N
10	DGND
11	DSI_TX2_P
12	DSI_TX2_N
13	DGND
14	DSI_TXCLK_P
15	DSI_TXCLK_N
16	DGND
17	DSI_TX1_P
18	DSI_TX1_N
19	DGND
20	DSI_TX0_P
21	DSI_TX0_N

表 2-6. DSI ディスプレイコネクタのピン配置 (J25) (続き)

ピン番号	信号
22	DGND

2.10 オーディオ コーデック インターフェイス

AM62P SK 評価基板には、McASP1 の信号グループ経由で AM62P とインターフェイスできるように、TI の TLV320AIC3106 ステレオ オーディオ コーデックが搭載されています。

TLV320AIC3106 は、ステレオ ヘッドフォン アンプを内蔵した低消費電力ステレオ オーディオ コーデックであり、シングルエンドまたは完全差動構成でプログラマブルな複数の入力と出力を備えています。TLV320AIC3106 の録音パスには、内蔵マイクロフォン バイアス、デジタル制御のステレオ マイクプリアンプ、自動ゲイン制御 (AGC) が含まれており、複数のアナログ入力の間に mix および MUX 機能があります。ステレオ オーディオ DAC は、8kHz ~ 96kHz のサンプリングレートをサポートします。

MIC IN とヘッドフォン出力用に、標準的な 3.5mm TRRS オーディオ ジャックコネクタ (J18) (メーカー型番: SJ-43514) が 1 個付属しています。オーディオ コーデックのライン入力は、テストポイントに終端しています。コーデックは I2C を介して構成し、デバイスアドレスを 0x1B に設定できます。

オーディオ コーデックへのコントローラ クロック入力である MCLK は、12.288MHz の発振器から供給されます。オーディオシリアルデータバスビットクロック (BCLK) とオーディオシリアルデータバス入出力 (DIN および DOUT) は、マルチプレクサ/デマルチプレクサを経由して SOC の MCASP1 インスタンスに接続されます。RESETSTATz の AND 出力と、IO エクスパンダ経由で供給される GPIO は、オーディオ コーデックをリセットするために使用されます。

TLV320AIC3106 は、3.3V のアナログ電源、1.8V のデジタルコア電源、3.3V のデジタル I/O 電源で動作します。

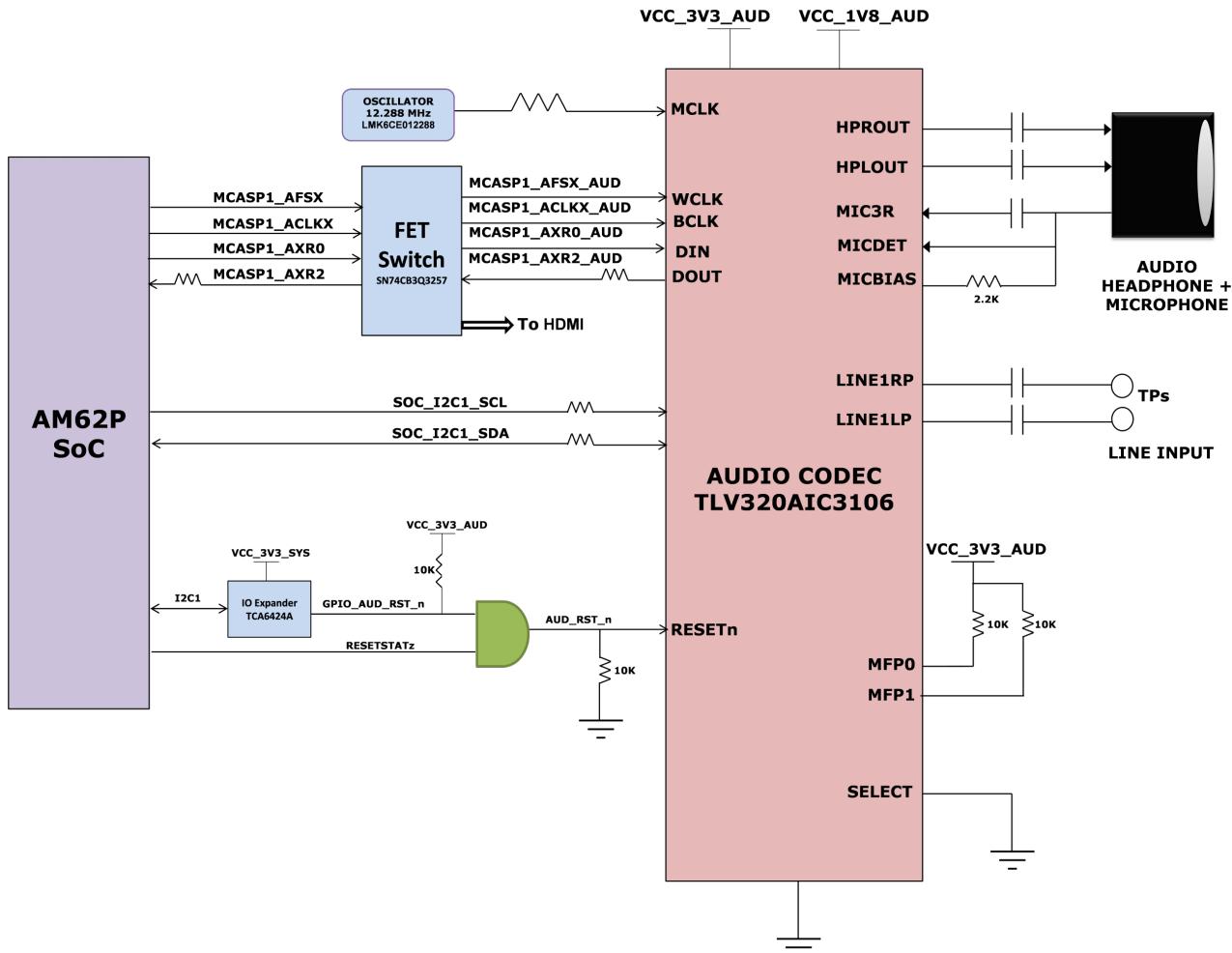


図 2-10. オーディオ コーデック インターフェイス

2.11 HDMI ディスプレイ

AM62P SoC のディスプレイサブシステム (DSS) は、SK 評価基板上で使用され、標準的な Type-A コネクタ経由で HDMI を実現します。この SK 評価基板は、Lattice Semiconductor Corporation® の SiI9022A HDMI トランスマッタを搭載しており、24 ビットのパラレル RGB DSS 出力ストリームおよび McASP1 信号を HDMI 準拠のデジタルオーディオビデオ信号に変換します。

SiI9022A を使用するには、SoC がデバイスをセットアップする必要があります。これは、SoC と SiI9022A の間の I₂C1 インターフェイスを介して行われます。HDMI トランスマッタに接続された SoC_I2C1 インスタンスは、互換モードレジスタ、TPI レジスタ、CPI レジスタにアクセスします。オーディオデータは、McASP1 インスタンスを介して SoC から HDMI トランスマッタに送信されます。HDMI_I2C バスは、接続されたシンクデバイスの EDID と HDCP データにアクセスします。

TMDS 差動データペアとトランスマッタからの差動クロック信号は、HDMI ESD デバイス (メーカー型番: TPD12S016PWR) 経由で HDMI コネクタに接続されています。このデータは、オンボードの 5V 電源から HDMI コネクタに供給される電流を制限するロードスイッチとしても機能します。

HDMI フレーマには、3.3V 基板 I/O 電源から給電されます。また、専用 LDO (メーカー型番: TLV75512PDQNR) から、AVCC および DVCC 電源用の 1.2V が給電されます。

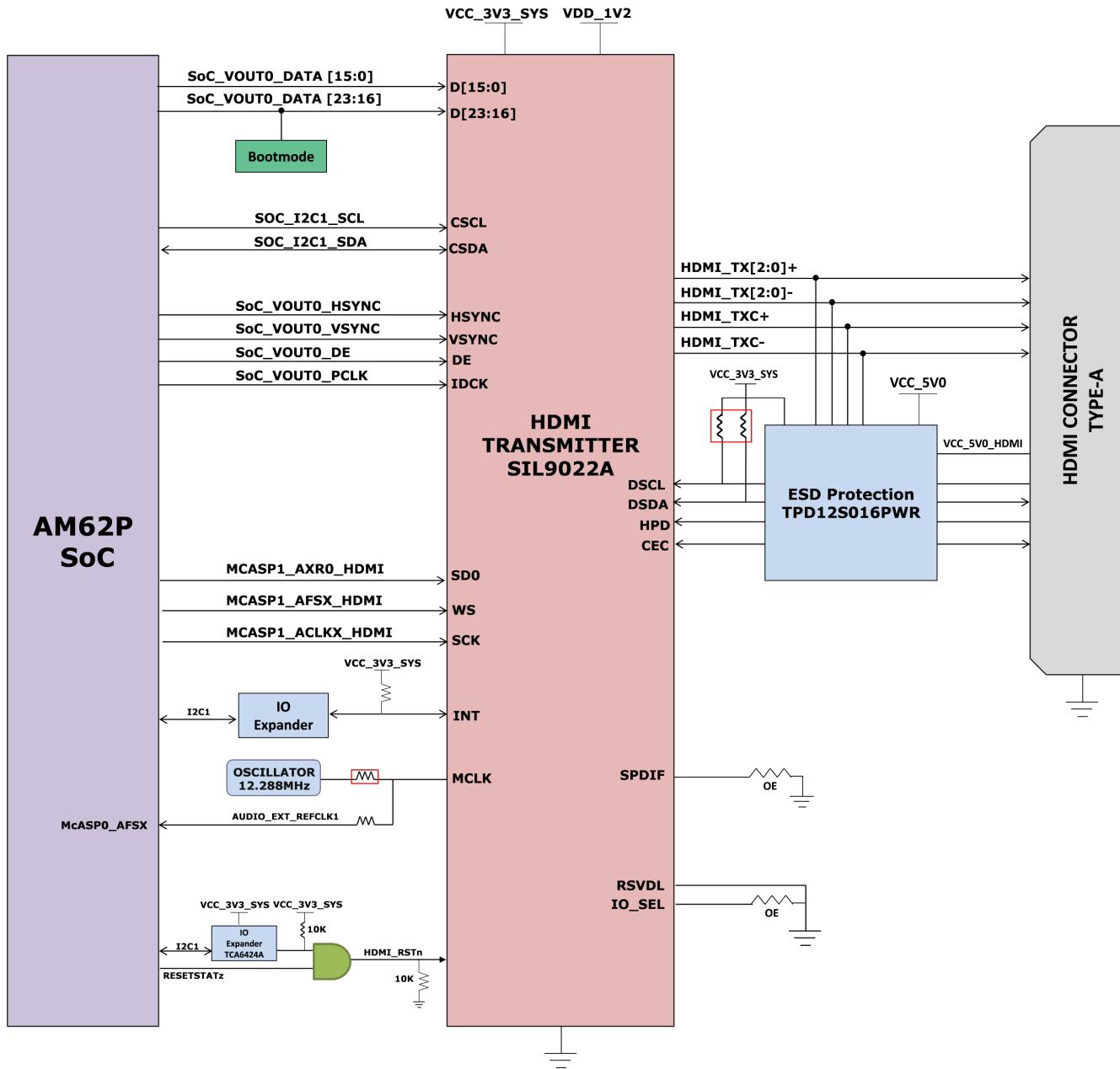


図 2-11. HDMI

2.12 JTAG インターフェイス

AM62P SK 評価基板には、XDS110 クラスのオンボード エミュレーション機能が搭載されています。このエミュレータの接続には標準的な USB 2.0 micro-B コネクタが使用され、回路はバス電源供給方式の USB デバイスとして機能します。コネクタからの VBUS 電源はエミュレーション回路に電源として使用されているため、SKEVM 電源が切り離されてもエミュレータへの接続が失われることはありません。電圧変換バッファは、XDS110 回路を SK 評価基板の他の部分から分離するために使用されます。

オプションとして、SK 評価基板の JTAG インターフェイスは、20 ピンの標準 JTAG cTI ヘッダ J23 を通じても提供されます。これにより、外部 JTAG エミュレータ ケーブルを接続することができます。電圧変換バッファは、cTI ヘッダの JTAG 信号を SK 評価基板の他の部分から分離するために使用されます。XDS110 セクションと cTI ヘッダー セクションの電圧トランシスレータの出力は多重化され、AM62P の JTAG インターフェイスに接続されています。自動存在検出回路を使用して cTI 20 ピン JTAG コネクタへの接続が検出されると、MUX はオンボードのエミュレーション回路の代わりに cTI コネクタからの 20 ピン信号を AM62P SoC にルーティングします。

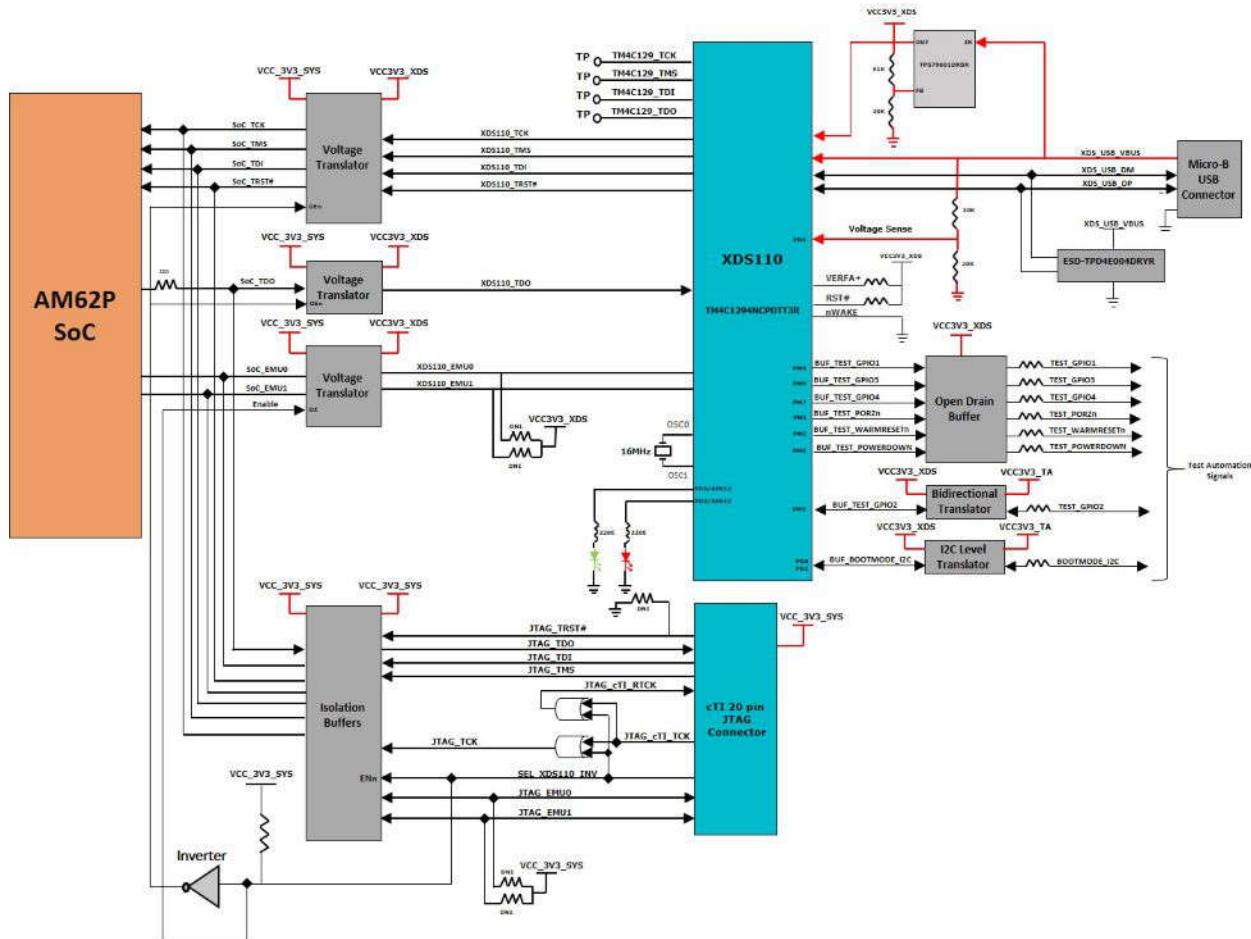


図 2-12. JTAG インターフェイス

表 2-7 に、cTI 20 ピン JTAG コネクタのピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護デバイス (型番 TPD4E004) が用いられています。TPD4E004 は、IEC 61000-4-2 で規定されている最大 $\pm 15\text{kV}$ の人体モデル (HBM) の ESD パルスから保護し、 $\pm 8\text{kV}$ の接触放電と $\pm 12\text{kV}$ のエアギヤップ放電を提供します。

表 2-7. JTAG コネクタ (J23) のピン配置

ピン番号	信号
1	JTAG_TMS
2	JTAG_TRST#
3	JTAG_TDI
4	JTAG_TDIS
5	VCC_3V3_SYS
6	NC
7	JTAG_TDO
8	SEL_XDS110_INV
9	JTAG_cTI_RTCK
10	DGND
11	JTAG_cTI_TCK
12	DGND
13	JTAG_EMU0
14	JTAG_EMU1
15	JTAG_EMU_RSTn
16	DGND
17	NC
18	NC
19	NC
20	DGND

2.13 テストオートメーション ヘッダー

AM62P SK 評価基板は、オプションの 40 ピンのテストオートメーション ヘッダー (FH12A-40S-0.5SH) を搭載しており、パワーダウン、POR、ウォームリセット、ブートモード制御などの基本的な動作を外部コントローラで操作することができます。

テストオートメーション回路は、常時オンのレギュレータ (メーカー型番: LM5141QRGETQ1) から生成された 3.3V 電源から電源を供給されます。SoC I₂C1 インスタンスは、テスト自動化ヘッダーに接続されています。テストオートメーション ヘッダーのもう 1 つの I₂C インスタンス (BOOTMODE_I₂C) が、24 ビット I₂C ブートモード IO エクスパンダ (メーカー型番: TCA6424ARGJR) に接続されており、AM62P SoC のブートモードを制御できます。

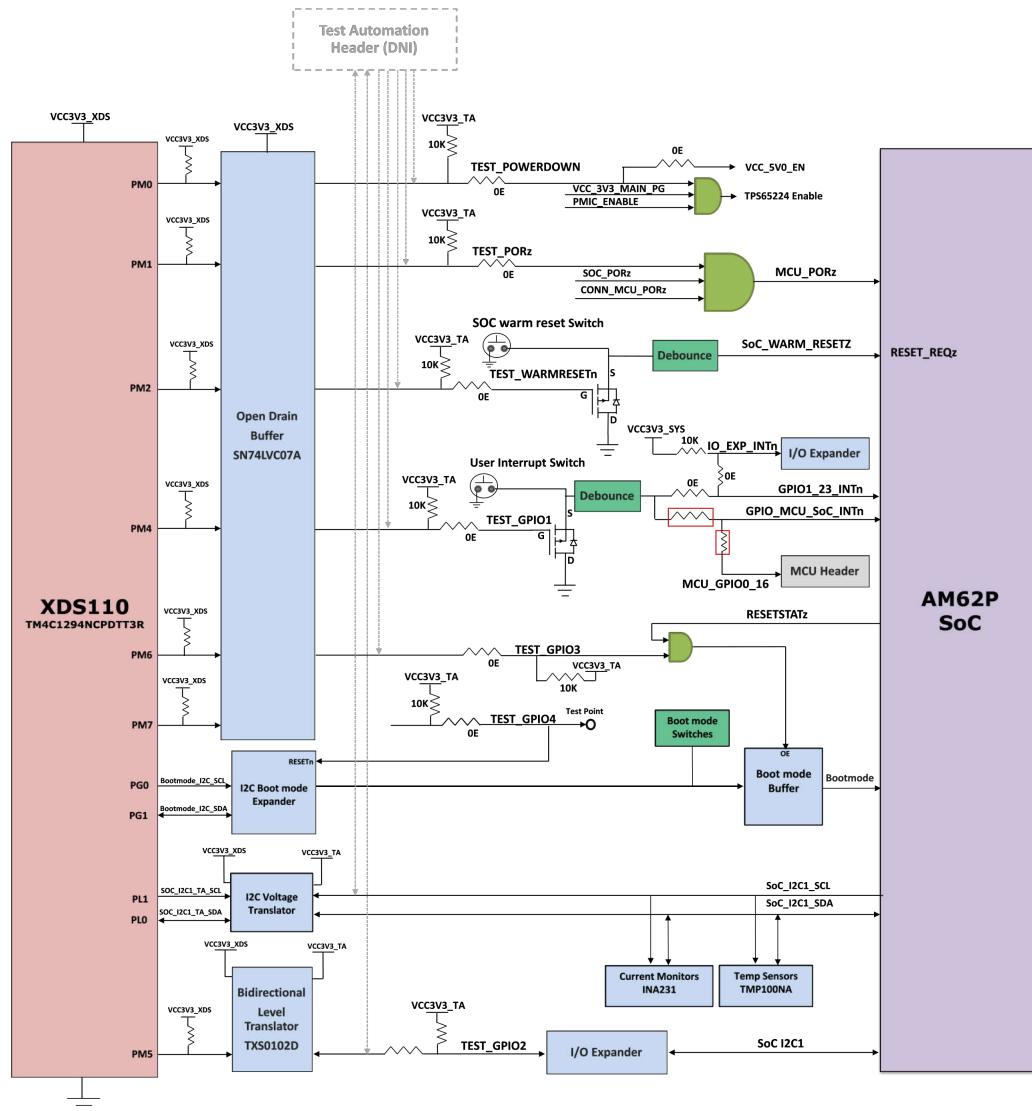


図 2-13. テストオートメーション インターフェイス

テストオートメーションには電圧変換回路があり、コントローラは AM62P で使用される I/O 電圧から絶縁されています。AM62P のブートモードは、DIP スイッチまたは I₂C I/O エクスパンダによるテストオートメーション ヘッダーを使用して、ユーザーが制御できます。ブートモード バッファは、DIP スイッチまたは I₂C I/O エクスパンダによって駆動されるブートモード制御を分離するために使用されます。ブートモードは、ボード上の 2 つの 8 ビット DIP スイッチを使用して設定することもでき、スイッチが ON 位置に設定されている場合はプルアップ抵抗をバッファの出力に、OFF 位置に設定されている場合は弱いプルダウン抵抗に接続します。バッファの出力は AM62P SoC のブートモード ピンに接続され、リセットサイクル中にブートモードが必要な場合にのみ出力が有効になります。

テストオートメーション ヘッダーによってブートモードを設定する場合、必要なスイッチ値が I₂C I/O エクスパンダ出力に設定されます。これにより、DIP スイッチ値が上書きされ、SoC に目的のブート値が得られます。ブートモード用に使用されるピンにはそれ以外の機能もあるため、これらは、通常動作時にブートモード バッファをディスエーブルすることによって自動的に分離されます。

テストオートメーション ヘッダーからのパワーダウン信号は、ボード上の専用電源を除くすべてのレールをパワーダウンするように SK 評価基板に指示します。同様に、PORZn 信号は SoC にハードリセットを行い、WARM_RESETn は SoC にウォームリセットを行います。

表 2-8. オートメーション コネクタ (J29) のピン配置をテストします

ピン番号。	信号	IO 方向	ピン番号。	信号	IO 方向
1	VCC3V3_TA	電源	21	NC	該当なし
2	VCC3V3_TA	電源	22	NC	該当なし
3	VCC3V3_TA	電源	23	NC	該当なし
4	NC	該当なし	24	NC	該当なし
5	NC	該当なし	25	DGND	電源
6	NC	該当なし	26	TEST_POWERDOWN	入力
7	DGND	電源	27	TEST_PORZn	入力
8	NC	該当なし	28	TEST_WARMRESETn	入力
9	NC	該当なし	29	NC	該当なし
10	NC	該当なし	30	TEST_GPIO1	入力
11	NC	該当なし	31	TEST_GPIO2	双方向
12	NC	該当なし	32	TEST_GPIO3	入力
13	NC	該当なし	33	TEST_GPIO4	入力
14	NC	該当なし	34	DGND	電源
15	NC	該当なし	35	NC	該当なし
16	DGND	電源	36	SoC_I2C1_TA_SCL	双方向
17	NC	該当なし	37	BOOTMODE_I2C_SCL	双方向
18	NC	該当なし	38	SoC_I2C1_TA_SDA	双方向
19	NC	該当なし	39	BOOTMODE_I2C_SDA	双方向
20	NC	該当なし	40	DGND	電源

2.14 UART インターフェイス

SoC の 4 つの UART ポート (MCU UART0、WKUP UART0、SOC UART0、SOC UART1) は、UART-to-USB 機能を実現するために FTDI ブリッジ FT4232HL とインターフェースされ、基板上の micro-B USB コネクタ (J21) で終端されています。USB ケーブルを使用して AM62P SK 評価基板をホストに接続すると、コンピュータは仮想 COM ポートを確立でき、任意の端末エミュレーション アプリケーションで使用できます。FT4232HL デバイスはバスから電源供給されているため、SK 評価基板の電源が切り離されても COM ポートへの接続が失われることはありません。

表 2-9. UART ポート インターフェイス

UART ポート	USB から UART へのブリッジ	USB コネクタ	COM ポート
SOC_UART0	FT4232HL	J21	COM1
SOC_UART1			COM2
WKUP_UART0			COM3
MCU_UART0			COM4

FT4232 チップは、接続された外部 SPI EEPROM からの構成ファイルを使用して、「シングルチップ USB から 4 チャネル UART」モードで動作するよう構成されています。EEPROM (93LC46B) は、1Mbit/s のクロック レートに対応しています。EEPROM は、FTDI の Web サイトから入手できる FT_PROG というユーティリティ プログラムを使用して、USB 経由で回路内でプログラム可能です。FT_PROG は、1 つまたは複数の基板がコンピュータに接続されているときに、ユーザーが基板のシリアル番号を使用して接続されている COM ポートを識別できるように、基板のシリアル番号をプログラムするためにも使用されます。

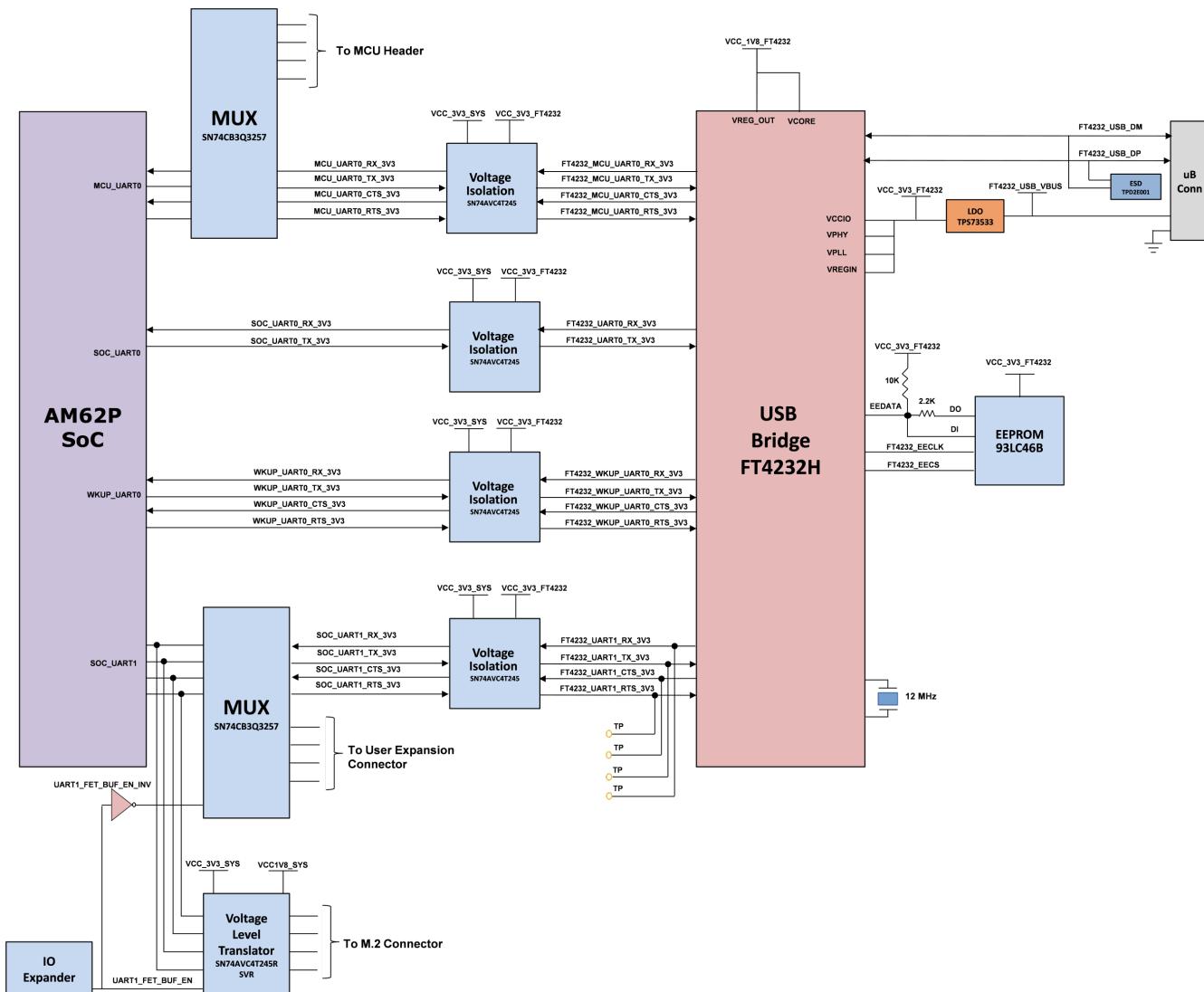


図 2-14. UART インターフェイス

2.15 USB インターフェイス

2.15.1 USB 2.0 タイプA インターフェイス

Type-A コネクタ J9 からの USB 2.0 データラインの DP および DM は、AM62P SoC の USB1 インターフェイスに接続されており、USB のハイスピードおよびフルスピード通信を実現しています。SoC への USB1_VBUS は、(5V ~ 30V) の VBUS 動作に対応する抵抗分圧回路を介して供給されます。SoC の USB1_DRVVBUS は、500mA の電流制限付きロードスイッチ (メーカー型番 TPS2051BD) のインエーブルピンを制御し、オンボードの 5V 電源で VBUS に電力を供給できるようになっています。このロードスイッチには過電流表示ピンがあり、SK 評価基板上の I2C ベースの GPIO エクスパンダに接続されています。

EMI/EMC 低減のために、USB データラインにコモンモードチョーク (メーカー型番: DLW21SZ900HQ2B) が配置されているほか、ESD ダイオード保護 (メーカー型番: TPD4S012DRYR) によって、過渡電圧を抑制します。

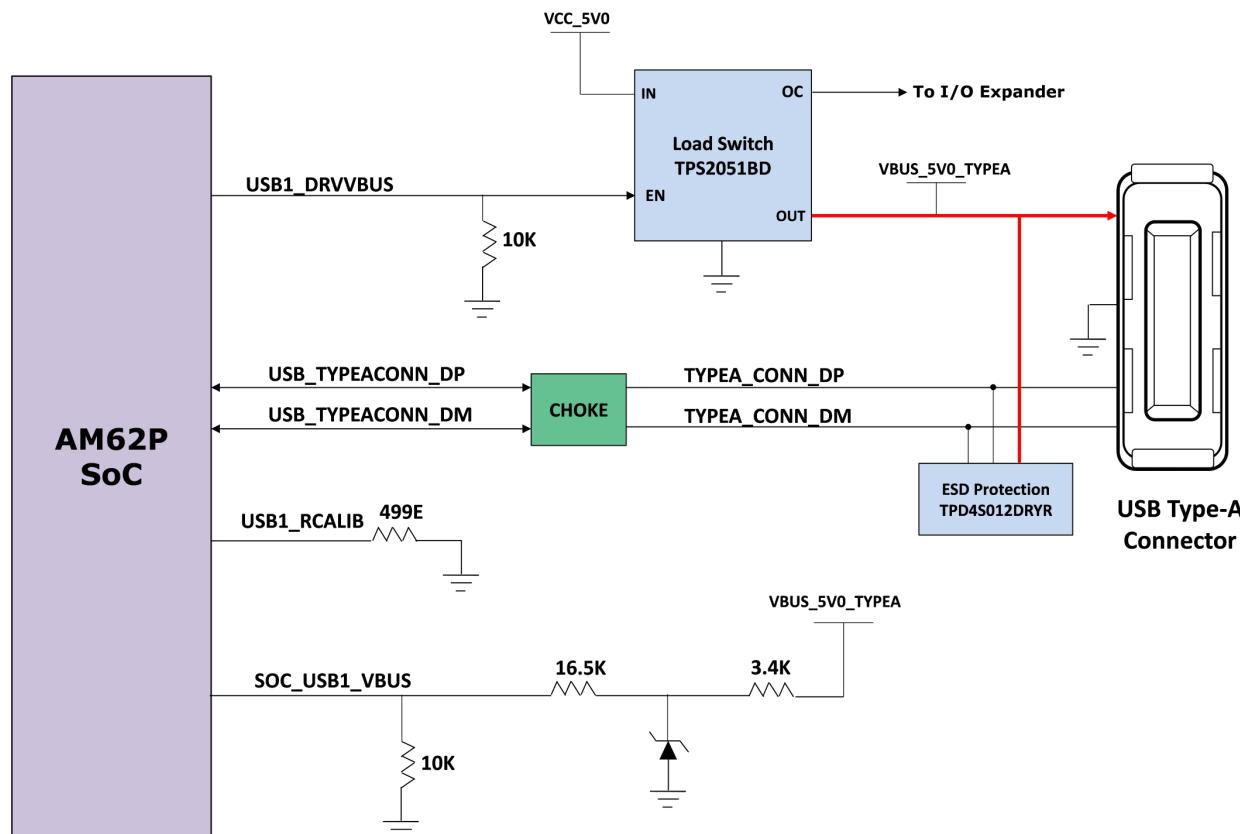


図 2-15. USB 2.0 タイプA インターフェイス

2.15.2 USB 2.0 Type-C® インターフェイス

SK 評価基板では、USB Type-C コネクタ J19 (メーカー型番 2012670005) によって USB 2.0 インターフェイスが提供され、最大 480Mbps のデータレートに対応しています。J19 はデータ通信や、SK 評価基板への電源コネクタとして使用することができます。J19 は、PD コントローラ TPS65988DHRSHR IC を使用して、DRP ポートとして構成されています。そのため、J19 は、ホストとしてもデバイスとしても機能します。ポートの役割は、コネクタに接続されるデバイスのタイプと、そのデバイスがシンクまたはソースのどちらであるかによって決まります。ポートが DFP として機能している場合、DFP は、500mA で最大 5V を供給できます。

J19 からの USB 2.0 データラインの DP と DM には、チョークと ESD 保護デバイスがあります。SoC への USB0_VBUS は、(5V ~ 30V) の VBUS 動作に対応する抵抗分圧回路を介して供給されます。

EMI/EMC 低減のため、USB データラインにコモン モード チョーク (メーカー型番 DLW21SZ900HQ2B) が配置されています。USB 2.0 DP/DM 信号の ESD 衝撃を放散させるため、ESD 保護デバイス (型番 ESD122DMXR) が搭載されています。CC 信号には ESD 保護デバイス (型番:TPD1E01B04DPLT) が搭載されており、ESD 衝撃を放散させるため、Type-C コネクタ J19 の VBUS レールには TVS2200DRV IC が組み込まれています。

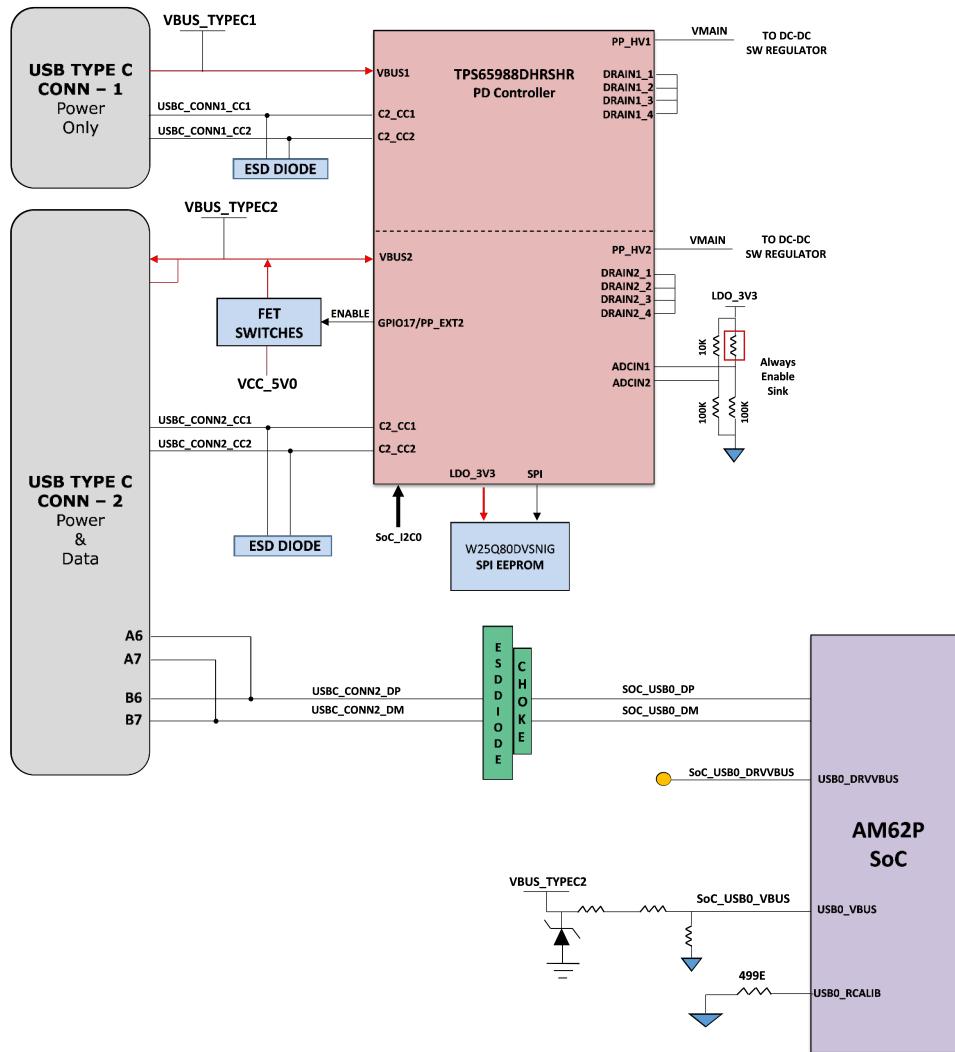


図 2-16. USB 2.0 Type-C® インターフェイス

2.16 メモリ インターフェイス

2.16.1 LPDDR4 インターフェイス

AM62P SK 評価基板には、ピンごとに最大 3200Mb/s のデータレートをサポートする Micron のデュアルランク、デュアルダイ 8GB、32 ビット幅 LPDDR4 メモリ (MT53E2G32D4DE-046 AUT:C) が搭載されています。LPDDR4 メモリは配置され、SoC の DDR0 グループに接続されて、ポイントツー ポイント通信をサポートしています。

LPDDR4 メモリはコア電源に 1.8V が必要であるため、電力需要が抑えられます。I/O には、PMIC の 1.1V 電源出力から電力が供給されます。デフォルトのアクティブ状態を設定するため、AM62P SoC によって制御される LPDDR4 リセット (アクティブ low) はプルダウンされています。また、プルアップ抵抗の実装も可能です。

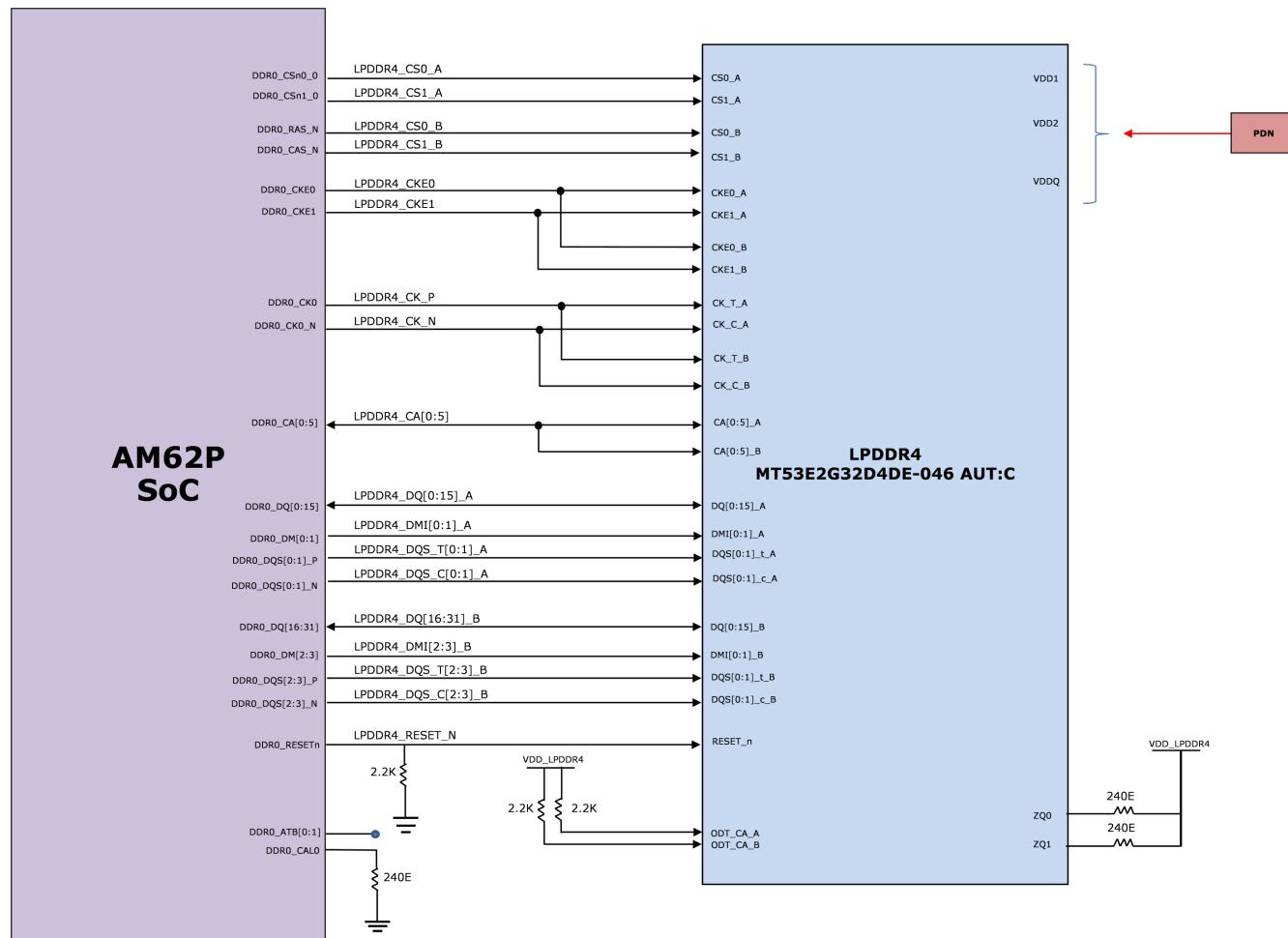


図 2-17. LPDDR4 インターフェイス

2.16.2 オクタルシリアル ペリフェラル インターフェイス(OSPI)

AM62P SK 評価基板では、512Mb OSPI メモリデバイス (Cypress 型番: S28HS512TGABHM010) を、AM62P SoC の OSPI0 インターフェイスに接続しています。OSPI メモリは、最高 200MBps SDR および 400MBps DDR (クロック速度 200MHz) のメモリ速度でシングルデータレートおよびダブルデータレートに対応しています。

OSPI および QSPI の実装: DATA[7:0]、DQS、INT#、CLK の各信号には 0Ω の抵抗が搭載されています。また、バスのフローティング状態を防ぐため、DATA[7:0] には外付けプルアップ抵抗が配置されています。OSPI メモリのフットプリントでは、QSPI メモリまたは OSPI メモリのいずれかを取り付けることもできます。QSPI フラッシュを実装する場合は、OSPI_DQ[4:7] ピンに配置された 0Ω の直列抵抗は取り外すことができます。

リセット: OSPI フラッシュのリセットは、AM62P の RESETSTATz と SoC GPIO の GPIO_OSPI_RSTn 信号を論理積する回路に接続されています。デフォルトのアクティブ状態を設定するために、GPIO_OSPI_RSTn にはプルアップ抵抗が配置されています。

電源: OSPI フラッシュメモリの VCC ピンと VCCQ ピンは両方とも、オンボードの 1.8V システム電源から供給されます。OSPI I/O グループは、SoC の VDDSHV1 ドメインから電力を供給され、このドメインは、同じ 1.8V システム電源から給電されています。

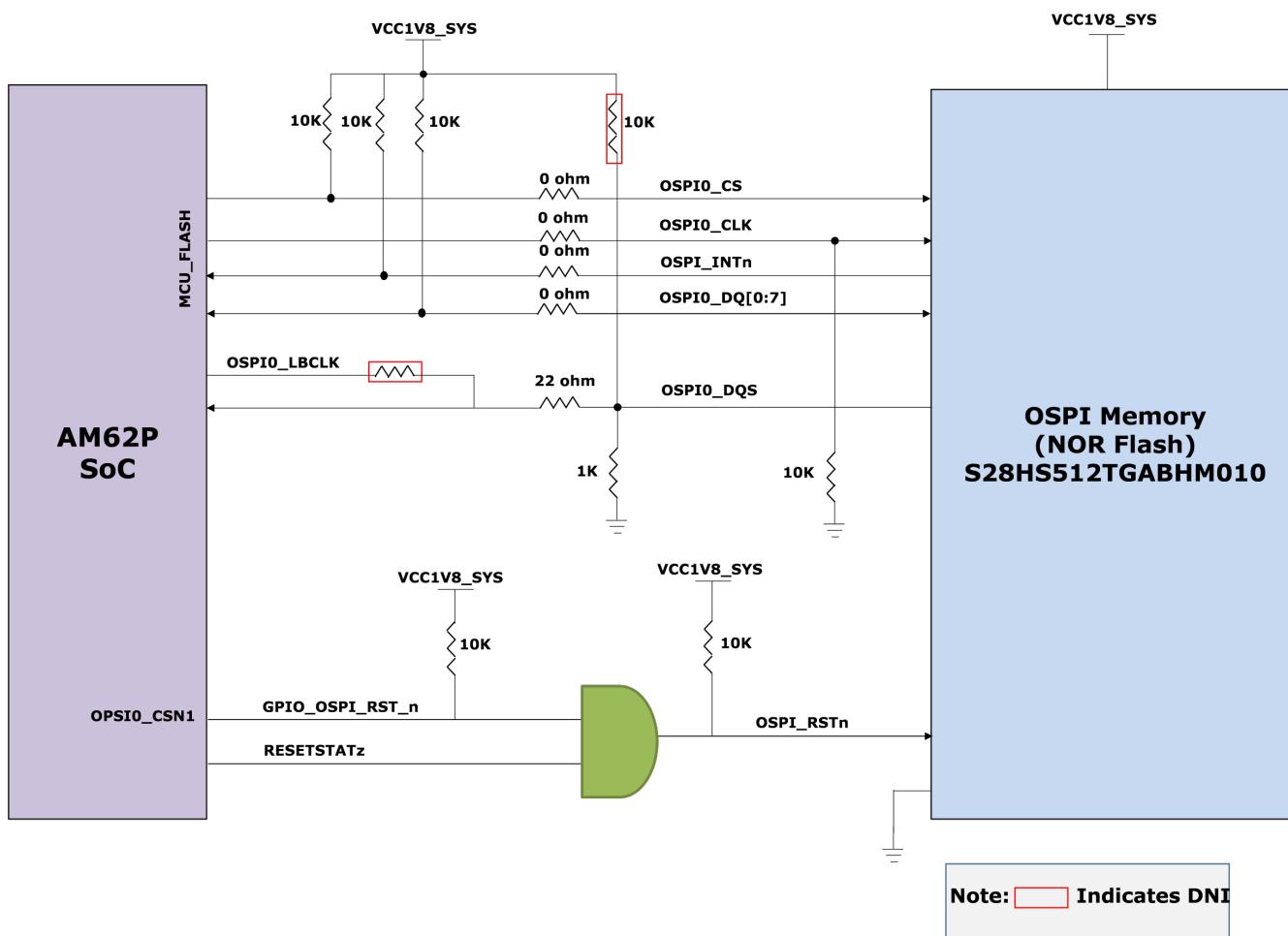


図 2-18. OSPI

2.16.3 MMC インターフェイス

AM62P SoC には、3 つの MMC ポート (MMC0、MMC1、MMC2) があります。MMC0 は eMMC に、MMC1 はマイクロ SD カードコネクタに接続され、MMC2 は Wi-Fi および BT モジュールインターフェイス用の M.2 Key E 拡張コネクタに終端されています。

2.16.3.1 MMC0 - eMMC インターフェイス

この SK 評価基板には、AM62P SoC の MMC0 ポートに接続された 32GB eMMC フラッシュメモリ (Micron、メーカー型番: MTFC32GAZAQHD-IT) が搭載されています。

フラッシュメモリからのデータバスは、最大 200MHz の HS400 ダブルデータレートをサポートする MMC0 インターフェイスの 8 データビットに接続されています。Micron の eMMC は、マルチメディアカード (MMC) インターフェイスと NAND フラッシュコンポーネントを搭載している通信および大容量データストレージデバイスです。DAT[7:1] にはバスのフローティング状態を防ぐため、外付けプルアップ抵抗を取り付けるオプションがあり、CLK 信号には特性インピーダンスに合わせるため、SoC パッドの近くに直列抵抗が配置されています。

eMMC デバイスには、NAND メモリ用の 3.3V、eMMC インターフェイス用の 1.8V の 2 つの電源が必要です。SoC の MMC0 I/O は、固定 1.8V I/O 電源から供給される VDDS_MMC0 によって電力が供給されます。

eMMC デバイスには、ホストからのアクティブ low リセットが必要です。デフォルトでは、RST_n 信号はデバイスで一時的に無効になっています。ホストがこの機能を使用するには、ホストは ECSD レジスタバイト 162、ビット[1:0] を 0x1 に設定して有効にする必要があります。外部リセットは、SoC の RESETSTATz と IO エクスパンダの GPIO を論理積することで生成されます。デフォルトのアクティブ状態を設定するため、GPIO ピンにプルアップが提供されています。

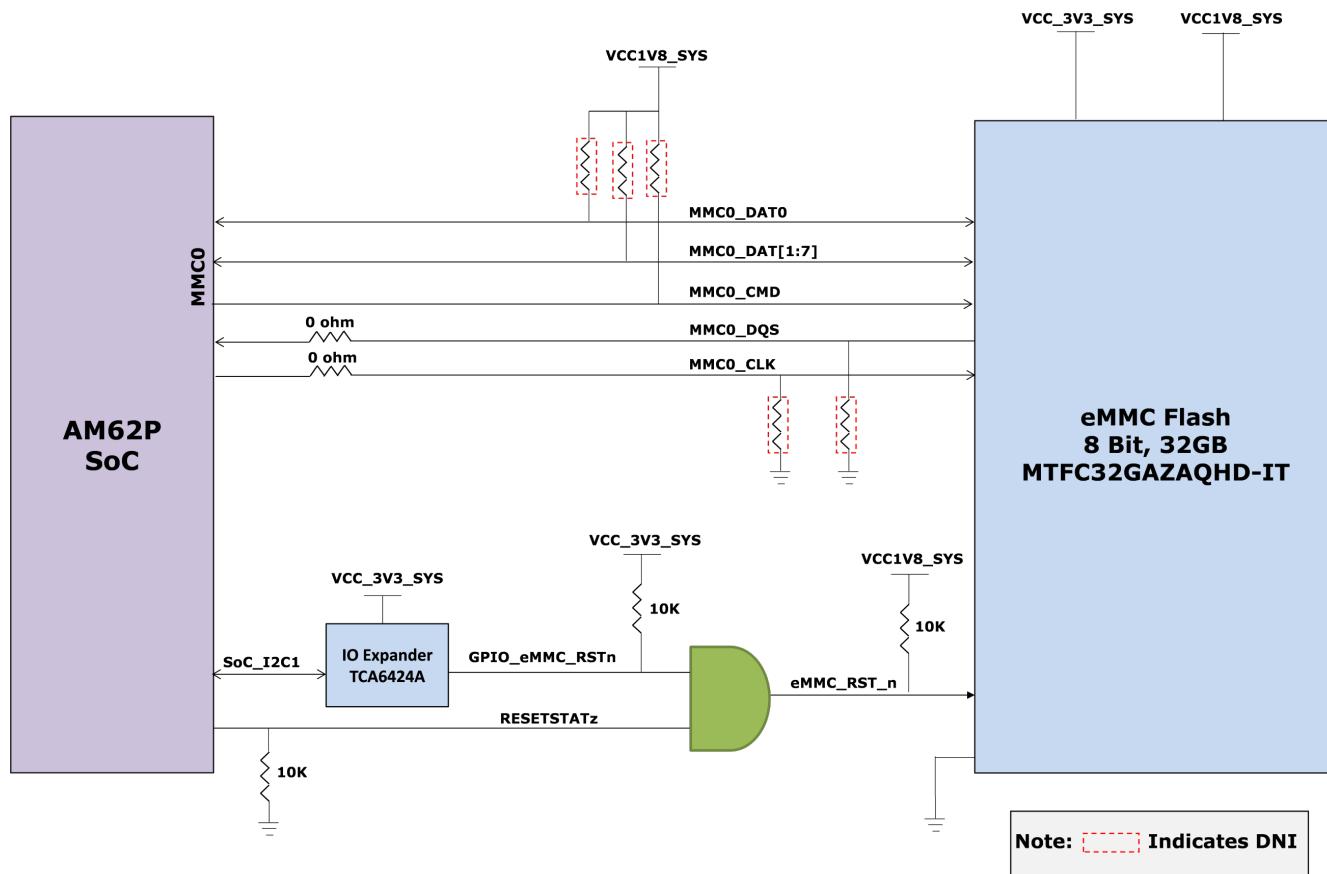


図 2-19. eMMC インターフェイス

2.16.3.2 MMC1 — マイクロ SD インターフェイス

この SK 評価基板では、マイクロ SD カードソケット (メーカー型番: MEM2051-00-195-00-A) が AM62P SoC の MMC1 ポートに接続されています。これにより、1.8V と 3.3V の両方での I/O 動作を含む UHS1 動作がサポートされます。マイクロ SD カードインターフェイスは、デフォルトで SD モードで動作するように設定されています。高速カードの場合、SoC の ROM コードはカードとコントローラがサポートできる最速の速度を検出しようと試み、その後で SoC からの VSEL_SD_SOC 信号を通して 1.8V への移行を試みます。

マイクロ SD カードコネクタの電源は、ロードスイッチ (メーカー型番 TPS22918DBVR) を使用して供給され、RESETSTATz、PORz_OUT、IO エクスパンダの GPIO 出力の論理積によって制御されます。

データ信号、クロック信号、コマンド信号用に、ESD 保護デバイス (部品番号 TPD6E001RSE) が搭載されています。TPD6E001RSE は TVS ダイオードを内蔵したライン終端デバイスで、IEC 61000-4-2 に準拠したシステムレベルの ESD 保護、±8kV の接触放電、±15kV のエアギャップ放電を提供します。

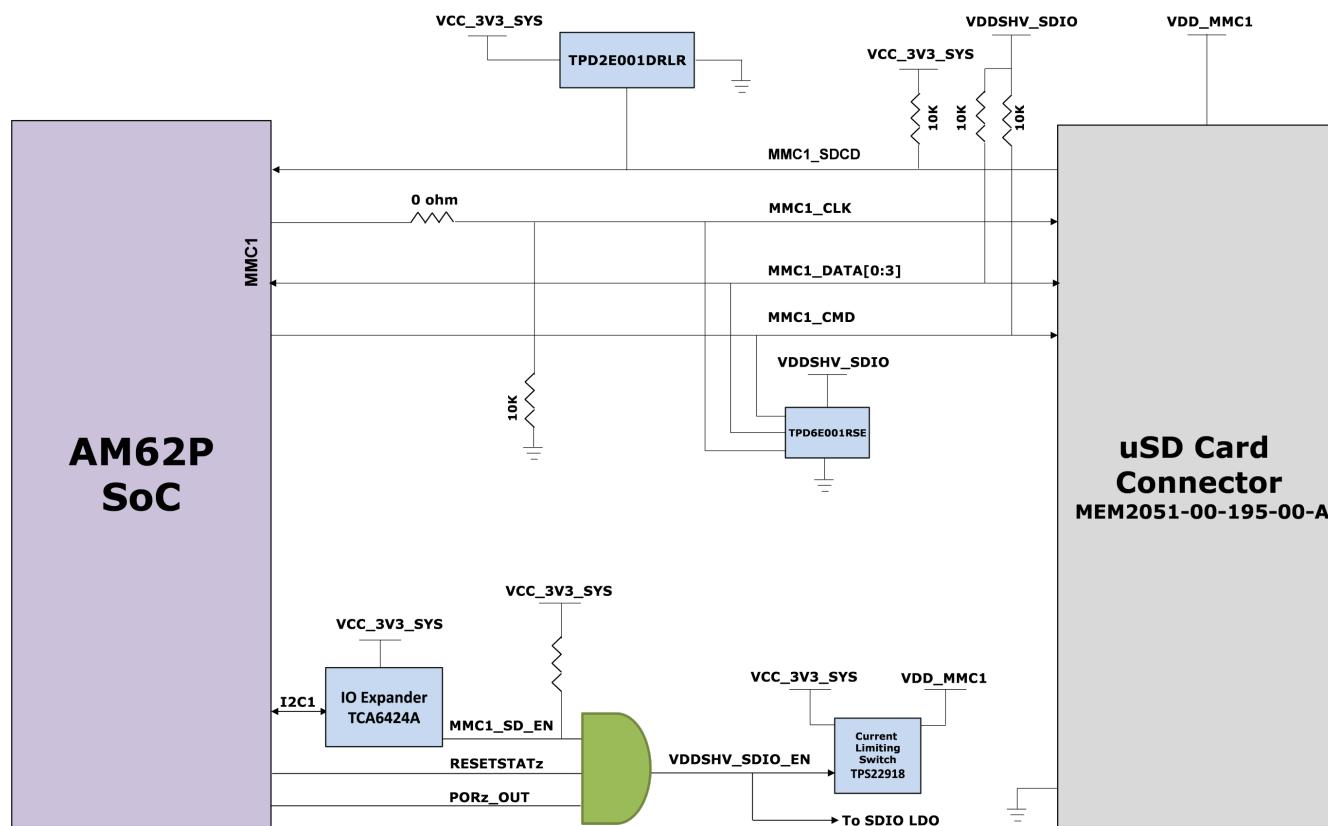


図 2-20. uSD インターフェイス

2.16.3.3 MMC2 - M.2 Key E インターフェイス

AM62P SK 評価基板は、M.2 Key E 拡張機能を搭載しており、Wi-Fi/BT モジュールを、バッファ経由で MMC2、UART2、McASP1 の各インターフェイスに接続できます。これは、産業用温度グレードをサポートするアンテナを搭載した Wi-Fi、デュアルバンド、2.4GHz および 5GHz のモジュールとのインターフェイスとして使用できます。M.2 には、IEEE 規格 802.11a/b/g/n のデータをサポートする MMC2 インターフェイスの 4 ビット I/O が付属しています。M.2 コネクタは、高いスループットと到達範囲の延長ができるほか、Wi-Fi と Bluetooth の共存も実現できるモジュールとインターフェイスできるため、消費電力を最適化する設計に適しています。

M.2 コネクタには、インターフェイス モジュールの電源要件を満たすため、3.3V の電源がオンボード電源として供給されます。SoC の MMC2 インターフェイスは、1.8V IO 電源に接続された VDDSHV6 電源ドメインから電力が供給されます。

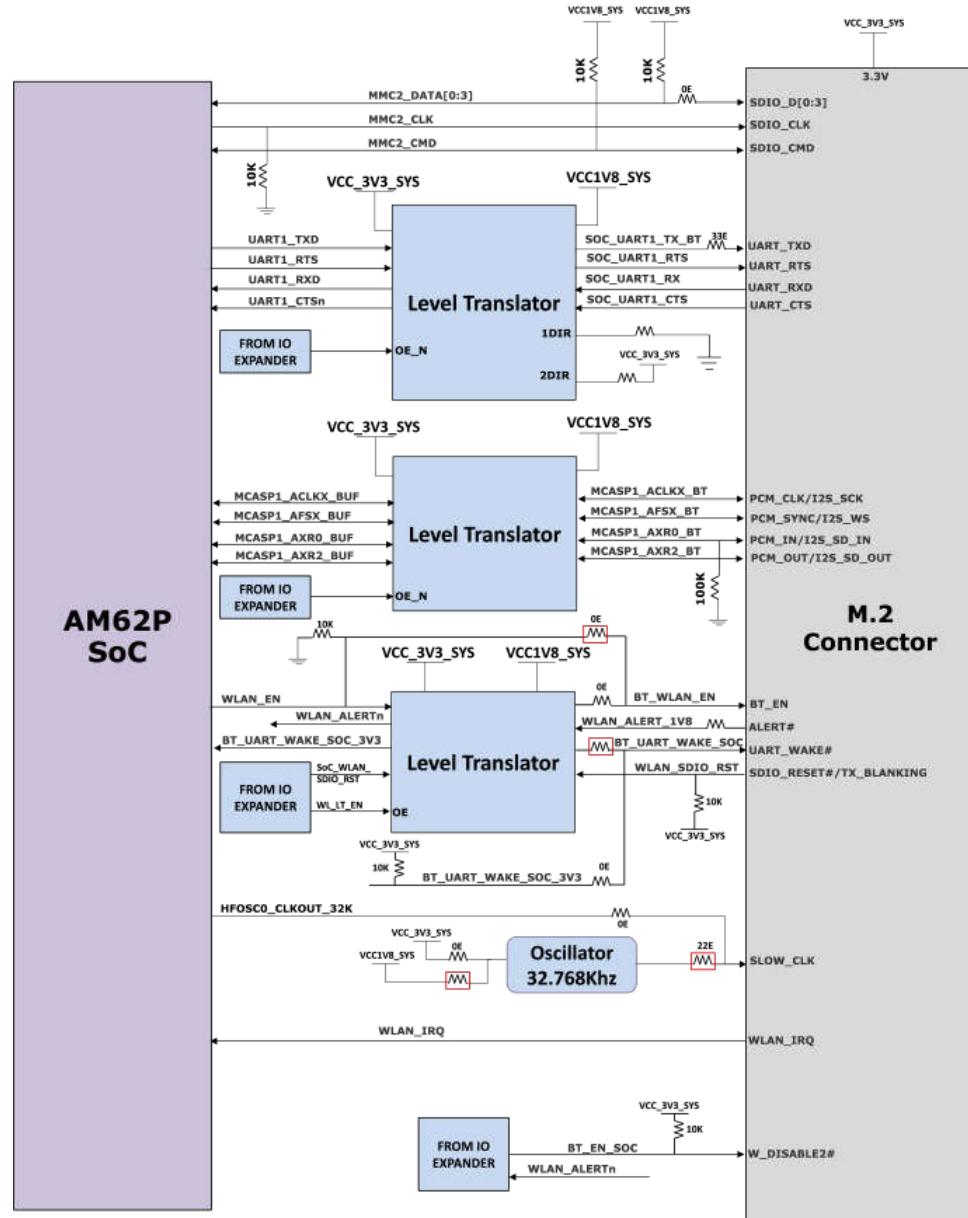


図 2-21. M.2 インターフェイス

2.16.4 基板 ID EEPROM

AM62P SK- 評価基板は、オンボード EEPROM に保存されているバージョンとシリアル番号のデータからリモートで識別可能です。

Microchip の基板 ID メモリ AT24C512C-MAHM-T は、SoC の I2C0 ポートに接続されており、ヘッダー記述でプログラムされたアドレス 0x51 に応答するように構成されています。EEPROM の I2C アドレスは、A0 ピンを High に駆動し、A1 ピン、A2 ピンを Low に駆動することで変更できます。メモリの 最初の 259 バイトは、各基板の識別情報であらかじめプログラムされています。残りの 65277 バイトは、データまたはコードの保存用にユーザーが使用できます。

注

書き込み動作を実行するには、ヘッダ J3 をジャンパーで短絡する必要があります。

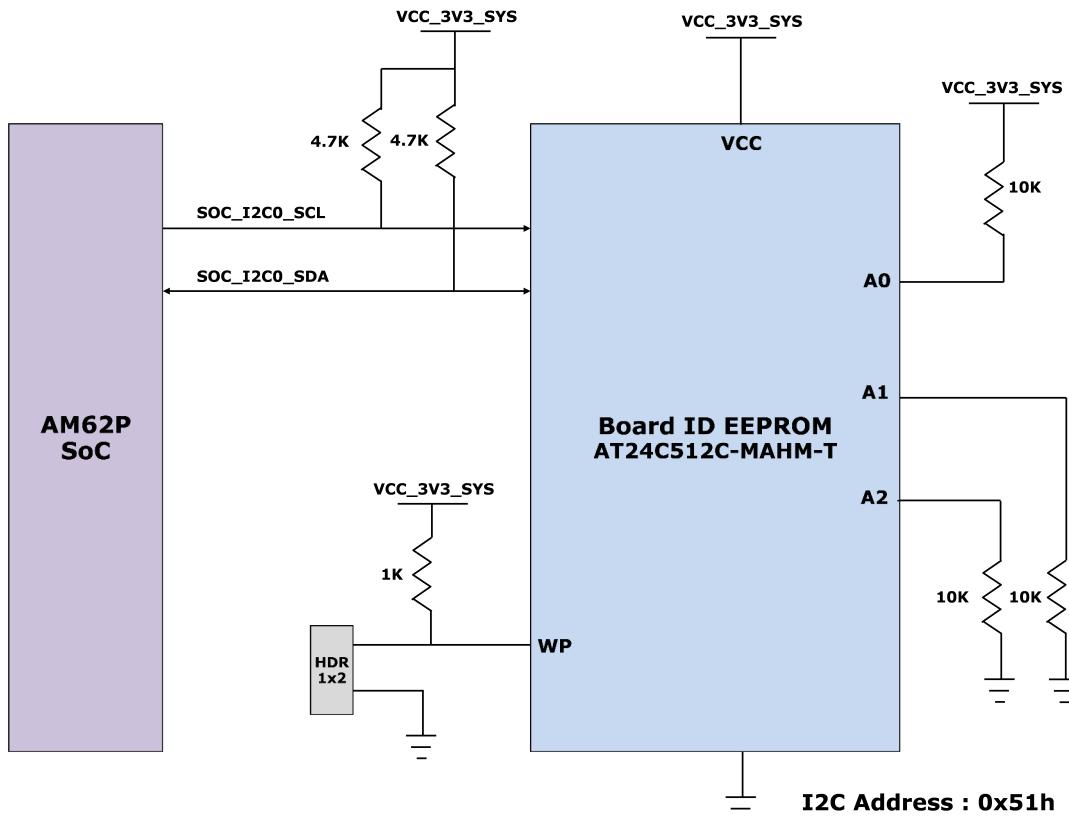


図 2-22. 基板 ID EEPROM インターフェース

2.17 イーサネット インターフェイス

AM62P SK 評価基板には、外部通信向けに、1 ギガビット速度のイーサネットポートが 2 つあります。AM62P SoC の RGMII ギガビットイーサネット CPSW ポートの 2 つのチャネルは、個別のギガビットイーサネット PHY トランシーバ DP83867 に接続されています。これらのトランシーバは、内蔵された磁気部品を使用して 2 つの RJ45 コネクタで最終的に終端されます。

PHY DP83867 の 48 ピンバージョンは、設定された TX および RX クロック スキューで 1Gb 動作をアドバタイズして、AM62P 内部の内部遅延に対応するように構成されています。CPSW_RGMII1 ポートおよび CPSW_RGMII2 ポートは、外部 PHY トランシーバと通信するために、共通の MDIO バスを使用しています。

イーサネット 10/100/1000Mbps 接続には、ボード上で Link-PP の 2 つのシングル ポート RJ45 コネクタ (メーカー型番: LPJG16314A4NL) が使用されます。RJ45 コネクタには、1000BASE-T リンクと送受信アクティビティを示すための磁気素子および LED が内蔵されています。

イーサネット PHY への I/O 電源は 3.3V の IO レベルに設定されています。

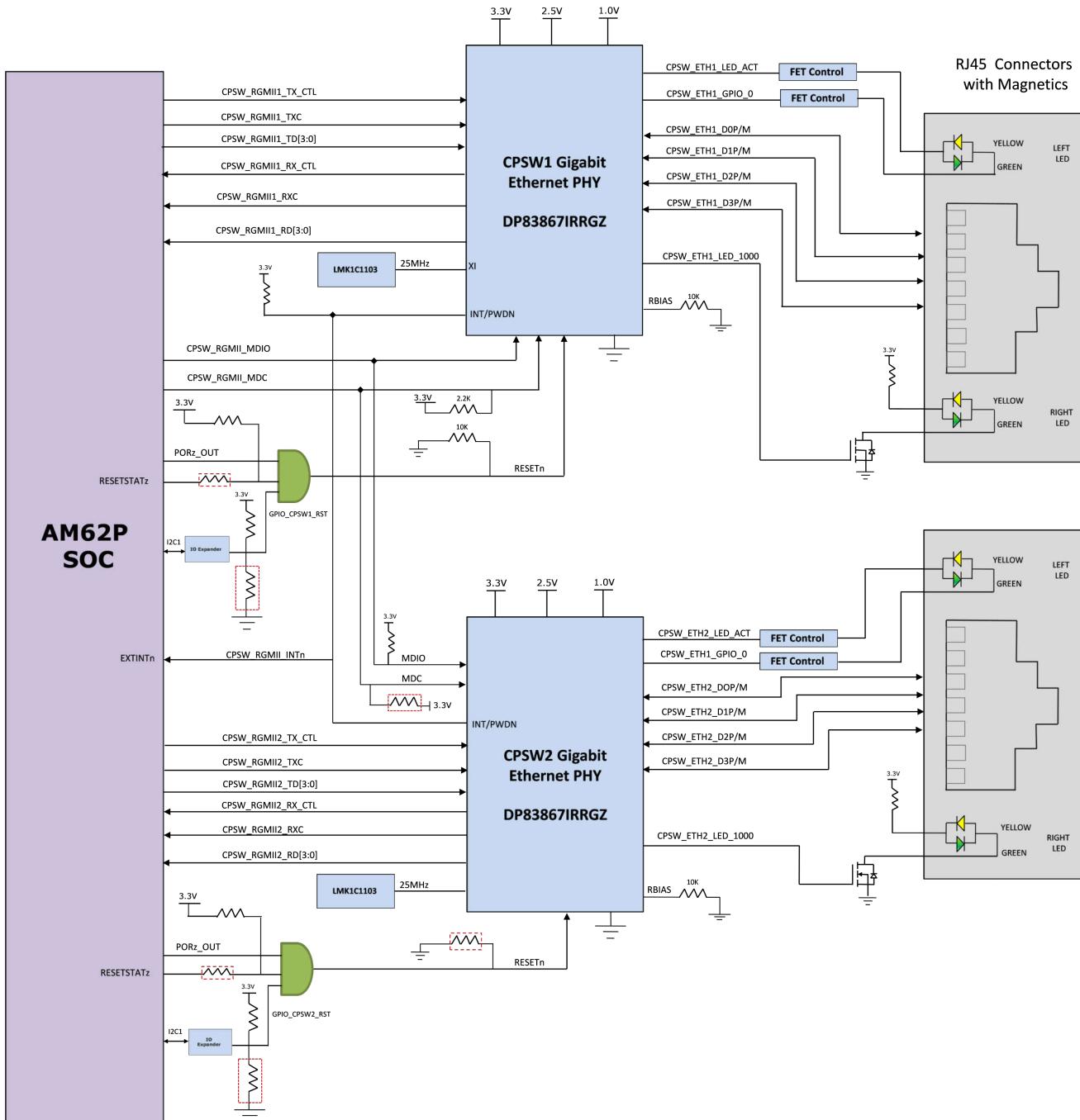


図 2-23. イーサネット インターフェイス

2.17.1 CPSW イーサネット PHY ストラッピング

DP83867 のデフォルト構成は、PHY の特定のピンにある複数の抵抗プルアップおよびプルダウン値を使用して決定されています。インストールされている値に応じて、各構成ピンを次の 4 つのモードのいずれかに設定できます。AM62P SK 評価基板は、RGMII インターフェイスをサポートする 48 ピン QFN パッケージを使用しています。

DP83867 PHY は、抵抗ストラッピングに基づいて 4 つのレベル構成を使用して、4 つの異なる電圧範囲を生成します。これらの抵抗は、通常 PHY によって駆動されてプロセッサへの入力となる、RX データおよび制御ピンに接続されます。各モードの電圧範囲を以下に示します。

- モード 1 — 0V ~ 0.3V
- モード 2 - 0.462V ~ 0.6303V
- モード 3 — 0.7425V ~ 0.9372V
- モード 4 — 2.2902V ~ 2.9304V

LED_0 を除くすべてのストラッピング ピンに、プルアップとプルダウンの両方のフットプリントがあります。LED_0 はミラーネーブル用であり、デフォルトでモード 1 に設定されています。モード 4 は適用できず、モード 2 およびモード 3 のオプションは不要です。

2.17.2 CPSW イーサネット PHY1 のデフォルト構成

PHY アドレス:00000

Auto_neg:イネーブル

ANG_SEL:10/100/1000

RGMII TXCLK スキュー:0ns

RGMII RXCLK スキュー:2ns

2.17.3 CPSW イーサネット PHY2 のデフォルト構成

PHY アドレス:00001

Auto_neg:イネーブル

ANG_SEL:10/100/1000

RGMII TXCLK スキュー:0ns

RGMII RXCLK スキュー:2ns

2.18 GPIO ポート エクスパンダ

AM62P SK 評価基板が使用している I/O エクスパンダは、24 ビットの I2C ベース I/O エクスパンダであり、データカードのプラグイン検出や、オンボードで接続されている各種ペリフェラル デバイスに対するリセット信号やイネーブル信号の生成に使用できます。AM62P SoC の SoC_I2C1 バスは、I/O エクスパンダとインターフェイスするために使用されます。I/O エクスパンダの I2C デバイスアドレスは 0x21 および 0x23 です。エクスパンダによって制御される信号のリストについては、次の表を参照してください。

表 2-10. IO エクスパンダ 1 の信号の詳細

ピン番号	信号	方向	目的
P00	OLDI_INT#	入力	OLDI ディスプレイからの割り込み
P01	x8_NAND_DETECT	入力	x8 NAND カード存在検出
P02	UART1_FET_SEL	出力	UART1 FET の選択
P03	MMC1_SD_EN	出力	SD カード ロード スイッチの有効化
P04	VPP_EN	出力	SoC eFuse 電圧 (VPP = 1.8V) レギュレータのイネーブル
P05	EXP_PS_3V3_EN	出力	EXP CONN 3.3V パワー スイッチのイネーブル
P06	UART1_FET_BUF_EN	出力	SoC UART1 MUX の選択
P07	EXP_HAT_DETECT	入力	EXP CONN HAT ボード検出
P10	DSI_GPIO0	BIDIRECTIONAL	DSI ディスプレイ GPIO0
P11	DSI_GPIO1	BIDIRECTIONAL	DSI ディスプレイ GPIO1
P12	OLDI_EDID	入力	OLDI から HDMI カードへのデバイス ID 割り込み
P13	BT_UART_WAKE_SOC_3V3	入力	BT UART WKUP 信号
P14	USB_TYPEA_OC_INDICATION	入力	USB Type A 過電流インジケータ
P15	CSI_GPIO0	BIDIRECTIONAL	CSI カメラ GPIO1
P16	CSI_GPIO1	BIDIRECTIONAL	CSI カメラ GPIO2
P17	WLAN_ALERTn	入力	M.2 モジュール WLAN アラート入力
P20	HDMI_INTN	入力	HDMI 割り込み
P21	TEST_GPIO2	BIDIRECTIONAL	テスト オートマーション コネクタからの GPIO2 のテスト
P22	MCASP1_FET_EN	出力	MCASP1 イネーブルおよび方向制御
P23	MCASP1_BUF_BT_EN	出力	
P24	MCASP1_FET_SEL	出力	
P25	DSI_EDID	入力	DSI から HDMI カードへのデバイス ID 割り込み
P26	PD_I2C_IRQ	入力	PD コントローラからの割り込み要求
P27	IO_EXP_TEST_LED	出力	ユーザー テスト LED 2

表 2-11. IO エクスパンダ 2 の信号の詳細

ピン番号	信号	方向	デバイス
P00	BT_EN_SOC	出力	M.2 モジュールの Bluetooth LDO のイネーブル
P01	EXP_PS_5V0_EN	出力	EXP CONN 5V パワー スイッチのイネーブル
P10	WL_LT_EN	出力	M.2 インターフェイス レベル ランス レータのイネーブル
P20	SoC_I2C2_MCAN_SEL	出力	SoC I2C2 と MCAN MUX の選択
P21	GPIO_HDMI_RSTn	出力	HDMI ランスマッタ リセット制御 GPIO
P22	GPIO_CPSW1_RST	出力	CPSW イーサネット PHY-1 リセット 制御 GPIO
P23	GPIO_CPSW2_RST	出力	CPSW イーサネット PHY-2 リセット 制御 GPIO
P24	GPIO_OLDI_RSTn	出力	OLDI ディスプレイ リセット制御 GPIO
P25	GPIO_AUD_RSTn	出力	オーディオ コーデック リセット制御 GPIO
P26	GPIO_eMMC_RSTn	出力	eMMC リセット制御 GPIO
P27	SOC_WLAN_SDIO_RST	出力	M.2 モジュール WLAN/SDIO のリ セット

2.19 GPIO へのマッピング

表 2-12 に、AM62P SK 評価基板ペリフェラルを搭載した AM62P SoC の GPIO へのマッピングの詳細を示します。

表 2-12. GPIO へのマッピング

シリアル番号	GPIO 名称	GPIO ネット名	機能	使用 GPIO	パッケージ信号名	制御の方向	デフォルト状態	アクティブ状態	電圧ドメイン SoC 側	SKEVM に接続されている電圧レール
1	WLAN インターフェイスのイネーブル	WLAN_EN	イネーブル	GPIO0_71	MMC2_SD_CD	出力	Low	High	VDDSHV6	SoC_DVDD1V8
2	WLAN 割り込み	WLAN_IRQ	割り込み	GPIO0_72	MMC2_SD_WP	入力	High	Low	VDDSHV6	SoC_DVDD1V8
3	MCU 割り込み	MCU_INTn	割り込み	MCU_GPIO0_0	MCU_SPI0_CS0	入力	High	Low	VDDSHV_MCU	SoC_DVDD3V3
4	CPSW イーサネット PHY 割り込み	CPSW_RGMII_INTn	割り込み	GPIO1_31	EXTINTn	入力	High	Low	VDDSHV0	SoC_DVDD3V3
5	OSPI リセット制御 GPIO	GPIO_OSPi_RSTn	リセット	GPIO0_12	OSPI0_CSn1	出力	High	Low	VDDSHV1	SoC_DVDD1V8
6	OSPI 割り込み	OSPI_INTn	割り込み	GPIO0_13	OSPI0_CSn2	入力	High	Low	VDDSHV1	SoC_DVDD1V8
7	マイコン ヘッダー GPIO0_16	MCU_GPIO0_16	GPIO	MCU_GPIO0_16	MCU_MCAN1_RX	該当なし	該当なし	該当なし	VDDSHV_CANUART	CAN_IO_3V3
8	マイコン ヘッダー GPIO0_15	MCU_GPIO0_15	GPIO	MCU_GPIO0_15	MCU_MCAN1_TX	該当なし	該当なし	該当なし	VDDSHV_CANUART	CAN_IO_3V3
9	PMIC 割り込み	PMIC_INTn	割り込み	GPIO0_31	EXTINTn	入力	High	Low	VDDSHV0	SoC_DVDD3V3
10	スイッチからの CAN-FD 高速ウェークアップ信号	CAN_FD_WKUP_SW_INH	割り込み	MCU_GPIO0_15	MCU_MCAN1_TX	入力	High	Low	VDDSHV_CANUART	CAN_IO_3V3
11	マイコン ヘッダーからの CAN-FD 高速ウェーク信号	CAN_FD_WKUP_HDR_INH								
12	ユーザー テスト LED 制御信号	SOC_GPIO1_49	イネーブル	GPIO1_49	MMC1_SD_WP	出力	Low	High	VDDSHV0	SoC_DVDD3V3
13	IO エクスパンダ割り込み	GPIO1_23_INTn	割り込み	GPIO1_23	UART0_RTSn	入力	High	Low	VDDSHV0	SoC_DVDD3V3
14	ユーザー割り込み									
15	ロー パワー モード イネーブル	PMIC_LPM_EN0	イネーブル	MCU_GPIO0_22	PMIC_LPM_EN0	出力	High	Low	VDDSHV_CANUART	CAN_IO_3V3
16	SD カード I/O 電圧の選択	VSEL_SD_SOC	選択	GPIO0_31	GPMC0_CLK	出力	該当なし	該当なし	VDDSHV2	SoC_DVDD3V3
IO エクスパンダ — 01										
1	OLDI ディスプレイからの割り込み	OLDI_INT#	割り込み	IO_EXPANDER_P00		入力	High	Low		VCC_3V3_SYS
2	x8 NAND カード存在検出	x8_NAND_DETECT	検出	IO_EXPANDER_P01		入力	High	Low		VCC_3V3_SYS
3	UART1 FET 選択制御	UART1_FET_SEL	方向制御	IO_EXPANDER_P02		出力	High	-		VCC_3V3_SYS
4	SD カード ロード スイッチの有効化	MMC1_SD_EN	イネーブル	IO_EXPANDER_P03		出力	High	High		VCC_3V3_SYS
5	SoC eFuse 電圧 (VPP = 1.8V) レギュレータのイネーブル	VPP_EN	イネーブル	IO_EXPANDER_P04		出力	該当なし	High		VCC_3V3_SYS
6	EXP CONN 3.3V パワー スイッチのイネーブル	EXP_PS_3V3_EN	イネーブル	IO_EXPANDER_P05		出力	Low	High		VCC_3V3_SYS
7	SoC UART1 MUX の選択	UART1_FET_BUF_EN	イネーブル	IO_EXPANDER_P06		出力	High	Low		VCC_3V3_SYS
8	EXP CONN HAT ボード検出	EXP_HAT_DETECT	検出	IO_EXPANDER_P07		入力	High	Low		VCC_3V3_SYS
9	DSI ディスプレイ GPIO0	DSI_GPIO0	GPIO	IO_EXPANDER_P10	BIDIRECTIONAL	該当なし	該当なし			VCC_3V3_SYS
10	DSI ディスプレイ GPIO1	DSI_GPIO1	GPIO	IO_EXPANDER_P11	BIDIRECTIONAL	該当なし	該当なし			VCC_3V3_SYS
11	OLDI から HDMI カードへのディバイス ID 割り込み	OLDI_EDID	割り込み	IO_EXPANDER_P12		入力	High	Low		VCC_3V3_SYS
12	BT UART WKUP 信号	BT_UART_WAKE_SOC_3V3	割り込み	IO_EXPANDER_P13		入力	High	Low		VCC_3V3_SYS
13	USB Type A 過電流インジケータ	USB_TYPEA_OC_INDICATION	割り込み	IO_EXPANDER_P14		入力	High	Low		VCC_3V3_SYS

表 2-12. GPIO へのマッピング (続き)

シリアル番号	GPIO 名称	GPIO ネット名	機能	使用 GPIO	パッケージ信号名	制御の方向	デフォルト状態	アクティブ状態	電圧ドメイン SoC 側	SKEVM に接続されている電圧レール
14	Raspberry Pi カメラ CSI0 GPIO1	CSI_GPIO0	入力/出力	IO EXPANDER-P15		BIDIRECTIONAL	該当なし	該当なし		VCC_3V3_SYS
15	Raspberry Pi カメラ CSI0 GPIO2	CSI_GPIO1	入力/出力	IO EXPANDER-P16		BIDIRECTIONAL	該当なし	該当なし		VCC_3V3_SYS
16	WLAN アラート割り込み	WLAN_ALERTn	割り込み	IO EXPANDER-P17		入力	High	Low		VCC_3V3_SYS
17	HDMI 割り込み	HDMI_INTn	割り込み	IO EXPANDER-P20		入力	High	Low		VCC_3V3_SYS
18	テストオートメーション コネクタからの GPIO2 のテスト	TEST_GPIO2	GPIO	IO EXPANDER-P21		該当なし	High	該当なし		VCC_3V3_SYS
19	MCASP1 イネーブルおよび方向制御	MCASP1_FET_EN	イネーブル	IO EXPANDER-P22		出力	Low	Low		VCC_3V3_SYS
20		MCASP1_BUF_BT_EN	イネーブル	IO EXPANDER-P23		出力	Low	High		VCC_3V3_SYS
21		MCASP1_FET_SEL	方向制御	IO EXPANDER-P24		出力	High	-		VCC_3V3_SYS
22	DSI から HDMI カードへのデバイス ID 割り込み	DSI_EDID	割り込み	IO EXPANDER-P25		入力	High	Low		VCC_3V3_SYS
23	パワー デリバリ I2C 割り込み要求	PD_I2C_IRQ	割り込み	IO EXPANDER-P26		入力	High	Low		VCC_3V3_SYS
24	ユーザー テスト LED 2	IO_EXP_TEST_LED	GPIO	IO EXPANDER-P27		出力	Low	High		VCC_3V3_SYS
IO エクスパンダー - 02										
1	M.2 モジュールの Bluetooth LDO のイネーブル	BT_EN_SOC	イネーブル	IO EXPANDER-P00		出力	High	High		VCC_3V3_SYS
2	EXP CONN 5V パワー スイッチのイネーブル	EXP_PS_5V0_EN	イネーブル	IO EXPANDER-P01		出力	Low	High		VCC_3V3_SYS
3	M.2 インターフェイス レベル トランセーラのイネーブル	WL_LT_EN	イネーブル	IO EXPANDER-P10		出力	High	High		VCC_3V3_SYS
4	SoC I2C2 & MCAN MUX の選択	SoC_I2C2_MCAN_SEL	制御	IO EXPANDER-P20		出力	High	-		VCC_3V3_SYS
5	HDMI トランシミッタ リセット制御 GPIO	GPIO_HDMI_RSTn	リセット	IO EXPANDER-P21		出力	High	Low		VCC_3V3_SYS
6	CPSW イーサネット PHY-1 リセット制御 GPIO	GPIO_CPSW1_RST	リセット	IO EXPANDER-P22		出力	High	Low		VCC_3V3_SYS
7	CPSW イーサネット PHY-2 リセット制御 GPIO	GPIO_CPSW2_RST	リセット	IO EXPANDER-P23		出力	High	Low		VCC_3V3_SYS
8	OLDI ディスプレイ リセット制御 GPIO	GPIO_OLDI_RSTn	リセット	IO EXPANDER-P24		出力	High	Low		VCC_3V3_SYS
9	オーディオ コーデック リセット制御 GPIO	GPIO_AUD_RSTn	リセット	IO EXPANDER-P25		出力	High	Low		VCC_3V3_SYS
10	eMMC リセット制御 GPIO	GPIO_EMMC_RSTn	リセット	IO EXPANDER-P26		出力	High	Low		VCC_3V3_SYS
11	WLAN リセット制御 GPIO	SOC_WLAN_SDIO_RST	リセット	IO EXPANDER-P27		出力	High	Low		VCC_3V3_SYS

2.20 電源

2.20.1 電源要件

AM62P SK 評価基板は、2つの USB Type-C コネクタのいずれかを通じて電力を供給できます。

- コネクタ 1 (J17) — 電源ロール — SINK、データロールなし
- コネクタ 2 (J19) — 電源ロール — DRP、データロール — USB 2.0 DFP または UFP

AM62P SK 評価基板は、5V ~ 15V の電圧入力範囲と、3A の電流に対応しています。USB PD コントローラ (メーカー型番 TPS65988DHRSHR) は、ケーブル検出時の PD ネゴシエーションに使用され、基板に必要な電力を取得します。コネクタ 1 は UFP ポートとして構成され、データロールはありません。コネクタ 2 は DRP ポートとして構成され、コネクタ 1 によって基板に電力が供給されている場合にのみ DFP として動作します。両方のコネクタが外部電源に接続されている場合、PD の電力供給能力が最も高いポートが基板の電源として選択されます。

表 2-13. Type-C ポートの電源ロール

J17 (UFP)	J19 (DRP)	基板電源	注記
接続済み	NC	ON - J17	J17 は UFP で、電力のシンクのみを行います。ペリフェラルが接続されている場合に J19 は DFP として動作します
NC	接続済み	ON - J19	J19 は UFP で、電力のシンクのみを行います。
接続済み	接続済み	ON - J17 または J19	基板は、PD の電力供給能力が最も高いポートから電力を供給されます

PD IC は、パワーアップ時に SPI EEPROM を使用して必要な構成をロードし、それによって SPI EEPROM は互換性のある電源と電力供給能力をネゴシエートできます。

構成ファイルは、ヘッダー J15 を使用して EEPROM にロードされます。EEPROM がプログラムされると、PD は SPI 通信を介して構成ファイルを取得します。構成ファイルがロードされると、PD は必要な電源要件を満たすために電源とネゴシエートします。

注

EEPROM には、PD コントローラの動作に必要な構成ファイルがあらかじめプログラムされています。

SK 評価基板に電力を供給しているコネクタを識別するために、両方の USB Type-C コネクタには電源表示 LED が搭載されています。外部電源 (USB Type-C 出力) は評価基板の電源として使用可能ですが、SK 評価基板キットには含まれていません。

外部電源の要件 (USB Type-C) は次のとおりです。

表 2-14. 推奨外部電源

DigiKey 型番	メーカー	メーカー型番
1939-1794-ND	GlobTek, Inc.	TR9CZ3000USBCG2R6BF2
Q1251-ND	Qualtek	QADC-65-20-08CB

注

最小電圧: 5VDC、推奨最小電流: 3000mA、最大電圧: 15VDC、最大電流: 5000mA AM62P-LP は電源用に USB PD を実装しているため、このデバイスは、デバイスと電源アダプタの両方がサポートする最大電圧と電流の組み合わせにネゴシエートすることができます。したがって、電源が上記の最大電圧および電流要件を上回った場合、電源アダプタが USB-C PD 仕様に準拠している限り、電源は許容されます。

2.20.2 電源入力

USB Type-C コネクタ (VBUS ラインと CC ライン) はどちらも、デュアル PD コントローラ (メーカー型番 TPS65988) に接続されています。TPS65988 は、スタンダードアロンの USB Type-C およびパワー デリバリ (PD) コントローラであり、2 つの USB Type-C コネクタのケーブルのプラグと向きを検出します。ケーブルを検出すると、TPS65988 は USB PD プロトコルを使用して CC ワイヤで通信を行います。ケーブルの検出と USB PD ネゴシエーションが完了すると、TPS65988 は適切な電力バスを有効にします。TPS65988 の 2 つの内部電力バスは、2 つの Type-C ポートのシンク パスとして構成され、DFP として動作する場合には Type-C CONN 2 から 5V を供給するための外部 FET パスが提供されています。外部 FET パスは、PD コントローラの GPIO17/PP_EXT2 ピンによって制御され、AM62P SoC の USB0 DRVVBUS の使用も可能にする抵抗オプションも備えています。

TPS65988 PD コントローラは、CC ネゴシエーションにより、3A (最大 15V) の出力を供給できます。両方の Type-C コネクタからの VBUS ピンは、PD コントローラの VBUS ピンに接続されています。PD の出力は VMAIN です。この VMAIN は、オンボードの昇降圧レギュレータと降圧レギュレータに供給され、SK 評価基板用の 5V と 3.3V の固定電源を生成します。

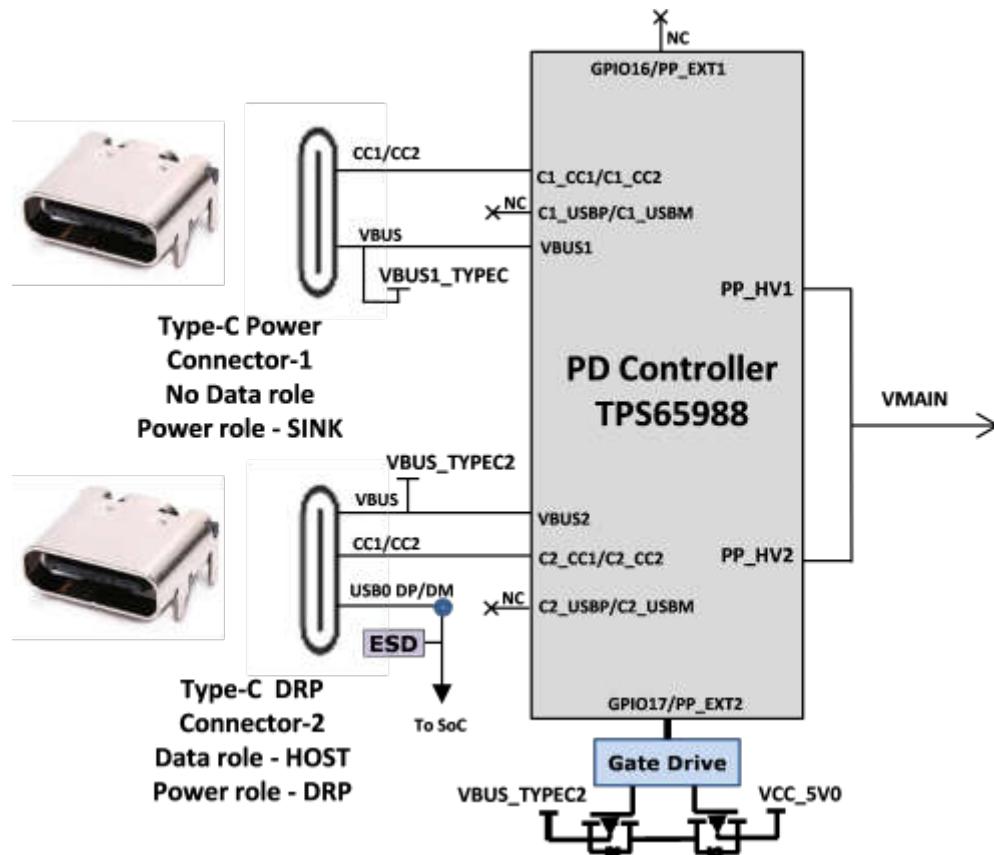


図 2-24. 電源入力

2.20.3 電源

AM62P SK 評価基板は、DC/DC コンバータのアレイを使用して、ボード上のさまざまなメモリ、クロック、SoC、その他のコンポーネントやペリフェラルに必要な電圧と電力を供給します。

図 2-25 に、AM62P SK 評価基板上の各ペリフェラルに対し電源レールを供給するために使用される、各種のディスクリートレギュレータ、PMIC、LDO を示します。

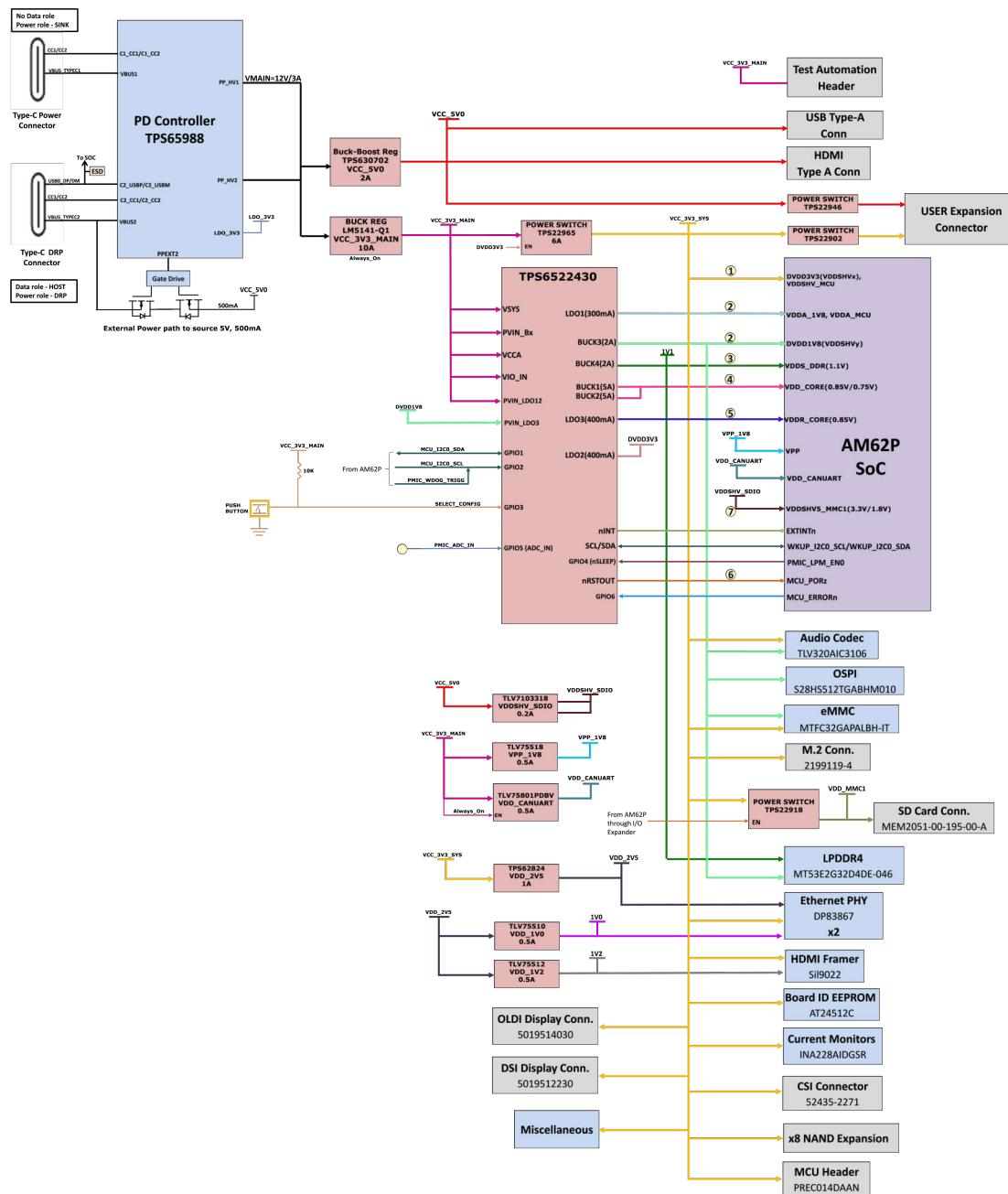


図 2-25. 電力アーキテクチャ

以下のセクションでは、SK 評価基板ボード、サポートコンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM62P SK 評価基板には、ディスクリート電源コンポーネントに基づく電源デザインが搭載されています。電源供給の初期段は、2 つの USB Type-C コネクタ J17 と J19 のいずれかからの VBUS 電圧になります。システムに必要な電力のネゴシエーションには、USB Type-C デュアル PD コントローラ (メーカー型番 TPS65988DHRSHR) が使用されます。

昇降圧コントローラ TPS630702RNMR と降圧コンバータ LM5141-Q1 は、それぞれ 5V と 3.3V の生成に使用され、レギュレータへの入力、VMAIN は PD 出力です。これらの 3.3V と 5V は、AM62P SK 評価基板の電源リソースの主要な電圧です。降圧レギュレータ LM5141-Q1 から生成された 3.3V 電源は、PMIC、各種 SoC レギュレータ、LDO への入力電源です。昇降圧レギュレータ TPS630702RNMR から生成された 5V 電源は、オンボードのペリフェラルの電源に使用されます。

基板上で使用されるディスクリートレギュレータと LDO は次のとおりです。

- TPS62824DMQR — イーサネット PHY 用に VDD_2V5 レールを生成
- TLV75510PDQNR — イーサネット PHY 用に VDD_1V0 を生成
- TLV75512PDQNR — HDMI フレーマ用に VDD_1V2 を生成
- PTPS6522430RAHRQ1 (PMIC) — 各種 SoC およびペリフェラルの電源を生成
- TLV75801PDBVT LDO — SoC の VDD_CANUART 電源
- TPS79601LDO — XDS110 オンボード エミュレータ
- TPS73533LDO — FT4232 UART-to-USB ブリッジ
- TLV7103318 LDO — SoC 用の VDDSHV5_MMC1 (SD インターフェイス) 電源を生成
- TLV75518 LDO — SoC の eFuse プログラミング

また、GPIO (TEST_POWERDOWN) は PMIC のイネーブルピンに接続されており、XDS110/ テストオートメーションを介して SK 評価基板のオン/オフを制御します。GPIO は、TPS630702RNMR の VCC_5V0 出力もディセーブルし、これにより他の複数の電源が派生されます。

2.20.4 電源シーケンス

次の図に、AM62P SoC 電源のパワーアップのシーケンスを示します。

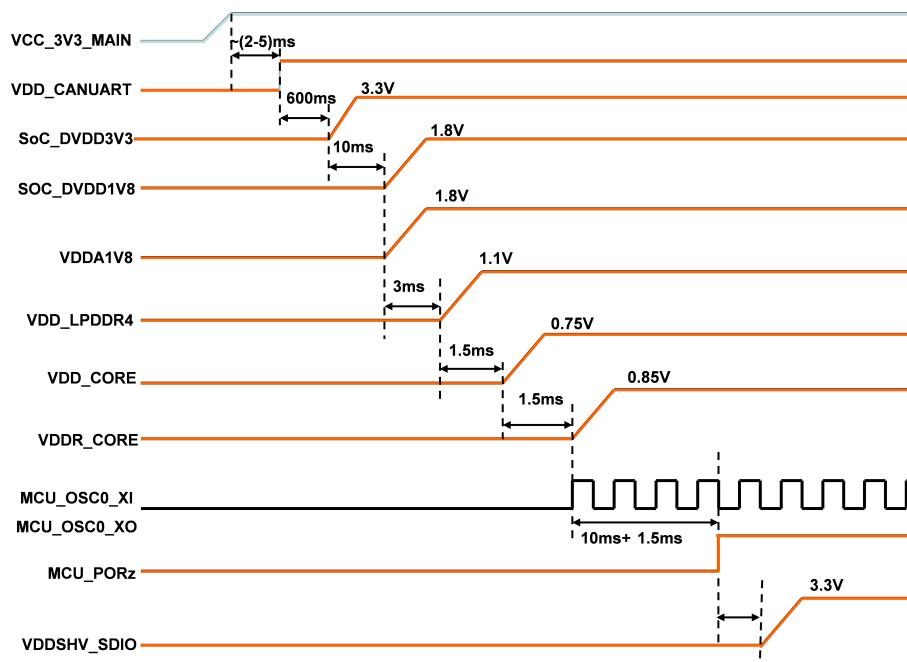


図 2-26. 電源シーケンス

2.20.5 AM62P SoC 電源

AM62P SoC のコア電圧は、PMIC 構成と電力最適化要件に基づいて、0.75V または 0.85V に設定できます。デフォルトでは、PMIC は 0.85V で VDD_CORE に電力を供給するよう構成されていますが、R157 を削除することで、PMIC を 0.75V に変更できます。電流モニタは、SoC 電源レールのすべてに搭載されています。

SoC には異なる I/O グループがあります。各 I/O グループには、表 2-15 に示すように、特定の電源から電力が供給されます。

表 2-15. SoC 電源

SL. 番号	電源	SoC 電源レール	IO 電源グループ	電圧
1	VDD_CORE	VDD_CORE	CORE	0.75/0.85
		VDDA_CORE_CSI_DSI	CSI と DSI	
		VDDA_CORE_DSI_CLK	DSI	
		VDDA_DDR_PLL0	DDR PLL	
		VDDA_CORE_USB	USB	
2	VDD_CANUART (常時オン)	VDD_CANUART	CANUART	0.75/0.85
3	VDDR_CORE	VDDR_CORE	CORE	0.85
		VDD_MMC0	MMC0	
		VDDS_DLL_MMCO	MMC0	
4	VDDA_1V8	VDDA_1P8_CSI_DSI	CSI と DSI	1.8
		VDDA_1P8_OLDI0	OLDI	
		VDDA MCU	MCU	
		VDDS_OSC0	OSC0	
		VDDA_PLL[0:4]	PLL	
		VDDA_TEMP[0:2]	TEMP	
		VDDA_1P8_USB	USB	
5	VDD_LPDDR4	VDDS_DDR	DDR0	1.1
		VDDS_DDR_C		
6	CAN_IO_3V3 (常時オン)	VDDSHV_CANUART	CANUART	3.3
7	VPP_1V8	VPP_1V8		1.8
8	SOC_VDDSHV5_SDIO	VDDSHV5	MMC1	3.3/1.8
9	SOC_DVDD1V8	VDDSHV1	OSPI	1.8
		VDDS_MMCO	MMC0	
		VDDSHV6	MMC2	
		VMON_1P8_SOC		
10	SOC_DVDD3V3	VDDSHV0	一般	3.3
		VDDSHV2	GEMAC	
		VDDSHV3	GPMC	
		VDDSHV MCU	MCU GENERAL	
		VMON_3P3_SOC		
		VDDA_3P3_USB	USB	

2.20.6 電流監視

INA228 電流監視デバイスは、AM62P SoC の各種電源レールの電流と電圧を監視するために使用されます。INA228 は、I2C インターフェイス (SoC_I2C1) で AM62P SoC と接続されています。負荷電流測定用に、4 端子の高精度シャント抵抗が実装されています。

注

この設計は、INA228 または INA231 を使用する電流 / 電圧測定をサポートしています。INA228 は、この評価基板 (SK) にのみ実装されています (スタック PCB フットプリントで実装)。

表 2-16. INA I2C デバイス アドレス

ソース	電源ネット	デバイスアドレス	シャントの値
VCC_CORE	VDD_CORE	0x40	1mΩ ± 1%
VDD_CORE_0V85	VDDR_CORE	0x41	10mΩ ± 1%
VCC_3V3_SYS	SOC_DVDD3V3	0x4C	10mΩ ± 1%

表 2-16. INA I²C デバイス アドレス (続き)

ソース	電源ネット	デバイス アドレス	シャントの値
VCC1V8_SYS	SoC_DVDD1V8	0x45	10mΩ ± 1%
VDDA1V8	VDDA_1V8	0x4D	10mΩ ± 1%
VCC1V1	VDD_LPDDR4	0x47	1mΩ ± 1%

2.21 評価基板のユーザー設定/構成

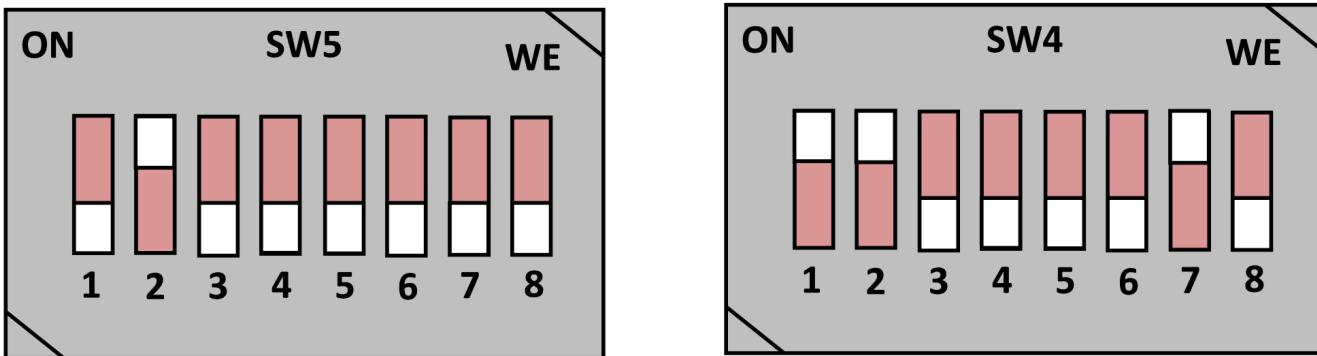
2.21.1 DIP スイッチ

AM62P SK 評価基板には、目的の SoC ブートモードを設定するための 8 ポジション DIP スイッチが 2 つ搭載されています。

2.21.2 ブートモード

SK 評価基板のブートモードは、SW4、SW5 のスイッチからなる 2 つのバンクによって定義されます。あるいは、テストオートメーション (XDS110 およびヘッダー) に接続された I²C バッファによって定義されます。これにより、AM62P SoC のブートモードは、ユーザー (DIP スイッチ制御) またはテストオートメーションによって制御できます。

スイッチ (SW4 および SW5) のすべてのビットには、弱いプルダウン抵抗と強いプルアップ抵抗があります。オフ設定のときは Low ロジックレベル ('0') が、オン設定のときは High ロジックレベル ('1') が提供されます。


図 2-27. ブートモードスイッチ (MMCSD ブート)

SoC のブートモードピンは、通常動作時には代替機能が関連付けられています。このため、代替えピン機能に対応するために、バッファ IC を使用して分離が可能です。バッファの出力は AM62P SoC のブートモードピンに接続され、リセットサイクル中にブートモードが必要な場合にのみ出力が有効になります。

バッファへの入力は、DIP スイッチ回路と、テストオートメーション回路によって設定された I²C IO エクスパンダの出力に接続されています。テストオートメーション回路がブートモードを制御する場合は、すべてのスイッチを手動でオフ位置に設定する必要があります。ブートモードバッファは、SoC の電源がオフになり再度オンにされてもブートモードが維持されるように、常時オンの電源から電源供給されます。

スイッチ SW4 と SW5 の各ビット [15:0] は、SoC ブートモードの設定に使用されます。

このブートモード機能へのスイッチマッピングを以下の表に示します。

表 2-17. ブートモードのピンマッピング

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
予約済み	予約済み	バックアップブートモードの構成	バックアップブートモード	バックアップブートモード	プライマリブートモードの構成	プライマリブートモード	プライマリブートモード	PLL による構成							

- BOOTMODE[2:0] – PLL の構成のシステムクロック周波数を示します。
- 次の表に、PLL リファレンスクロック選択の詳細を示します。

表 2-18. PLL リファレンス クロックの選択 BOOTMODE[2:0]

SW4.3	SW4.2	SW4.1	PLL REF CLK (MHz)
OFF	OFF	OFF	19.2
OFF	OFF	オン	20
OFF	オン	OFF	24
OFF	オン	オン	25
オン	OFF	OFF	26
オン	OFF	オン	27
オン	オン	OFF	RSVD
オン	オン	オン	RSVD

- **BOOTMODE[6:3] – POR** 後に要求されるブート モードを選択するためのプライマリ ブート モードの構成が提供されます。つまり、プライマリ ブート デバイスからブートするペリフェラル/メモリの選択に関する詳細です。

表 2-19. ブート デバイス選択 BOOTMODE[6:3]

SW4.7	SW4.6	SW4.5	SW4.4	プライマリ ブート デバイスの選択
OFF	OFF	OFF	OFF	シリアル NAND
OFF	OFF	OFF	オン	OSPI
OFF	OFF	オン	OFF	QSPI
OFF	OFF	オン	オン	SPI
OFF	オン	OFF	OFF	イーサネット RGMII
OFF	オン	OFF	オン	イーサネット RMII
OFF	オン	オン	OFF	I2C
OFF	オン	オン	オン	UART
オン	OFF	OFF	OFF	MMC / SD カード
オン	OFF	OFF	オン	eMMC
オン	OFF	オン	OFF	USB0
オン	OFF	オン	オン	GPMC NAND
オン	オン	OFF	OFF	GPMC NOR
オン	オン	OFF	オン	予約済み
オン	オン	オン	OFF	xSPI
オン	オン	オン	オン	ブートなし / デバイス ブート

- **BOOTMODE[12:10] – プライマリ ブート デバイス** の障害が発生した場合に、バックアップ ブート モード、つまりブート元となるペリフェラル/メモリを選択します。

表 2-20. バックアップ ブート モードの選択 BOOTMODE[12:10]

SW5.5	SW5.4	SW5.3	バックアップ ブート デバイスの選択
OFF	OFF	OFF	なし (バックアップ モードなし)
OFF	OFF	オン	USB
OFF	オン	OFF	予約済み
OFF	オン	オン	UART
オン	OFF	OFF	イーサネット
オン	OFF	オン	MMC/SD
オン	オン	OFF	SPI
オン	オン	オン	I2C

- **BOOTMODE[9:7] –** これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。

表 2-21. プライマリ ブート メディアの構成 BOOTMODE[9:7]

SW5.2	SW5.1	SW4.8	ブートデバイス
予約済み	読み取りモード 2	読み取りモード 1	シリアル NAND
予約済み	予約済み	チップ選択	OSPI
予約済み	予約済み	チップ選択	QSPI
予約済み	モード	チップ選択	SPI
クロック出力	0	リンク情報	イーサネット (RGMII)
クロック出力	クロック ソース	0	イーサネット (RMII)
バスリセット	予約済み	アドレス	I2C
予約済み	予約済み	予約済み	UART
1	予約済み	サンプリング周波数 / 生データ	MMC/SD カード
予約済み	予約済み	予約済み	eMMC
コア電圧	モード	レーン スワップ	USB0
予約済み	予約済み	予約済み	GPMC NAND
予約済み	予約済み	予約済み	GPMC NOR
予約済み	予約済み	予約済み	予約済み
SFPD	読み取りコマンド	モード	xSPI
予約済み	ARM/Thumb	なし / デバイス	ブートなし / デバイスブート

- BOOTMODE[13] – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。スイッチ SW 5.6 をオンにすると 1 が設定され、オフにすると 0 が設定されます。各デバイスの TRM を参照してください。
- BOOT-MODE[15:14] – 予約済み。バックアップ ブート メディアの構成オプションを提供します。

表 2-22. シリアル NAND 構成フィールド

ブートモードピン	フィールド	値	説明
8 [SW5.1]	読み取りモード 2	0	予約済み (読み取りモードは読み取りモード 1 から取得)
		1	SPI / 1-1-1 モード (読み取りモードは、読み取りモード 2 から取得され読み取りモード 1 は無視されます。)
7 [SW4.8]	読み取りモード 1	0	OSPI / 1-1-8 モード (読み取りモード 2 が 0 の場合のみ有効)
		1	OSPI / 1-1-4 モード (読み取りモード 2 が 0 の場合のみ有効)

表 2-23. OSPI ブート構成フィールド

ブートモードピン	フィールド	値	説明
7 [SW4.8]	チップ選択	0	ブート フラッシュは CS 0 に搭載
		1	ブート フラッシュは CS 1 に搭載

表 2-24. QSPI ブート構成フィールド

ブートモードピン	フィールド	値	説明
7 [SW4.8]	チップ選択	0	ブート フラッシュは CS 0 に搭載
		1	ブート フラッシュは CS 1 に搭載

表 2-25. SPI ブート構成フィールド

ブートモードピン	フィールド	値	説明
8 [SW5.1]	モード	0	SPI モード 0
		1	SPI モード 3
7 [SW4.8]	チップ選択	0	ブート フラッシュは CS 0 に搭載
		1	ブート フラッシュは CS 1 に搭載

表 2-26. イーサネット RGMII ブートの構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	クロック出力	0	外部クロックを選択するには、0に設定する必要があります
		1	予約済み
8 [SW5.1]	遅延	0	内部の Tx 遅延を使用する RGMII の場合、0に設定する必要があります
		1	予約済み
7 [SW4.8]	リンク情報	0	リンク パラメータに使用する MDIO PHY スキャン
		1	ROM によってプログラムされたリンク パラメータ

表 2-27. イーサネット RMII ブートの構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	クロック出力	0	50MHz クロックは CLKOUT0 で生成されません
		1	CLKOUT0 で生成される 50MHz クロック
8 [SW5.1]	クロック ソース	0	RMII1_REF_CLK の外部クロック ソース
		1	RMII1_REF_CLK の内部クロック ソース
7 [SW4.8]	RMII	0	このビットは 0に設定する必要があります
		1	予約済み

表 2-28. RMII イーサネット クロック供給

BOOTMO DE ピン 9 (Clk 出力)	BOOTMO DE ピン 8 (Clk src)	説明
0	0	RMII_REF_CLK と外部イーサネット PHY 入力クロックへの 50MHz 外部ソース (CLKOUT0 は未使用) これらは推奨設定です
0	1	有効な設定ではありません
1	0	CLKOUT0 は 50MHz に構成され、RMII1_REF_CLK と外部イーサネット PHY 入力クロックの両方に接続します
1	1	有効な設定ではありません

表 2-29. イーサネット バックアップ ブート設定フィールド

ブートモードピン	フィールド	値	説明
13 [SW5.2]	インターフェイス	0	内部 TX 遅延付き RGMII
		1	外部クロック ソース使用の RMII

表 2-30. I2C ブート構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	バスリセット	0	1ms 後にハング バスリセットを試行
		1	ハング バスのリセットは試行されませんでした
7 [SW4.8]	アドレス	0	EEPROM のアドレスは 0x50 です
		1	EEPROM のアドレスは 0x51 です

表 2-31. SD カード ブート構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	ポート	0	予約済み
		1	MMC ポート 1 (4 ビット幅)。このビットは 1 に設定する必要があります
7 [SW4.8]	FS/Raw	0	ファイルシステム モード
		1	Raw モード

(1) MMCSD がバックアップ モードの場合。

表 2-32. eMMC ブート構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	ポート	0	MMCSD ポート 0 (8 ビット幅)。このビットは 0 に設定する必要があります
		1	予約済み
13 [SW5.2] ⁽¹⁾	FS/Raw	0	ファイルシステム モード
		1	Raw モード

(1) MMCSD がバックアップ モードの場合。

表 2-33. USB ブート構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	コア電圧	0	0.85V のコア電圧
		1	0.75V のコア電圧
8 [SW5.1]	モード	0	DFU (USB デバイス フームウェア アップグレード)
		1	ホスト (MSC ブート)
13 [SW5.2] ⁽¹⁾	レーン スワップ	0	D+/D- ラインはスワップされていません
		1	D+/D- ラインがスワップされています

(1) USB がバックアップ モードの場合。

表 2-34. xSPI ブート構成フィールド

ブートモードピン	フィールド	値	説明
9 [SW5.2]	SFDP	0	SFDP はディセーブル
		1	SFDP はイネーブル
8 [SW5.1]	読み取りコマンド	0	0x0B 読み取りコマンド
		1	0xEE 読み取りコマンド
7 [SW4.8]	モード	0	1S-1S-1S モード (50MHz)
		1	8D-8D-8D モード (25MHz)

2.21.3 ユーザー テスト LED

AM62P SK 評価基板には、ユーザー定義による機能用に 2 つの LED が搭載されています。

表 2-35 に、ユーザー テスト LED と、その制御に使用される関連 GPIO を示します。

表 2-35. ユーザー テスト LED

シリアル番号	LED	使用した GPIO	SCH ネット名
1	LD2	GPIO1_49	SOC_GPIO1_49
2	LD5	U105.24(P27)	IO_EXP_TEST_LED

2.22 拡張ヘッダ

AM62P SK 評価基板は、3 個の拡張ヘッダー、1 個の 40 ピン ユーザー拡張コネクタ、1 個の 20 ピン GPMC NAND (x8) コネクタ、1 個の 28 ピン マイコン ヘッダーを搭載しています。

2.22.1 ユーザー拡張コネクタ

AM62P SK 評価基板は、40 ピンユーザー拡張コネクタ (メーカー型番: PEC20DAAN) を使用した RPi 拡張インターフェイスをサポートしています。コネクタに向かって 3 個の取り付け穴を開けており、すべての汎用 HAT ボードを接続可能です。

40 ピンのユーザー拡張コネクタに、以下のインターフェイスおよび IO が搭載されています。

- 2 つの SPI:2 CS 付き SPI0 および 3 CS 付き SPI2
- 2 × I2C:SoC_I2C0 および SoC_I2C2
- 1 つの UART:UART5

- 2つの PWM:EHRPWM0_A, EHRPWM1_B
- 1つの CLK:CLKOUT0
- 10×GPIO:MAIN ドメインからの GPIO
- 5V および 3.3V 電源(電流制限:155mA と 500mA)

5V および 3.3V の各電源は、それぞれ 155mA および 500mA に電流制限されます。これは、2 個の個別ロードスイッチ TPS22902YFPR および TPS22946YZPR を使用して実現しています。ロードスイッチのインエーブルは、I₂C ベースの GPIO ポートエクスパンダを使用して制御できます。

表 2-36 に、ユーザー拡張コネクタから配線された信号を示します。

表 2-36. ユーザー拡張コネクタ (J4)

ピン番号	SoC ポール	ネット名
1	-	VCC3V3_EXP
2	-	VCC5V0_EXP
3	U25	EXP_I2C2_SDA
4	-	VCC5V0_EXP
5	T22	EXP_I2C2_SCL
6	-	DGND
7	C25	EXP_CLKOUT0
8	F20	EXP_UART5_TXD
9	-	DGND
10	B23	EXP_UART5_RXD
11	F24	EXP_SPI2_CS1
12	G20	EXP_SPI2_CLK
13	U23	EXP_GPIO0_42
14	-	DGND
15	A23	EXP_GPIO1_22
16	AD24	EXP_GPIO0_38
17	-	VCC3V3_EXP
18	P24	EXP_GPIO0_39
19	B20	EXP_SPI0_D0
20	-	DGND
21	C21	EXP_SPI0_D1
22	L23	EXP_GPIO0_14
23	B21	EXP_SPI0_CLK
24	D20	EXP_SPI0_CS0
25	-	DGND
26	E20	EXP_SPI0_CS1
27	A24	SOC_I2C0_SDA
28	B25	SOC_I2C0_SCL
29	T24	EXP_GPIO0_36
30	R25	EXP_GPIO0_32
31	R24	EXP_GPIO0_33
32	P25	EXP_GPIO0_40/PR0_ECAP0_IN_APWM_OUT
33	F23	EXP_EHRPWM1_B
34	-	DGND
35	G23	EXP_SPI2_CS0/EHRPWM0_A
36	E24	EXP_SPI2_CS2
37	T23	EXP_GPIO0_41
38	E25	EXP_SPI2_D1/ECAP2_IN_APWM_OUT

表 2-36. ユーザー拡張コネクタ (J4) (続き)

ピン番号	SoC ポール	ネット名
39	-	EXP_HAT_DETECT
40	D25	EXP_SPI2_D0

2.22.2 MCU コネクタ

AM62P SK 評価基板は、 14×2 の標準的な 0.1 インチ (2.54mm) 間隔のマイコン コネクタを搭載しており、このコネクタには SoC のマイコンドメインに接続された信号が含まれます。接続されている信号には、MCU_I2C0、MCU_UART0 (フロー制御付き)、MCU_SPI0、MCU_MCAN0 信号が含まれます。ヘッダーに接続された追加の制御信号には、CONN_MCU_RESETz、CONN_MCU_PORz、MCU_RESETSTATz、MCU_SAFETY_ERRORRn、3.3V IO 電源、GND が含まれます。AM62P SoC からの MCU_UART0 信号は、MUX (メーカー型番:SN74CB3Q3257PWR) 経由でマイコン ヘッダーと FT4232 ブリッジの両方に接続されています。マイコン ヘッダーには、ボード ID メモリインターフェイスは含まれていません。許容される電流制限は、3.3V レールでは 100mA です。

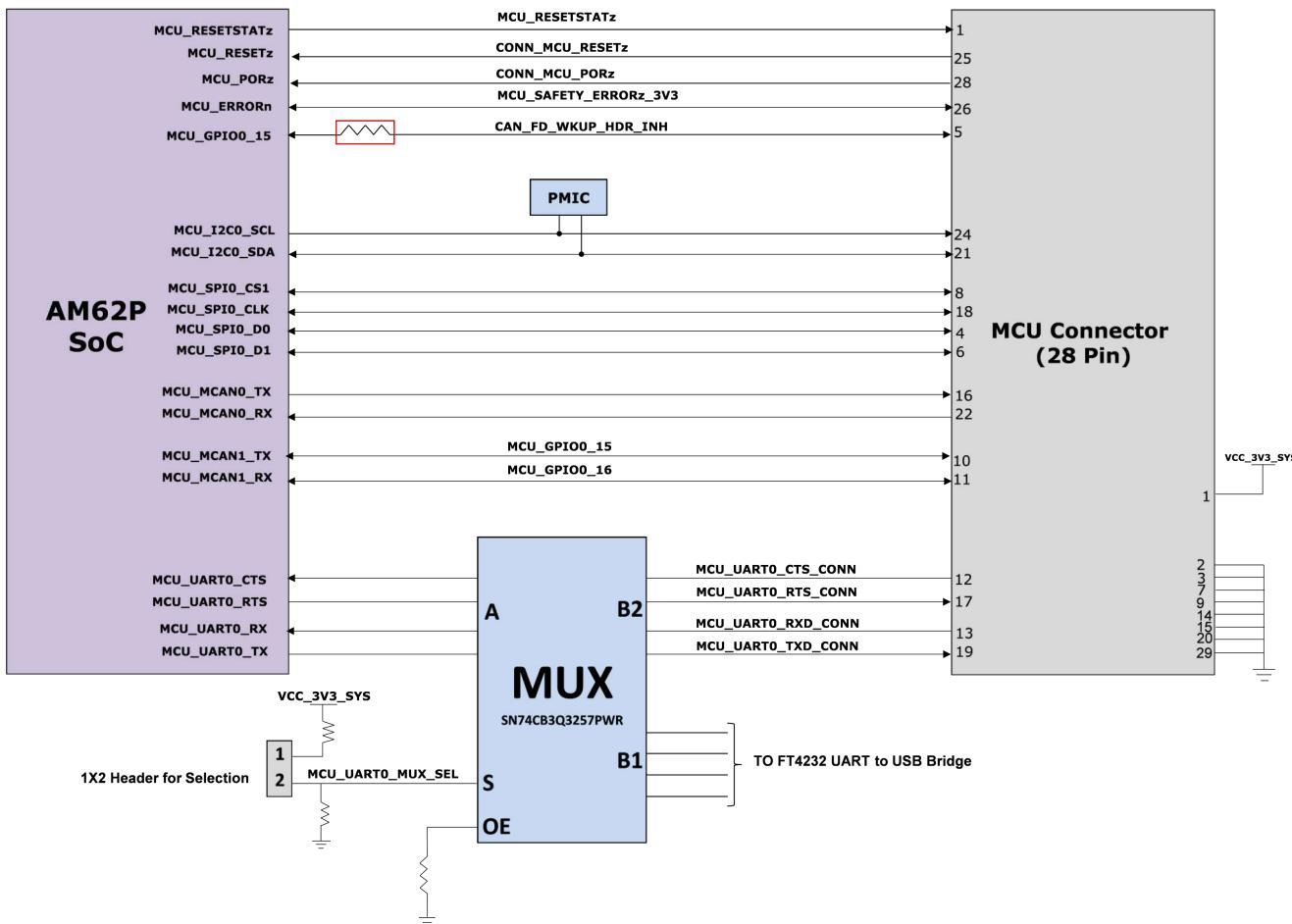


図 2-28. マイコン コネクタ インターフェイス

表 2-37. マイコン コネクタ (J11)

ピン番号	SOC ポール番号	ネット名
1	-	VCC_3V3_SYS
2	-	DGND
3	-	DGND
4	D10	MCU_SPI0_D1
5	F8	CAN_FD_WKUP_HDR_INH
6	B11	MCU_SPI0_D0

表 2-37. マイコン コネクタ (J11) (続き)

ピン番号	SOC ボール番号	ネット名
7	-	DGND
8	E10	MCU_SPI0_CS1
9	-	DGND
10	F8	MCU_GPIO0_15
11	E7	MCU_GPIO0_16
12	B8	MCU_UART0_CTS_CONN
13	B6	MCU_UART0_RXD_CONN
14	-	DGND
15	-	DGND
16	E8	MCU_MCAN0_TX
17	B7	MCU_UART0_RTS_CONN
18	C10	MCU_SPI0_CLK
19	C8	MCU_UART0_TXD_CONN
20	-	DGND
21	D11	MCU_I2C0_SDA
22	D6	MCU_MCAN0_RX
23	F14	MCU_RESETSTATz
24	E11	MCU_I2C0_SCL
25	F11	CONN_MCU_RESETz
26	G6	MCU_SAFETY_ERRORz_3V3
27	-	DGND
28	H6	CONN_MCU_PORz

2.22.3 GPMC NAND (x8) コネクタ

AM62P SK 評価基板は、20 ピン標準 0.1 インチ (2.54mm) 間隔コネクタ (メーカー型番:PREC010DAAN-RC) を使用して、GPMC NAND (x8) インターフェイスをサポートしています。このコネクタには、電源オン時に重要なブートモード機能を実行する GPMC0_AD[0:7] 信号が含まれています。他の制御信号 GPMC0_WEn、GPMC0_WAIT0 および GPMC0_BE0N_CLE は、RA5 を取り付けて RA1 を取り外すことで、このコネクタに配線できます。このコネクタは、任意の x8 NAND 拡張カードに電力を供給するために 3.3V 電源を供給します。

注

ユーザー拡張コネクタとマイコン ヘッダーを GPMC NAND (x8) コネクタと組み合わせて使用することで、NAND メモリ デバイスの動作に必要な制御信号 (たとえば、GPIO や I2C) の数を増やすことができます。

表 2-38. GPMC NAND (x8) コネクタ (J14)

ピン番号	SoC ボール番号	ネット名
1	-	VCC_3V3_SYS
2	-	DGND
3	-	x8_NAND_DETECT
4	-	NC
5	-	NC
6	-	NC
7	T25	GPMC0_WEn
8	-	NC
9	AA24	GPMC0_WAIT0
10	-	NC
11	U24	GPMC0_BE0N_CLE

表 2-38. GPMC NAND (x8) コネクタ (J14) (続き)

ピン番号	SoC ボール番号	ネット名
12	-	NC
13	U22	GPMC0_AD0
14	U21	GPMC0_AD1
15	U20	GPMC0_AD2
16	V25	GPMC0_AD3
17	T20	GPMC0_AD4
18	T21	GPMC0_AD5
19	V24	GPMC0_AD6
20	W25	GPMC0_AD7

2.23 割り込み

AM62P SK 評価基板は、AM62P SOC にリセット入力およびユーザー生成割り込みを提供する 2 つのプッシュボタンをサポートしています。これらのプッシュボタンは基板上面に配置されており、[表 2-39](#) に示します。

表 2-39. EVM のプッシュボタン

SL.番号	プッシュボタン	信号	機能
1	SW6	SoC_WARM_RESETZ	メインデイム ウォームリセット入力
2	SW7	GPIO MCU	GPIO1_23 (UART0_RTSn) に割り込みを生成

2.24 I2C アドレスマッピング

SKEVIM 上の各種ペリフェラルと通信する AM62P I2C インスタンスは 5 つあります。

- SoC_I2C0 インターフェイス: SoC I2C[0] は、基板 ID EEPROM、ユーザー拡張コネクタ、USB PD コントローラ、OLDI ディスプレイコネクタ、DSI ディスプレイコネクタに接続されています。
- SOC_I2C1 インターフェイス: SoC I2C[1] は、テストオーダーメーションヘッダー、電流モニタ(x6)、温度センサ(x2)、オーディオコーデック、HDMI トランスマッタ、GPIO ポートエクスパンダ(x2) に接続されています。
- SOC_I2C2 インターフェイス: SoC I2C[2] は、ユーザー拡張コネクタ および CSI カメラに接続されています。
- MCU_I2C0 インターフェイス: MCU I2C[0] はマイコンヘッダーおよび PMIC に接続されています。
- WKUP_I2C0 インターフェイス: WKUP I2C[0] は PMIC のみに接続されています。

[図 2-29](#) に I2C ツリーを示し、[表 2-40](#) に AM62P SK 評価基板のすべての I2C アドレスマッピングの詳細を示します。

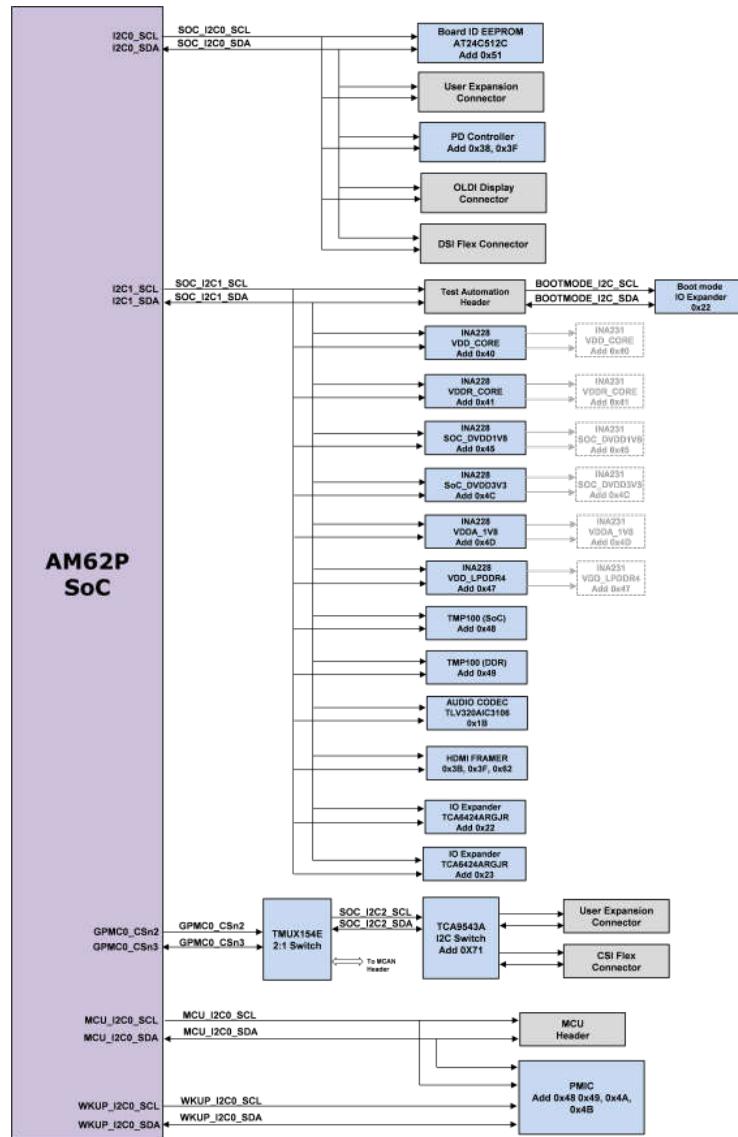


図 2-29. I2C インターフェイス

表 2-40. I2C マッピング表

I2C ポート	デバイス / 機能	部品番号	I2C アドレス
SoC_I2C0	基板 ID EEPROM	AT24C512C-MAHM-T	0x51
	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
	USB PD コントローラ	TPS65988DHRSHR	0x38、0x3F
	OLDI ディスプレイコネクタ	<コネクタ インターフェイス>	
	DSI ディスプレイコネクタ	<コネクタ インターフェイス>	
SoC_I2C1	テストオートメーション ヘッダー	<コネクタ インターフェイス>	
	電流モニタ	INA228AIDGSR	0x40、0x41、0x4C、0x45、0x4D、0x47
	温度センサ	TMP100NA/3K	0x48、0x49
	オーディオ コーデック	TLV320AIC3106IRGZT	0x1B
	HDMI トランシッタ	Sil9022ACNU	0x3B、0x3F、0x62
	GPIO ポート エクスパンダ	TCA6424ARGJR	0x22、0x23

表 2-40. I₂C マッピング表 (続き)

I ₂ C ポート	デバイス / 機能	部品番号	I ₂ C アドレス
SoC_I ₂ C2	CSI カメラ コネクタ	<コネクタ インターフェイス>	
	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
MCU_I ₂ C0	MCU ヘッダー	<コネクタ インターフェイス>	
WKUP_I ₂ C0	PMIC	PTPS6522430RAHRQ1	0x48、0x49、0x4A、0x4B
その他			
BOOTMODE_I ₂ C	I ₂ C ブートモード バッファ	TCA6424ARGJR	0x22
	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	

3 ハードウェア設計ファイル

回路図、BOM、PCB レイアウト、アセンブリ ファイル、ガーバー ファイルなどのハードウェア設計ファイルは、以下のリンクから入手できます。

設計ファイル

4 準拠に関する情報

4.1 準拠および認証

EMC、EMI、ESD への準拠

本製品に取り付けられているコンポーネントは、静電気放電 (ESD) の影響を受けやすくなっています。テキサス・インスツルメンツでは、本製品は ESD が制御された環境において使用されることを推奨しています。これには、ESD の蓄積を抑えるために温度や湿度が制御された環境も含まれます。また、本製品との接続時には、リスト ストラップや ESD マットなどの ESD 保護具の使用が推奨されます。

本製品は実験室に類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

5 追加情報

5.1 ハードウェアまたはソフトウェアに関する既知の問題

このセクションでは、各 EVM リビジョンにおける現時点での既知の問題と、それに対する適用可能な回避方法について説明します。パッチが適用された問題には、評価基板アセンブリに変更ラベルが付けられています。

表 5-1. AM62P SK 評価基板の既知の問題と変更

問題の番号	問題のタイトル	問題の説明	影響を受けるバリアント
1	ウォッチドッグ リセット	PMIC ウォッチドッグのリセットは約 10 秒で発生します。	E1
2	電源オフ シーケンス	PMIC は適切な電源オフ シーケンスを完了できません	E1
3	TIVA を使用した電源サイクルの失敗	低消費電力モードで電源を切って再投入する際の評価基板の問題が発生しています	E1, E1-1, E2

5.1.1 問題 1 — ウォッチドッグ リセット

該当する評価基板のリビジョン:E1

問題の説明:PMIC ウォッチドッグ ディスエーブルピン (R124) のプルアップ電圧が正しくないため、評価基板は約 10 秒後にリセットされます。

修正方法:R124 のプルアップ電圧は、VCC_3V3_SYS から VCC_3V3_MAIN に変更する必要があります。R131 プルアップ電圧を VCC_1V8_SYS から VCC_3V3_SYS に変更。

5.1.2 問題 2 — 電源オフ シーケンス

該当する評価基板のリビジョン:E1

問題の説明:PMIC VSENSE ピンへの不適切な電圧 (過剰な容量) 接続により、VCCA がスレッショルド レベルを下回る前に、PMIC は電源オフ シーケンスを完了できません。

修正方法:VSENSE ピンの入力電圧は、OR 接続ダイオードにより、VMAIN からデュアル電圧 VBUS_TYPEC1 と VBUS_TYPEC2 に変更されます。

5.1.3 問題 3:TIVA を使用した電源サイクルの失敗

該当する評価基板のリビジョン:E1, E1-1, E2

問題の説明:評価基板では、Tiva フームウェアを使用する低消費電力モード (アクティブ、ディープ スリープ、マイコンのみ、部分的 I/O) でのパワー サイクリングの問題が発生していました。これらの状態では、ボードのオンとオフを正常に切り替えることができませんでした。

修正方法:

R499 を取り除いて、プリレギュレータ イネーブルピンを 5V VMAIN 電源から切り離します。[図 5-1](#) を参照してください。

R75 (PAD:EN_LM5141_ON) を R246 (PAD: TEST_POWERDOWN) に接続して、プリレジスタ有効ピンを TEST_POWERDOWN に接続します。[図 5-2](#) を参照してください。

R480 を取り外して、テスト オートメーション電源をプリレギュレータ出力から外します。[図 5-1](#) を参照してください。

TP201 を C115 に接続して、TYPE-C デュアル PD コントローラ LDO-3V3 を使用してテスト オートメーションに電力を供給します。[図 5-3](#) を参照してください。

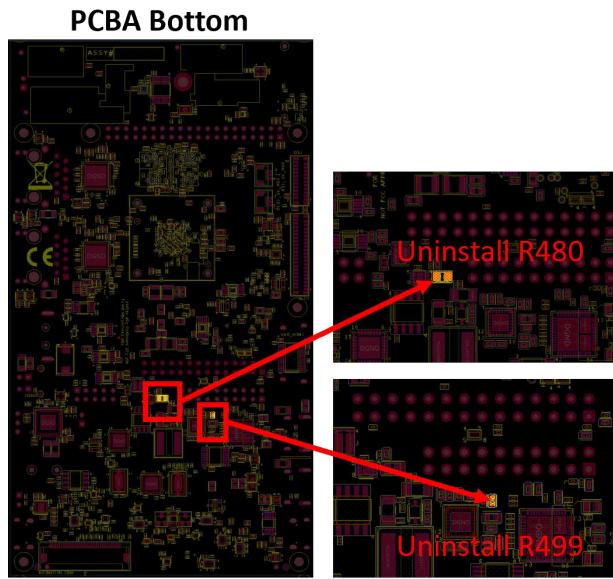


図 5-1. プリレギュレータ イネーブル ピンの接続を解除します

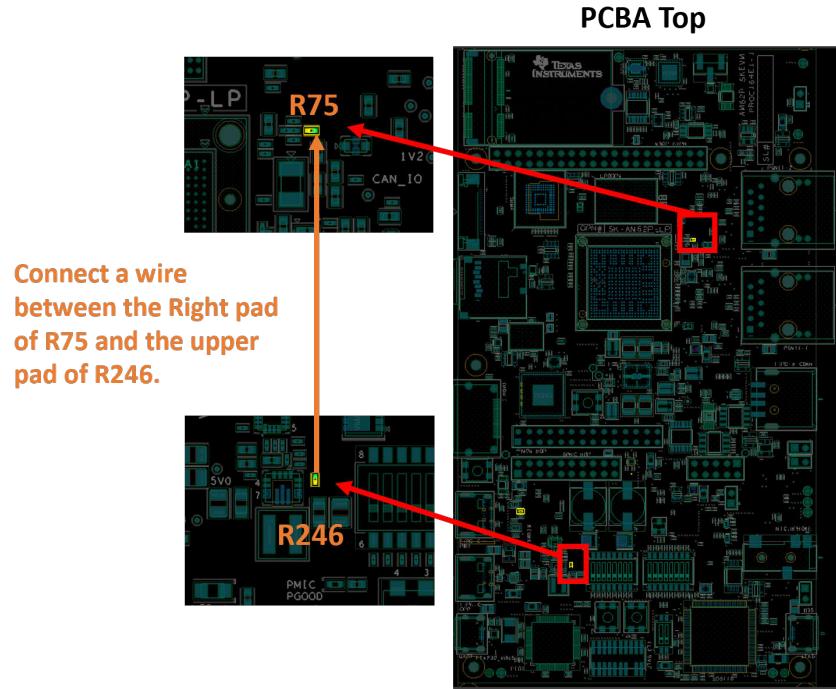


図 5-2. プリレギュレータ イネーブル ピンを接続します

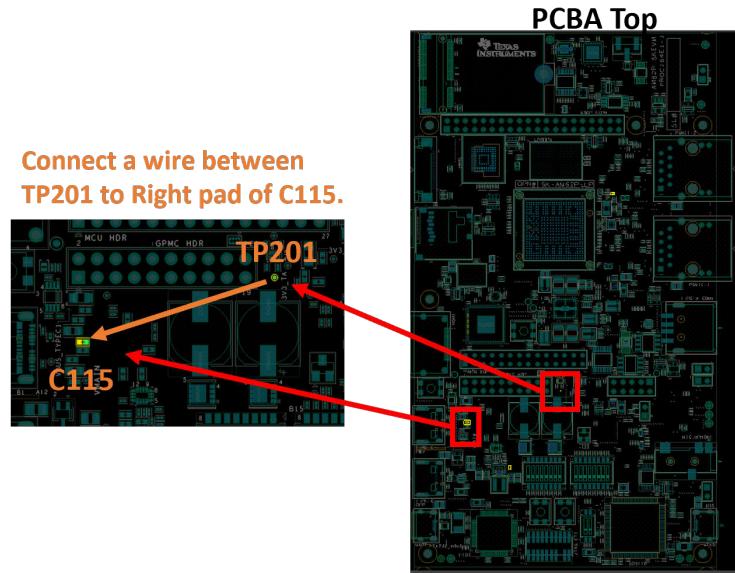


図 5-3. TYPE-C PD LDO-3V3 を使用してテスト オートメーションに電力を供給します

5.2 商標

Code Composer Studio™ is a trademark of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

MIPI® is a registered trademark of MIPI Alliance, Inc.

Wi-Fi® is a registered trademark of Wi-Fi Alliance.

Bluetooth® is a registered trademark of Bluetooth SIG.

HDMI® is a registered trademark of HDMI Licensing LLC.

USB Type-C® and USB 2.0 Type-C® are registered trademarks of USB Implementers Forum, Inc.
is a registered trademark of USB Implementers Forum.

Molex® is a registered trademark of Molex, LLC.

Lattice Semiconductor Corporation® is a registered trademark of Lattice Semiconductor Corporation.

すべての商標は、それぞれの所有者に帰属します。

HDMI、HDMI High-Definition Multimedia Interface、HDMI トレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2023) to Revision A (October 2025)	Page
• スターター キットの名称を SK-AM62A-LP から SK-AM62P-LP に変更.....	1
• 「設計ファイル」のリンクを更新。.....	1
• シングル コア Arm Cortex-R5F マイコンに更新。.....	5
• EVM の PCB 設計リビジョンおよびアセンブリ バリエーション 表を追加。.....	5
• 表を追加: 表 2-22 ～ 表 2-34 。.....	47
• 表 2-21 で OSPI および QSPI の SW5.1 を予約済みに変更。.....	47
• スイッチ 5.6 という脚注 1 を更新。.....	47
• 「設計ファイル」のリンクを更新。.....	57
• 表 5-1 に問題 3 を追加。.....	58

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月