

EVM User's Guide: ADS125H18EVM-PDK

ADS125H18 評価基板



説明

ADS125H18 評価基板 (EVM) は、24 ビット、8 チャンネルの多重デルタ シグマ ($\Delta\Sigma$) A/D コンバータ (ADC) である ADS125H18 の性能を評価するためのプラットフォームです。この製品は、プロセスレベル (10V、4mA ~ 20mA) の入力を直接測定できるように設計されています。ADS125H18 は、最大 1MSPS のサンプルレート、柔軟なシーケンサ、低ノイズの電圧リファレンスと多くの診断機能を備えており、高信頼性システムの設計を支援します。ADS125H18EVM-PDK を使用すると、ユニバーサル シリアル バス (USB) インターフェイス経由で接続されたハードウェア、ソフトウェア、コンピュータを使ってデバイスを簡単に評価できます。

設計を開始

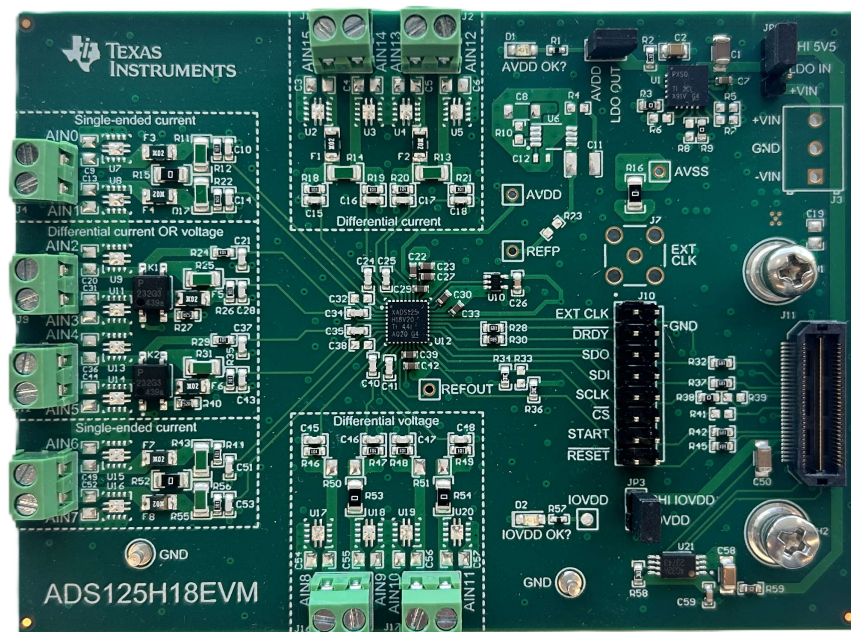
1. ti.com で評価基板を注文
2. ADS125H18EVM-PDK ツール フォルダから 最新ソフトウェアをダウンロード
3. スタート メニューから ADS125H18 EVM GUI を起動
4. ADS125H18 評価基板を PHI コントローラ ボードに接続し、PHI ボードを ADS125H18 EVM GUI を実行しているコンピュータに接続

特長

- ADS125H18 の診断テストおよび高精度な性能評価に必要なハードウェアとソフトウェア
- PHI コントローラは、デジタル出力用の USB 2.0 (またはそれ以降) を介して ADS125H18 への便利な通信インターフェイスを提供
- 64 ビット Microsoft® Windows® 10 オペレーションシステム対応の使いやすい評価ソフトウェア
- ソフトウェアスイートには、データキャプチャ、ヒストグラム分析、スペクトル分析用のグラフィカルツールが含まれています。また、このスイートは後処理のためにデータをテキストファイルにエクスポートする機能も備えています。

アプリケーション

- PLC アナログ入力モジュール
- 産業用ロボットのアナログ I/O モジュール
- HVAC コントローラ



1 評価基板の概要

1.1 はじめに

ADS125H18EVM-PDK は、24 ビット、8 チャンネルの多重デルタ シグマ ($\Delta\Sigma$) ADC である ADS125H18 の性能を評価するためのプラットフォームです。この製品は、プロセスレベル (10V、4mA ~ 20mA) の入力を直接測定できるように設計されています。この評価キットには、ADS125H18 評価基板と高精度ホスト インターフェイス (PHI) コントローラ ボードが含まれており、付属のコンピュータ ソフトウェアを使用することで、USB 経由で ADC と通信し、データ キャプチャおよび分析が可能です。ADS125H18 評価基板には、ADS125H18 とその性能を評価するために必要なすべての周辺アナログ回路および部品が含まれています。PHI ボードは、USB ポート経由で ADS125H18 評価基板からコンピュータへの通信インターフェイスを提供します。

このユーザー ガイドには、包括的な回路説明、回路図、部品表が掲載されています。このドキュメント全体を通して、略称 *EVM* と *評価基板* という用語はいずれも ADS125H18 評価基板を指します

1.2 キットの内容

ADS125H18EVM-PDK は、[図 1-1](#) に示すように、次の部品を含みます：

1. PHI コントローラ ボード
2. ADS125H18 評価基板は、デバイスの動作および PHI ボードとの通信に必要な ADS125H18 と周辺回路を搭載しています。
3. PHI ボードと評価基板 GUI 間の通信用 A-to-Micro-B USB ケーブル。
4. 評価基板の GUI は、EVM ツール フォルダからオンラインで入手可能

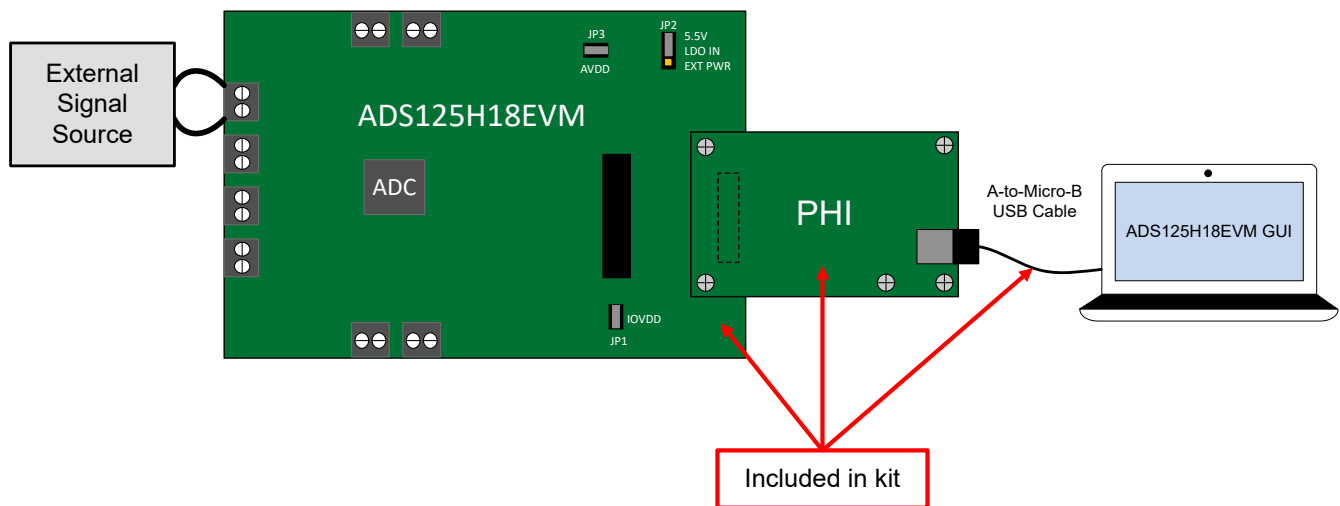


図 1-1. 評価用システム接続

1.3 仕様

以下の仕様は、ADS125H18 評価基板ボードと PHI ボードに適用されます。

表 1-1. 仕様

パラメータ	条件		値
温度	自由大気での推奨動作温度範囲、 T_A		$15^{\circ}\text{C} \leq T_A \leq 35^{\circ}\text{C}$
電源入力範囲 (ユニポーラ)	GND に対する J14-3 (+Vin) の推奨電圧入力範囲		$5.5\text{V} \leq +\text{Vin} \leq 6.5\text{V}$
	電源電流範囲 $ I_S $		$0.25\text{A} \leq I_S \leq 0.5\text{A}$
電源入力範囲 (バイポーラ)	推奨電圧入力範囲 GND に対する J14-1 (-Vin)		$-6.5\text{V} \leq -\text{Vin} \leq -5.5\text{V}$
	電源電流範囲 $ I_S $		$0.25\text{A} \leq I_S \leq 0.5\text{A}$
入力電圧範囲	AIN0 ~ AIN15 入力における GND 基準の絶対入力電圧	V12 デバイス バリエーション	$-12.5\text{V} \leq \text{AIN}_x \leq 12.5\text{V}$
		V20 デバイス バリエーション	$-20.5\text{V} \leq \text{AIN}_x \leq 20.5\text{V}$
		V40 デバイス バリエーション	$-40.5\text{V} \leq \text{AIN}_x \leq 40.5\text{V}$
EXT クロック	推奨周波数範囲 (f_{CLK})		$0.5\text{MHz} \leq f_{\text{CLK}} \leq 26.2\text{MHz}$
外部デジタル I/O (外部クロックを含む)	GND 基準の推奨ロジックレベル (ヘッダ J12 またはコネクタ J13 に適用)	ロジック レベル Low (V_{IOl})	$0\text{V} \leq V_{\text{CLKl}} \leq 0.3 \cdot \text{IOVDD}$
		ロジック レベル High (V_{IOh})	$0.7 \cdot \text{IOVDD} \leq V_{\text{CLKh}} \leq \text{IOVDD}$
ADS125H18 AVDD ~ AVSS	推奨電圧範囲 (JP3-2 に印加)、外部ソース	高速または中速モード	$4.5\text{V} \leq \text{AVDD} \leq 5.5\text{V}$
		低速または超低速モード	$3\text{V} \leq \text{AVDD} \leq 5.5\text{V}$
GND に対する ADS125H18 $ \text{AVSS}/\text{AVDD1} $ の比	推奨絶対比範囲、外部ソース、 DGND = GND		$ \text{AVSS}/\text{AVDD1} \leq 1.2\text{V/V}$
ADS125H18 AVSS ~ GND	推奨電圧範囲 (JP2 の 2-3 位置)、DGND = GND		$-2.75\text{V} \leq \text{AVSS} \leq 0\text{V}$
ADS125H18 IOVDD ~ GND	推奨電圧範囲 (JP1-1 に印加)、外部ソース、DGND = GND		$1.65\text{V} \leq \text{IOVDD} \leq 5.5\text{V}$
ADS125H18 基準 REFP ~ AVSS	推奨電圧範囲 (J9 装着、U20 未装着)、外部ソース	REFP バッファがオフ	$1\text{V} \leq \text{REFP} \leq \text{AVDD} + 0.05\text{V}$
		REFP バッファがオン	$1\text{V} \leq \text{REFP} \leq \text{AVDD} - 0.7\text{V}$

1.4 製品情報

このセクションでは、ADS125H18 デバイス ファミリに関する重要な情報を紹介します。表 1-2 には、ADS125H18 デバイス ファミリのすべての ADC に共通するパラメータと機能の一部を示し、表 1-3 には ADS125H18 デバイス ファミリの ADC の主な違いの一覧を示します。デバイスの完全な仕様については、ADS125H18 データシートを参照してください。

表 1-2. ADS125H18 デバイス ファミリの主な特長とパラメータ

パラメータ	値
最大データ レート	1.067MSPS
入力インピーダンス	≥1MΩ
内蔵機能	<ul style="list-style-type: none"> 柔軟なチャンネル シーケンサ FIFO (同相電圧) バッファ 電圧リファレンス 発振器 テスト DAC 故障検出
パッケージ	VQFN-36
パッケージ サイズ	5.00mm × 5.00mm
仕様温度範囲	-40°C ≤ T _A ≤ 125°C

表 1-3. ADS125H18 デバイス ファミリの ADC オプション

デバイス	分解能	チャンネル構成 (入力電圧範囲)	高電圧入力範囲
ADS125H18V12	24 ビット	16 個の高電圧チャンネル (「高電圧入力範囲」の列を参照)	±12V
ADS125H18V20			±20V
ADS125H18V40			±40V
ADS115H18V12	16 ビット		±12V
ADS115H18V20			±20V
ADS115H18V40			±40V
ADS125H14V12	24 ビット	8 個の高電圧チャンネル (「高電圧入力範囲」の列を参照) 8 個の低電圧チャンネル (≤AVDD)	±12V
ADS125H14V20			±20V
ADS125H14V40			±40V
ADS115H14V12	16 ビット		±12V
ADS115H14V20			±20V
ADS115H14V40			±40V

ADS125H18 評価基板には ADS125H18V20 があらかじめ実装されています。また、[ADS125H18 EVM GUI](#) は ADS125H18V20 と組み合わせて動作するように設計されています。表 1-3 にリストされている任意のデバイスで ADS125H18V20 を置き換えることは可能です。ただし、評価基板に実装されている ADS125H18V20 を交換した場合、ADS125H18 EVM GUI や PHI コントローラ カードは使用できません。外部コントローラで ADS125H18 評価基板を使用する方法の詳細については、[セクション 2.7](#) を参照してください。特に記述のない限り、これ以後このドキュメントでは ADS125H18V20 が評価基板に実装されていることを前提とします。

図 1-2 に、16 ビット ADS115H18 および 24 ビット ADS125H18 のすべての入力範囲オプションのブロック図を示します。

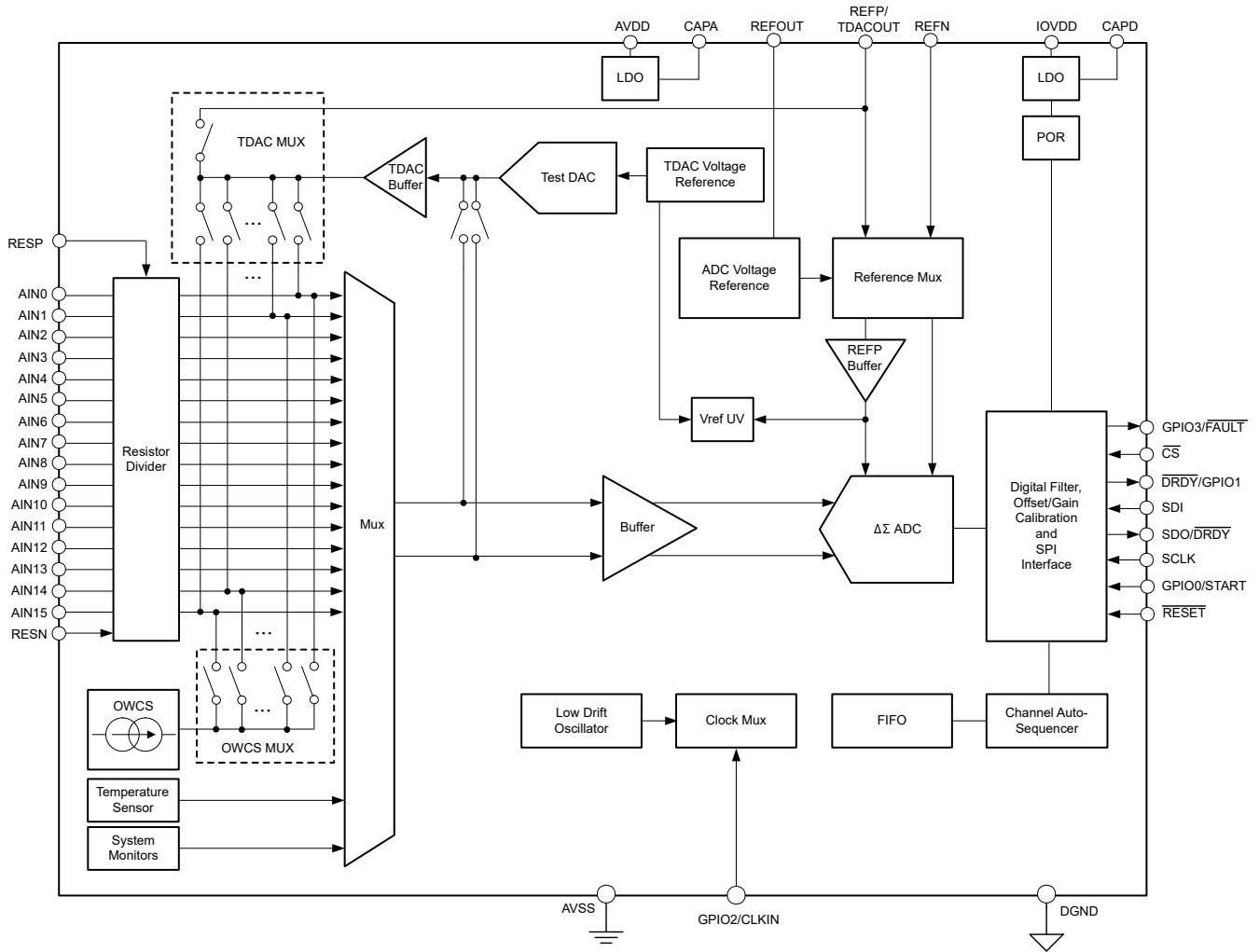


図 1-2. ADS115H18 と ADS125H18 のブロック図

2 ハードウェア

2.1 アナログ入力

ADS125H18 評価基板は、複数の構成方法をサポートしています。この評価基板はデフォルトで、差動電圧測定、差動電流測定、シングルエンド電流測定、または差動電圧 / 差動電流の複合測定に対応した入力チャンネルを備えています。表 2-1 に、各 ADC チャンネルのデフォルト構成を示します。以後のセクションでは、各構成タイプにおける入力構造について詳しく説明します。

表 2-1. 各 ADC チャンネル ペアのデフォルト設定

ADC チャンネル	デフォルト構成
AIN0	シングルエンド電流
AIN1	シングルエンド電流
AIN2 / AIN3	差動電流 / 差動電圧
AIN4 / AIN5	差動電流 / 差動電圧
AIN6	シングルエンド電流
AIN7	シングルエンド電流
AIN8 / AIN9	差動電圧
AIN10 / AIN11	差動電圧
AIN12 / AIN13	差動電流
AIN14 / AIN15	差動電流

2.1.1 差動電流入力チャネル

図 2-1 には、デフォルトで -20mA ~ +20mA の差動電圧信号を測定する 1 つの入力チャネルの回路図が示されています。この電流は PCB 上に実装されたシャントを流れ、電圧に変換された後に ADS125H18 で測定されます。表 2-2 は、差動電流入力チャネルの回路図における各部品の機能を示しています。さらに、表 2-2 は 図 2-1 の部品識別子を参照していますが、表の内容は一般的にすべての差動電流入力チャネルに適用されます。

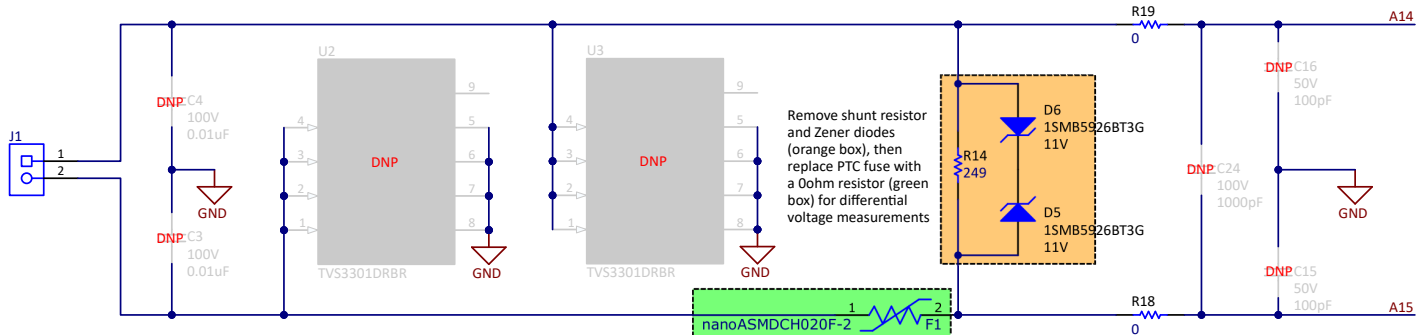


図 2-1. 差動電流入力チャネル

表 2-2. 重要な部品 (差動電流入力チャネル)

部品	機能
端子台 (J1)	端子台ごとに 1 つの差動電流信号を印加します
TVS ダイオード (U2, U3)	<ul style="list-style-type: none"> ADC に流れ込む過渡電圧を制限する保護デバイス 推奨部品 (TVS3301) は、標準的なブレークダウン電圧 37.5V で双方向の電圧保護を提供します TVS ダイオードは、デフォルトではこのチャネルには未実装
シャント (R14)	電流信号を ADC が読み取るための電圧に変換します
ツェナー ダイオード (D5, D6)	正または負の過電圧イベントが持続する場合に、シャントを流れる電流を制限する保護デバイス
PTC ヒューズ (F1)	温度の上昇に伴い抵抗が増加する保護デバイス。これにより回路全体の抵抗も増加します。抵抗の増加により、過電圧イベントが持続した場合にシャントに流れる電流が制限されます。
フィルタ部品 (R18, R19, C15, C16, C24)	必要に応じて、追加の入力フィルタリングを提供します コンデンサは、デフォルトではこのチャネルには未実装。実装されている抵抗は 0Ω。

図 2-1 は、デフォルトの電流入力チャネルの構成が差動であることを示しています。その結果、この評価基板は、異なる同相電圧にある入力電流の測定をサポートします。ただし、任意の入力ピンの絶対電圧が ADS125H18 データシートに規定された値を超えないことを確認してください。

PCB に実装されているシャントおよびツェナー ダイオードを取り除き、さらに PTC ヒューズを 0Ω 抵抗に置き換えることで、差動電流入力チャネルを差動電圧入力チャネルとして構成することもできます。

2.1.2 差動電圧入力チャネル

図 2-2 には、デフォルトで -10V ~ +10V の差動電圧信号を測定する 1 つの入力チャネルの回路図が示されています。この電圧は ADS125H18 によって直接測定されるため、外部での減衰は不要です。表 2-3 に、差動電圧入力チャネル回路図の各部品の機能を示します。さらに、表 2-3 は 図 2-2 の部品識別子を参照していますが、表の内容は一般にすべての差動電圧入力チャネルに適用されます。

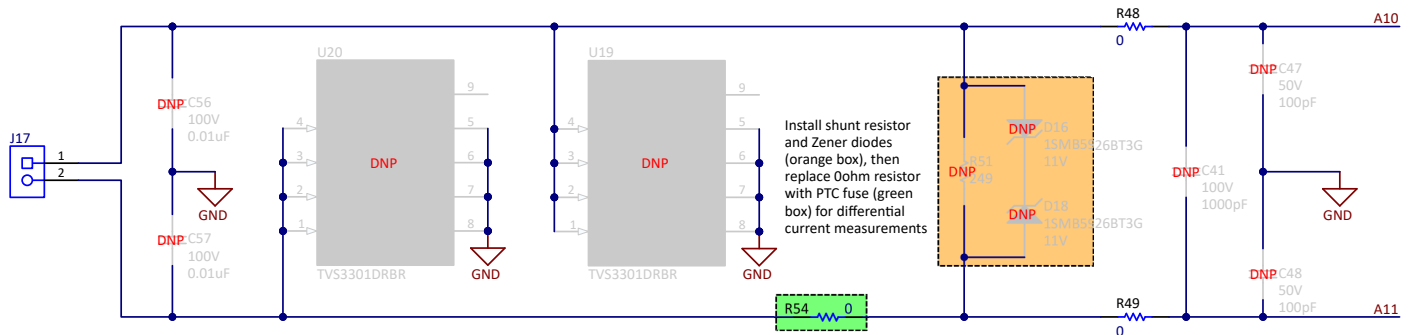


図 2-2. 差動電圧入力チャネル

表 2-3. 重要な部品 (差動電圧入力チャネル)

部品	機能
端子台 (17)	端子台ごとに 1 つの差動電圧信号を印加します
TVS ダイオード (U19, U20)	<ul style="list-style-type: none"> ADC に流れ込む過渡電圧を制限する保護デバイス 推奨部品 (TVS3301) は、標準的なブレークダウン電圧 37.5V で双方向の電圧保護を提供します TVS ダイオードは、デフォルトではこのチャネルには未実装
シャント (R51)	電流信号を ADC が読み取るための電圧に変換します シャントは、デフォルトではこのチャネルには未実装
ツェナー ダイオード (D16, D18)	正または負の過電圧イベントが持続する場合に、シャントを流れる電流を制限する保護デバイス このチャネルのツェナー ダイオードは、デフォルトでは未実装
0Ω 抵抗 (R54)	差動電流測定用にこのチャネルを再構成した場合にのみ取り付けが必要がある、PTC ヒューズ用のプレースホルダ
フィルタ部品 (R48, R49, C41, C47, C48)	必要に応じて、追加の入力フィルタリングを提供します コンデンサは、デフォルトではこのチャネルには未実装。実装されている抵抗は 0Ω。

図 2-2 は、デフォルトの電圧入力チャネル構成が差動であることを示しています。その結果、この評価基板は、異なる同相電圧にある入力電圧の測定をサポートします。ただし、任意の入力ピンの絶対電圧が ADS125H18 データシートに規定された値を超えないことを確認してください。

PCB に実装されたシャントとツェナー ダイオードを取り付け、さらに 0Ω 抵抗を PTC ヒューズに置き換えることで、差動電圧入力チャネルを差動電流入力チャネルとして構成することもできます。

2.1.3 差動電流および電圧入力チャネルの統合

図 2-3 には、デフォルトで -10V ~ +10V の差動電圧信号を測定する 1 つの入力チャネルの回路図が示されています。ただし、ユーザーがこのチャネルを構成することで、-20mA ~ +20mA の差動電流信号を測定することもできます。絶縁型スイッチは、入力端子間の PCB に取り付けられたシャントを接続または切断することで、2 つのモードを選択します。このチャネルは、デフォルトで差動電圧測定が可能で、PCB に取り付けられたシャントが回路から取り外せるようになっています。ADC GPIO ピンは絶縁型スイッチを制御し、GUI によってトグルします。これにより、電流または電圧は ADS125H18 によって直接測定されるため、外部での減衰は必要ありません。

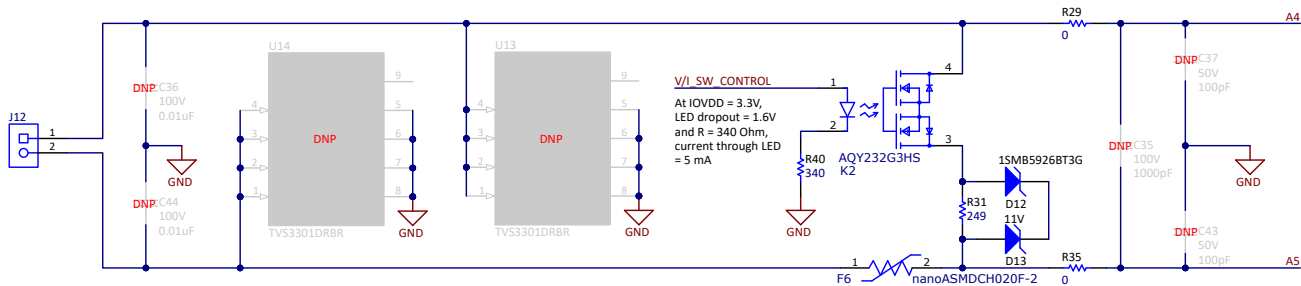


図 2-3. 差動電流および電圧入力チャネルの統合

表 2-4 には、差動電流および電圧入力チャネルの組み合わせ回路図における各部品の機能が示されています。さらに、表 2-4 は部品指示子を具体的に図 2-3 から参照していますが、表の情報は一般的に、差動電流および電圧入力チャネルのすべての組み合わせに適用されます。

表 2-4. 重要な部品 (差動電流および電圧入力チャネルの統合)

部品	機能
端子台 (J12)	端子台ごとに 1 つの差動電流または電圧信号を印加します
TVS ダイオード (U13, U14)	<ul style="list-style-type: none"> ADC に流れ込む過渡電圧を制限する保護デバイス 推奨部品 (TVS3301) は、標準的なブレークダウン電圧 37.5V で双方向の電圧保護を提供します TVS ダイオードは、デフォルトではこのチャネルには未実装
絶縁型スイッチ (K2)	<ul style="list-style-type: none"> ADC GPIO3 制御の低オーム (最大 0.35Ω) スイッチ 電流モードでこのスイッチを有効化、電圧モードで無効化します 両方のスイッチ (K1 [表記なし] と K2) は同じ GPIO によって制御されるため、常に同じモードになります デフォルトの測定モードは差動電圧モードです
シャント (R31)	電流信号を ADC が読み取るための電圧に変換します
ツェナー ダイオード (D12, D13)	正または負の過電圧イベントが持続する場合に、シャントを流れる電流を制限する保護デバイス
PTC ヒューズ (F6)	温度の上昇に伴い抵抗が増加する保護デバイス。これにより回路全体の抵抗も増加します。抵抗の増加により、過電圧イベントが持続した場合にシャントに流れる電流が制限されます。
フィルタ部品 (R29, R35, C35, C37, C43)	必要に応じて、追加の入力フィルタリングを提供します コンデンサは、デフォルトではこのチャネルには未実装。実装されている抵抗は 0Ω。

図 2-3 は、デフォルトの入力チャネル構成が差動入力であることを示しています。その結果、この評価基板は、異なる同相モード電圧での電流入力と電圧入力の測定をサポートします。ただし、任意の入力ピンの絶対電圧が ADS125H18 データシートに規定された値を超えないことを確認してください。

2.1.4 シングルエンド電流入力チャネル

図 2-4 に、2つの入力チャネルの回路図を示します。各チャネルは、デフォルトで 0mA ~ +20mA のシングルエンド電流信号を測定します。この電流は、PCB 上に実装されたシャントを流れ、電圧に変換された後に ADS125H18 で測定されます。表 2-5 では、シングルエンド電流入力チャネル回路図の各部品の機能を説明します。さらに、表 2-5 は 図 2-4 の部品識別子を参照していますが、表の情報は一般的にすべてのシングルエンド電流入力チャネルに適用されます。

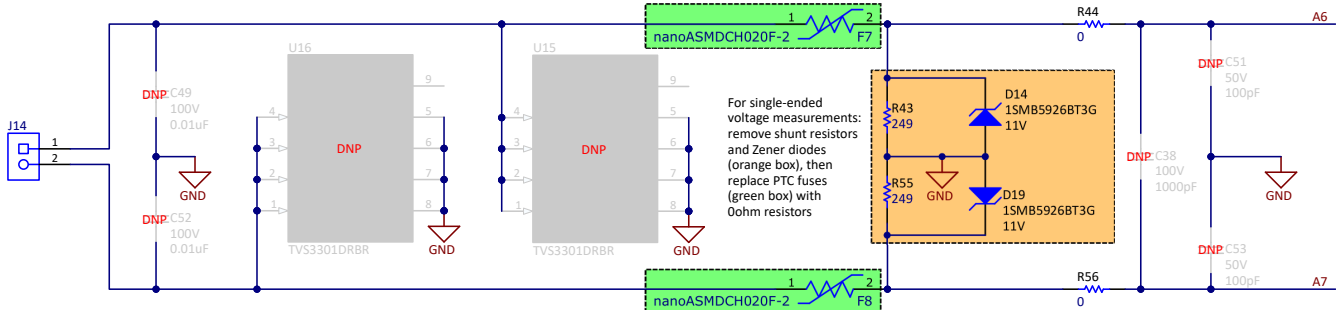


図 2-4. シングルエンド電流入力チャネル

表 2-5. 重要な部品 (シングルエンド電流入力チャネル)

部品	機能
端子台 (J14)	端子台ごとに 1 つまたは 2 つのシングルエンド電流信号を印加します
TVS ダイオード (U15, U16)	<ul style="list-style-type: none"> ADC に流れ込む過渡電圧を制限する保護デバイス 推奨部品 (TVS3301) は、標準的なブレークダウン電圧 37.5V で双方向の電圧保護を提供します TVS ダイオードは、デフォルトではこのチャネルには未実装
シャント (R43, R55)	電流信号を ADC が読み取るための電圧に変換します
ツェナー ダイオード (D5, D6)	正の過電圧イベントが持続する場合に、シャントに流れる電流を制限する保護デバイス。負の過電圧イベントが持続する場合、ダイオードは順方向バイアスされ、ダイオードの順方向電圧降下を測定できません。
PTC ヒューズ (F7, F8)	温度の上昇に伴い抵抗が増加する保護デバイス。これにより回路全体の抵抗も増加します。抵抗の増加により、過電圧イベントが持続した場合にシャントに流れる電流が制限されます。
フィルタ部品 (R44, R56, C38, C51, C53)	必要に応じて、追加の入力フィルタリングを提供します コンデンサは、デフォルトではこのチャネルには未実装。実装されている抵抗は 0Ω。

図 2-4 は、電流入力チャネルのデフォルト構成がシングルエンドであることを示しています。その結果、入力信号間の同相電圧差は許容されません。また、任意の入力ピンの絶対電圧が ADS125H18 データシートに規定された値を超えないことも確認してください。

PCB に実装されたシャントとツェナー ダイオードを取り除き、さらに PTC ヒューズを 0Ω 抵抗に置き換えることで、シングルエンド電流入力チャネルをシングルエンド電圧入力チャネルとして構成できます。

2.2 ADC の接続とデカップリング

図 2-5 に、ADS125H18 データ コンバータへのすべての接続を示します。各電源接続には、1 μ F デカップリングコンデンサをご使用ください。これらのコンデンサが物理的にデバイスの近くに配置され、グランドプレーンに確実に接続されるようにします。各デジタルピンには、駆動ソース付近に 49.9 Ω の直列抵抗が配置されています。これらの抵抗はデジタル信号のエッジを平滑化し、オーバーシュートとリングングを最小限に抑えます。厳密には必須ではありませんが、デジタル信号の整合性向上のために、最終設計にこれらの部品を組み込むこともできます。また、デジタル入力の RESET および START には 10k Ω のプルアップまたはプルダウン抵抗が配置されており、ADC が既知の状態 で起動することを確認できます。

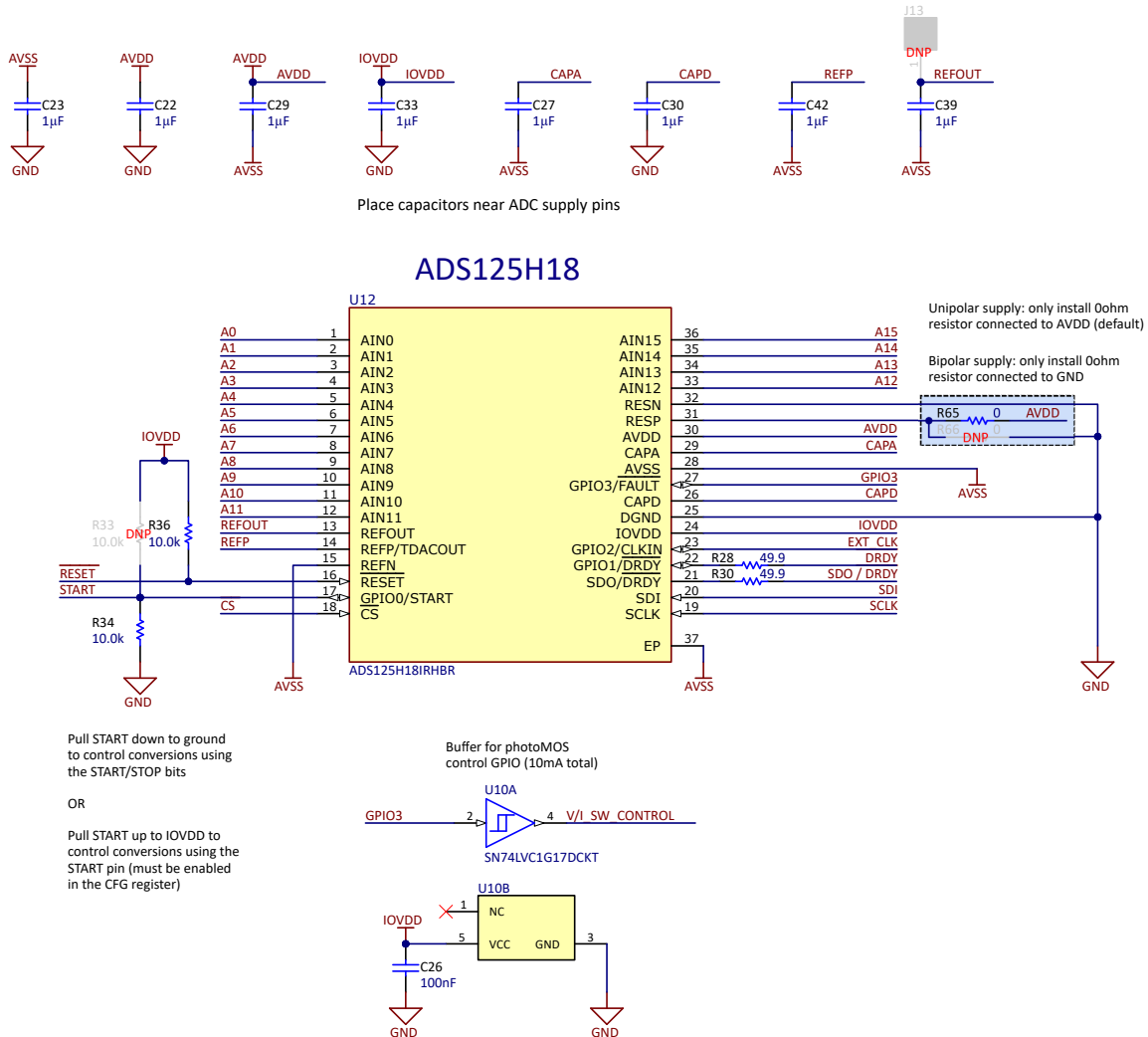


図 2-5. ADC の接続とデカップリング

図 2-5 には、RESP ピンの 2 つの異なる構成も示しています。RESP ピンはフローティング入力の電圧レベルを設定しますが、この電圧レベルは AVDD の電源構成によって決まります。デフォルトの評価基板 AVDD 電源構成はユニポーラです。この設定では、RESP が AVDD に接続するように R65 を取り付ける必要があります。バイポーラ電源の場合は、R65 を取り除き、R66 に 0 Ω の抵抗を取り付けます。評価基板電源オプションの詳細については、セクション 2.4 を参照してください。

最後に、図 2-5 には ADC の GPIO3 出力ピン用のバッファが含まれています。GPIO3 ピンには、両方の絶縁スイッチをオンにするのに十分な駆動能力がありません (図 2-3 を参照)。代わりに、バッファが追加の電流を供給することで、両方のスイッチを同時に有効化できるようにします。

2.3 デジタル インターフェイス

セクション 1.1 に記載されているように、評価基板は PHI と接続し、USB を介してコンピュータと通信します。PHI は、評価基板上の 2 つのデバイスである ADS125H18 (SPI 経由) と EEPROM (I2C 経由) と通信します。この EEPROM は、ADS125H18 プラットフォームの構成と初期化に必要な情報が事前プログラミングされた状態で出荷されます。ハードウェアの初期化後、EEPROM は使用されなくなります。

ADS125H18 には、CPOL = 0 および CPHA = 1 などの SPI シリアル通信が必要です。図 2-6 に示されるヘッダ J10 は、ロジックアナライザでデジタル信号をプローブするためのテストポイントを提供します。さらに、ヘッダ J10 を使用して、外部コントローラからの通信信号を接続することもできます。ヘッダ J10 に外部信号を印加する前に、コネクタ J11 から PHI コントローラカードを取り除きます。

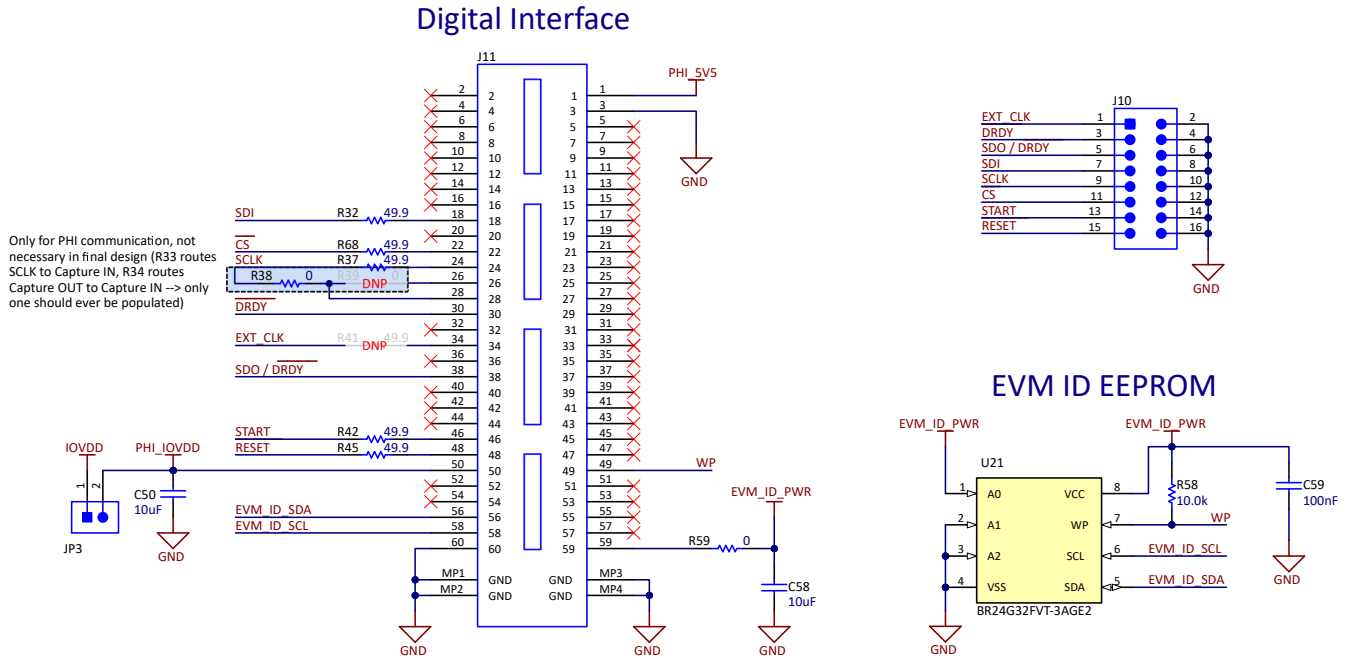


図 2-6. 評価基板デジタル インターフェイスと EEPROM

図 2-5 と同様に、各デジタルピンには駆動ソース付近に 49.9Ω の直列抵抗が配置されています。これらの抵抗はデジタル信号のエッジを平滑化し、オーバーシュートとリンギングを最小限に抑えます。厳密には必須ではありませんが、デジタル信号の整合性向上のために、最終設計にこれらの部品を組み込むこともできます。

図 2-6 は、ジャンパ JP3 が PHI_DVDD と IOVDD 回路を接続することも示しています。デフォルトでは、PHI_DVDD ネットはジャンパ JP3 を介して ADC のデジタル電源 (IOVDD) ピンに 3.3V を供給します。JP3 のシャントを取り除き、電流メーター (電流計) を接続して、ADC が消費するデジタル電流を測定します。必要に応じて、ジャンパ JP3 のシャントを取り外すことで、ジャンパ JP3 のピン 1 に外部 IOVDD 電源を接続することも可能です。ジャンパ JP3 のピン 1 に印加する IOVDD 電圧が、外部コントローラで使用される I/O 電圧と同じであることを確認します。

2.4 電源

図 2-7 に ADS125H18 評価基板上に搭載されているアナログ電源回路を示します。デフォルト構成では、ADC アナログ電源 (AVDD) ピンにユニポーラ 5V の電圧が印加されます。外部電源のほか、±2.5V のバイポーラ電源向けオプションも利用可能です。LED は電源電圧の有効状態を示します。表 2-6 では、重要な電源コンポーネントと機能について説明します。

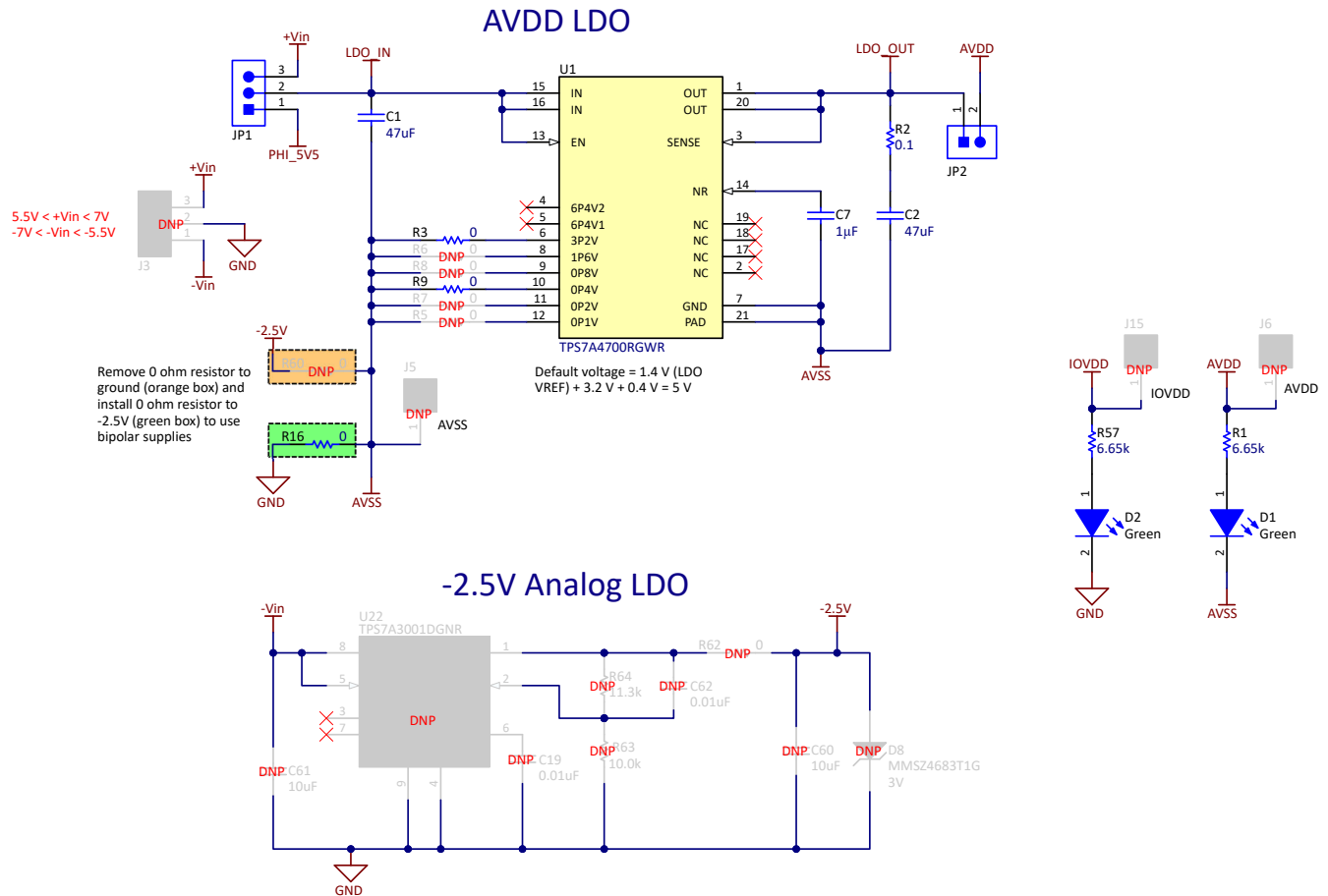


図 2-7. 評価基板電源

表 2-6. 重要コンポーネント (電源)

部品	機能
入力電圧ジャンパ (JP1)	LDO 電源を選択 : PHI (ピン 1) からのオンボード 5.5V、または外部電源 (ピン 3) からの電源
端子台 (J3)	ジャンパ JP1 でピン 3 を選択した場合、ピン 3 に正電源電圧、ピン 1 (該当する場合) に負電源電圧を印加します。外部電源入力が、図 2-7 に示す規定の制限範囲内にあることを確認します。端子台 J3 は、デフォルトでは未実装です。
TPS7A4700 : 可変正出力 LDO (U1)	PHI 5.5V を入力として使用、デフォルトで 5V を AVDD に出力 必要に応じて、R4 を除く抵抗 R3~R9 で LDO 出力電圧を調整します。
AVDD ジャンパ (JP2)	ジャンプを取り外し、電流メーター (電流計) を用いて ADC の消費アナログ電流を測定 必要に応じて、ピン 2 で外部電圧を ADC AVDD ピンに直接印加します。入力電圧が ADS125H18 データシートで規定された範囲内にあることを確認します
TPS7A300 : 固定負出力 LDO (U22)	低ノイズでクリーンな -2.5V 信号を ADC アナログ グランド (AVSS) ピンに供給。「端子台 (J3)」の説明に従い、外部負入力の供給が必要です。 TPS7A300 は、デフォルトでは未実装。

表 2-6. 重要コンポーネント (電源) (続き)

部品	機能
0Ω 抵抗 (R16、R60)	AVSS プレーンへの接続を選択。デフォルトでは、AVSS が GND に短絡されたユニポーラ電源用に評価基板が構成されています。 バイポーラ電源の場合、抵抗 R60 を取り外し、R61 の位置に 0Ω の抵抗を取り付けます。 抵抗 R60 は、デフォルトでは未実装です。
LED (D1、D2)	AVDD (D1) と IOVDD (D2) の電源が有効かどうかを示す

デフォルトでは、ADS125H18 評価基板は PHI コントローラ カードから供給される 5.5V のユニポーラ電源電圧を使用する構成になっています。ただし、表 2-7 に示すように、いくつかの異なる電源構成も可能です。

表 2-7. ADS125H18 評価基板でさまざまな電源オプションを構成する

構成	実装手順
可変 LDO の (11) 出力電圧を変更	必要に応じて、R4 を除く抵抗 R3 ~ R9 を取り外して交換します。たとえば、LDO 出力電圧を 3V に設定するには、0Ω 抵抗 R3 と R9 を取り外し、0Ω 抵抗 R6 (1.6V) を取り付けます。LDO の VREF = 1.4V なので、合計電圧は 1.4V + 1.6V = 3V となります。 LDO 出力電圧は AVSS 基準であることに注意してください。
外部のユニポーラ電源電圧を LDO 入力に印加	<ol style="list-style-type: none"> ジャンパ JP1 のシャントを取り外す 外部電源のグラウンドを評価基板上のいずれかの GND テスト ポイントに接続 ピン 2 (LDO_IN) のジャンパ JP1 に 5.5V ~ 7V の範囲の電圧を印加
外部ユニポーラ電源電圧を AVDD に印加	<ol style="list-style-type: none"> ジャンパ JP2 のシャントを取り外す 外部電源のグラウンドを評価基板上のいずれかの GND テスト ポイントに接続 ジャンパ JP2 のピン 2 を使用して、ADC の AVDD 入力に外部電圧を直接印加。入力電圧が ADC データシートで規定されている範囲内であることを確認してください。
±2.5V の外部バイポーラ電源電圧を使用	<ol style="list-style-type: none"> 端子台 J3 を取り付ける 負の LDO (U22) とその周辺のすべての受動部品を取り付ける (図 2-7 参照) 0Ω 抵抗 R16 および R65 を取り外す 0Ω 抵抗 R60 および R66 を取り付ける <ol style="list-style-type: none"> R16 と R60 の位置については、図 2-5 を参照 外部電源のグラウンドを、端子台 J3 のピン 2 (GND) に接続 端子台 J3 のピン 1 (-Vin) に -5.5V ~ -7V の電圧を印加 端子台 J3 のピン 3 (+Vin) に、5.5V ~ 7V の電圧を印加

2.5 電圧リファレンス

図 2-8 は、ADS125H18 評価基板に実装されたオプションの外部電圧リファレンス回路を示します。ADS125H18 は、ほとんどのアプリケーションで十分な低ノイズ、低ドリフトの電圧リファレンスを内蔵しています。また、必要に応じて、評価基板 (EVM) は 2 つの外部電圧リファレンス オプションをサポートします。まずヘッダ ピン J11 を取り付け、このピンに外部電圧源を印加します。次に、評価基板には 2.5V 電圧リファレンス REF6025 と周辺回路が含まれます。ただし、これらの部品はデフォルトで評価基板に実装されていないため、ユーザーがインストールする必要があります。ADC に印加されるすべての外部リファレンス電圧が、表 1-1 で説明されている電圧要件を満たしていることを確認します。また、外部リファレンスを使用するために、必要に応じて ADC レジスタを構成します。詳細については、ADC データシートを参照してください。

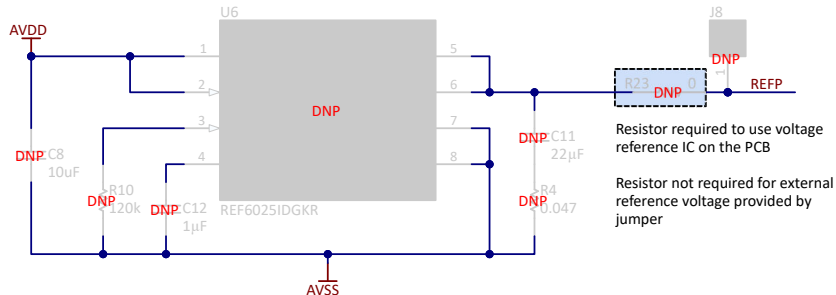


図 2-8. 外部リファレンス電圧回路オプション

2.6 クロック処理

図 2-9 に、SMA コネクタを使用した ADS125H18 評価基板上のオプションの外部クロック接続を示します。ADS125H18 は、ほとんどのアプリケーションに十分な高精度の発振器を内蔵しています。必要に応じて、この評価基板には外部クロックを有効にするための部品フットプリントが用意されています。デフォルトでは、SMA コネクタと直列抵抗は取り付けられていないため、開発ユーザーは評価基板に追加する必要があります。ADC に印加される外部クロック信号が、表 1-1 で説明されているクロック要件を満たしていることを確認してください。また、外部クロックを使用する場合は ADC レジスタ構成が必要になります。詳細については、ADC データシートを参照してください。

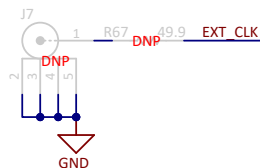


図 2-9. 外部クロック接続オプション

2.7 ADS125H18 評価基板を外部コントローラで使用する場合

ADS125H18 評価基板は、外部コントローラと容易に接続できるよう設計されています。この設計により、カスタム PCB 開発の必要なく、ADS125H18 上でのアプリケーション コードとファームウェアのテストが可能です。このセクションでは、ADS125H18 評価基板を外部コントローラで使用するために必要な特有の接続について説明します。図 2-10 に、このセクションで説明する各種ヘッダ、コネクタ、端子台の位置を示します。

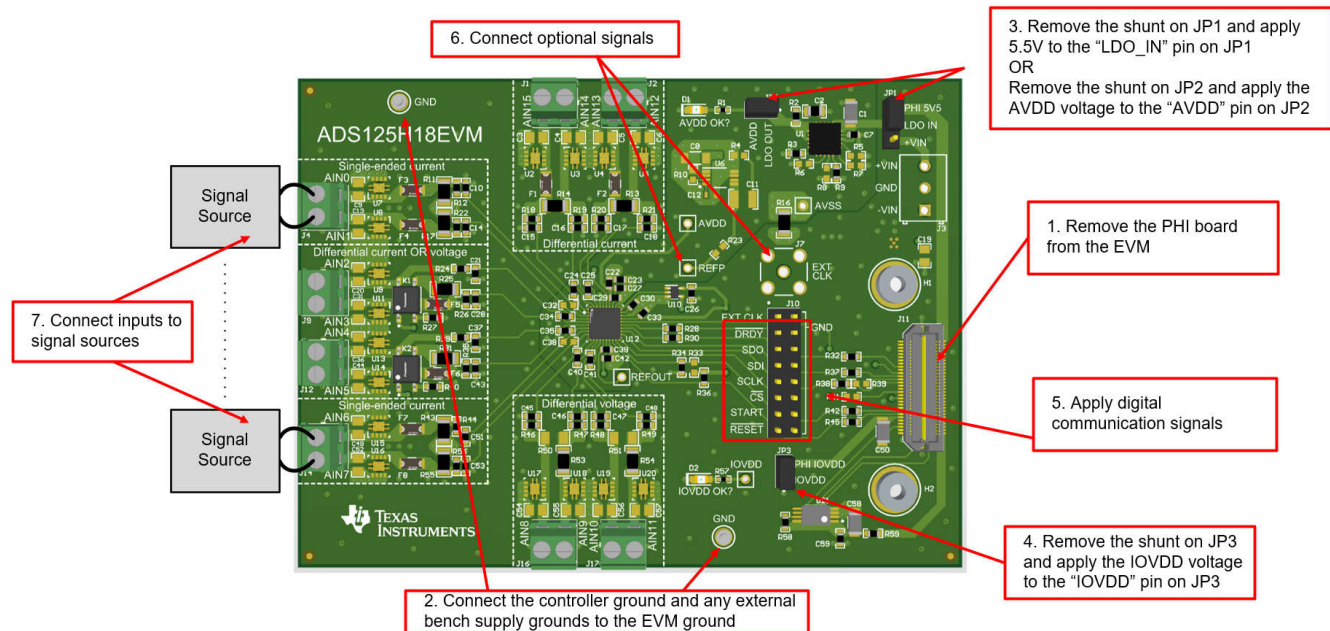


図 2-10. ADS125H18 評価基板への外部コントローラ接続

以下の手順に沿って、外部コントローラと組み合わせて使用する ADS125H18 評価基板を準備してください：

1. PHI ボードを評価基板に接続している場合は取り除く
2. 外部コントローラのグラウンドとベンチ電源グラウンドを評価基板の GND ピンに接続
3. 外部ベンチ電源を ADC の AVDD ピンに接続するには、次の 2 つの方法のいずれか一方のみを実行します：
 - a. JP1 のシャントを取り除き、JP1 の「LDO_IN」ピンに 5.5V を印加
 - b. JP2 のシャントを取り除き、JP2 の「AVDD」ピンに AVDD 電圧を印加
4. JP3 のシャントを取り除き、JP3 の「IOVDD」ピンに IOVDD 電圧を印加して、外部ベンチ電源を ADC IOVDD ピンに接続
5. 評価基板のヘッダ J10 にデジタル通信信号を印加：
 - a. POCI (ペリフェラル出力、コントローラ入力) をコントローラから SDO ピンに接続
 - b. PICO (ペリフェラル入力、コントローラ出力) をコントローラから SDI ピンに接続
 - c. SCLK をコントローラから SCLK ピンに接続
 - d. CS をコントローラから CS ピンに接続
 - e. I/O ピンをコントローラから DRDY ピンに接続。DRDY は ADC からの出力で、新しいデータを ADC からクロック出力する準備の完了を示します。このピンを (ポーリングまたは割り込みで) 監視し、立ち下がりエッジ検出後にのみデータを転送するユーザー定義のデータ収集ルーチンを作成します。
 - f. (オプション) コントローラ側の I/O ピンを START および RESET ピンに接続し、それぞれ変換制御とデバイスをリセット
6. (オプション) 外部のクロックまたは電圧リファレンスを接続
7. 信号ソースを端子台に接続

外部電源電圧、通信信号レベル、および印加入力信号が表 1-1 に示された仕様を満たしていることを確認します。

3 ソフトウェア

3.1 ソフトウェアの説明

ADS125H18EVM-PDK-GUI ソフトウェア スイートには、データ キャプチャ、ADS125H18 レジスタのフル構成、時間ドメイン分析、ヒストグラム分析、スペクトル分析のためのグラフィカル ツールが含まれています。また、このスイートには後処理のためにデータをテキスト ファイルにエクスポートする機能を備えています。

3.2 ADS125H18 GUI のインストール

ADS125H18 評価基板ツール フォルダの *Tools and Software* セクションから、EVM GUI インストーラの最新バージョンをダウンロードします。次に、GUI インストーラを実行し、EVM GUI ソフトウェアをコンピュータにインストールします。

EVM GUI インストーラをローカル ハードディスクにダウンロードする前に、コンピュータで実行されているアンチウイルス ソフトウェアを手動で無効にします。アンチウイルスの設定によっては、エラー メッセージが表示されるか、installer.exe ファイルが削除される場合があります。

図 3-1 ~ 図 3-4 は、GUI インストール プロセス中に表示されるプロンプトを示します。ライセンス契約に同意し、画面の指示に従ってインストールを完了します。

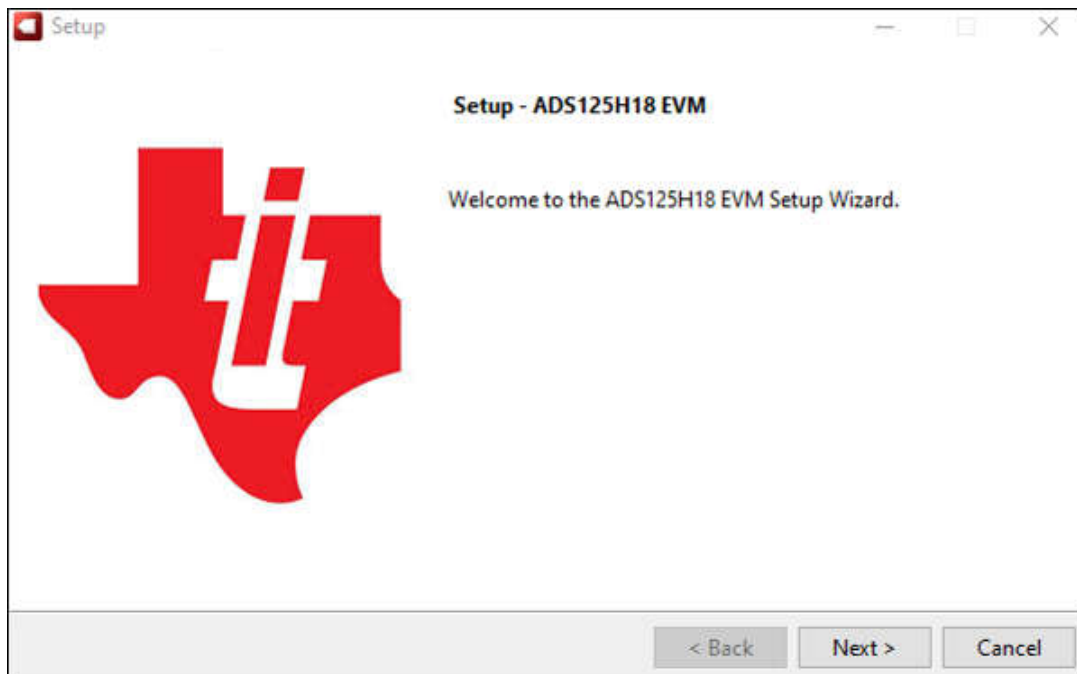


図 3-1. ADS125H18 EVM GUI インストール ウェルカム画面

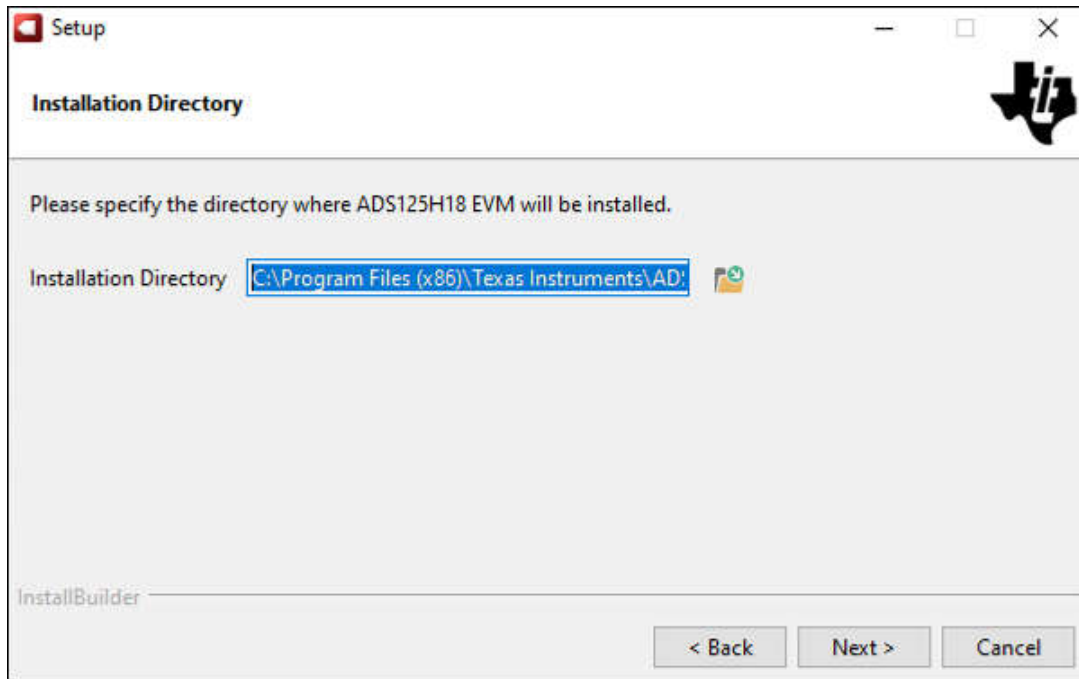


図 3-2. ADS125H18 EVM GUI インストール先フォルダ選択

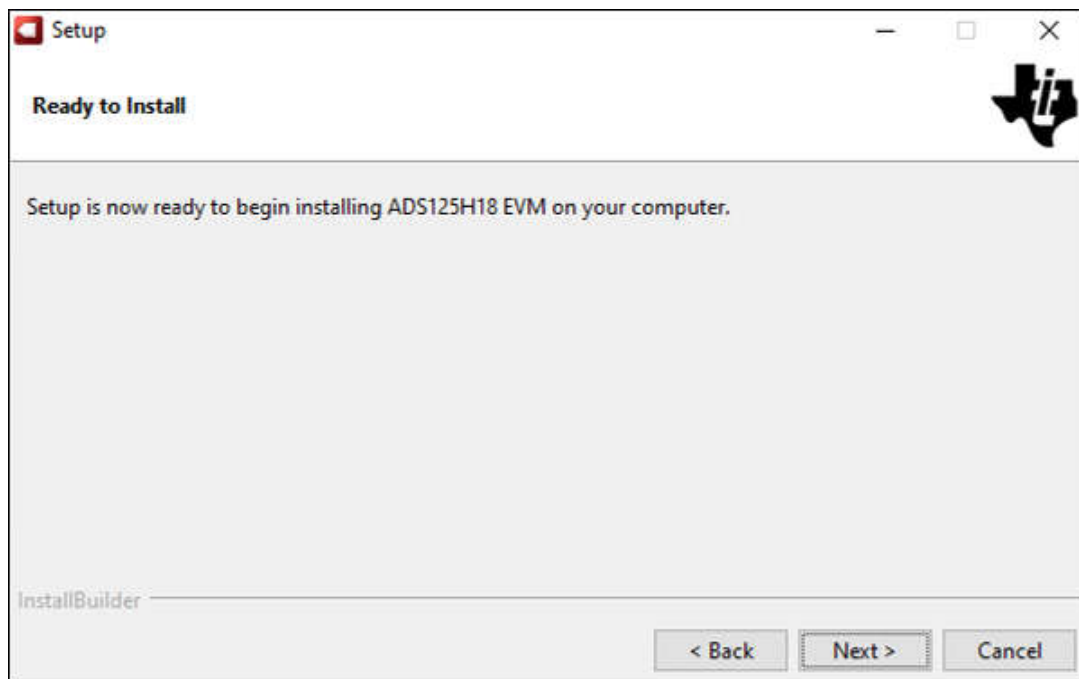


図 3-3. ADS125H18 EVM GUI インストール準備完了

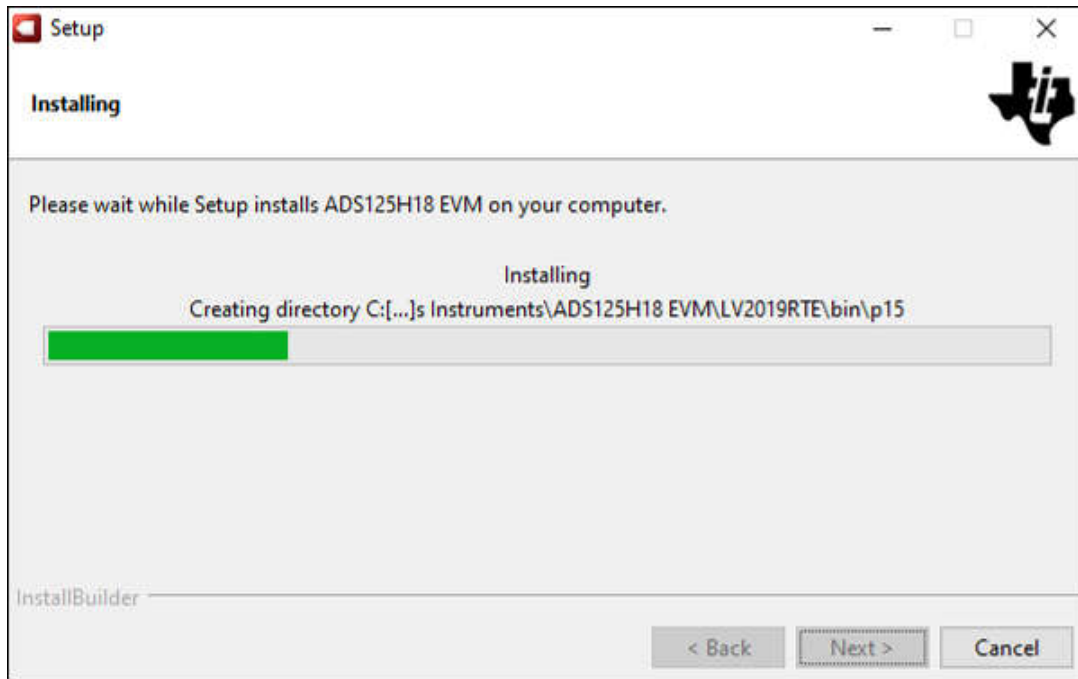


図 3-4. ADS125H18 EVM GUI インストール中

ADS125H18 評価基板には LabVIEW™ ランタイム エンジンが必要です。未インストールの場合は、このソフトウェアのインストールを求めるメッセージが表示されます。該当する場合は、実際の GUI インストール中にこのプロンプトが表示されます (図 3-4 を参照)。ただし、本ドキュメントでは LabVIEW™ インストール プロンプトは示しません。

図 3-5 に、インストール プロセス完了後の最後のプロンプトを示します。「Finish」(完了) ボタンをクリックしてインストーラを終了します。

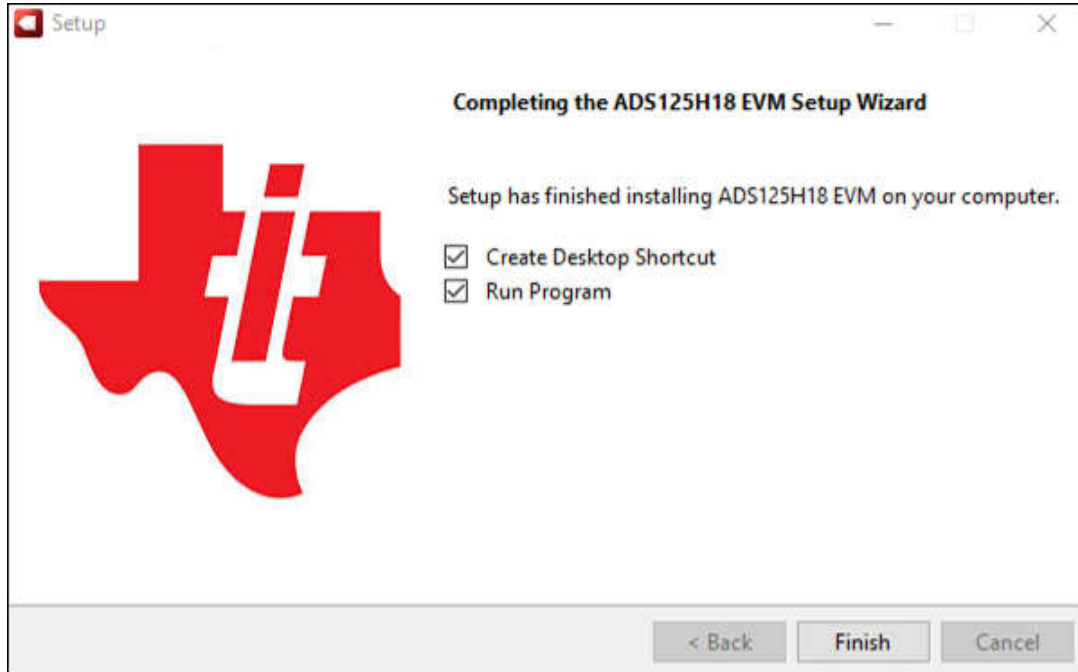


図 3-5. ADS125H18 EVM GUI インストール完了

4 実装結果

4.1 ハードウェア接続

ソフトウェアをインストールした後、[図 4-1](#) に示すように評価基板を接続します。

1. PHI の P2 を ADS125H18 評価基板の J11 に物理的に接続。付属のネジを取り付けて、しっかりとした接続を確保します。
2. (オプション) 外部の電源、クロック、または電圧リファレンスを接続。
3. デフォルトのジャンパ位置を確認：JP2 と JP3 にはシャントが取り付けられており、JP1 のシャントは PHI 5V5 ネットに接続されています。
4. USB ケーブルを PHI とコンピュータに接続。
 - a. PHI の LED D5 が点灯し、PHI が電源オンになっていることを示します。
 - b. PHI の LED D1 および D2 が点滅を始め、PHI が起動し PC と通信していることを示します。[図 4-1](#) に、結果として得られる LED インジケータを示します。
5. [図 4-2](#) に示されたソフトウェア GUI を起動。PHI に FPGA ファームウェアがロードされると、LED がゆっくり点滅します。これには数秒程度かかります。
6. 信号ソースを端子台に接続。信号ソースの電圧レベルと電流レベルが、[表 1-1](#) に示す仕様を満たしていることを確認します。

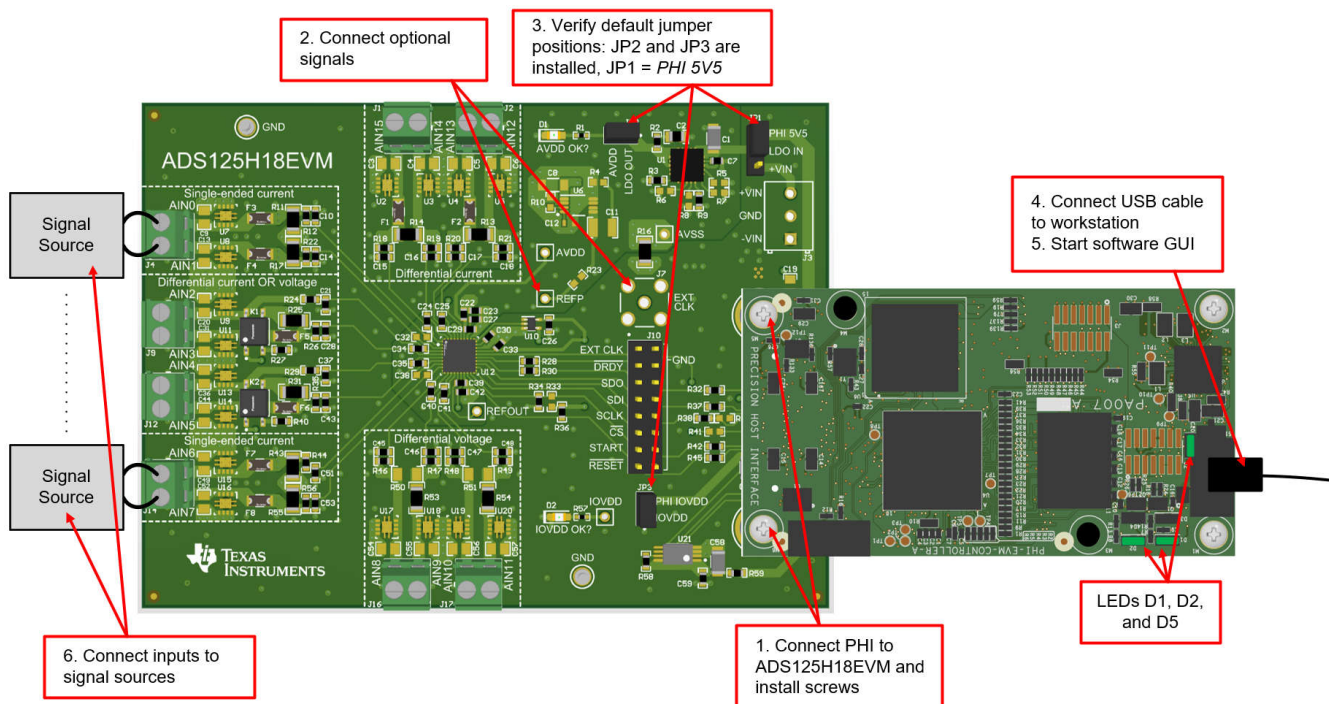


図 4-1. ADS125H18 評価基板へのハードウェア接続

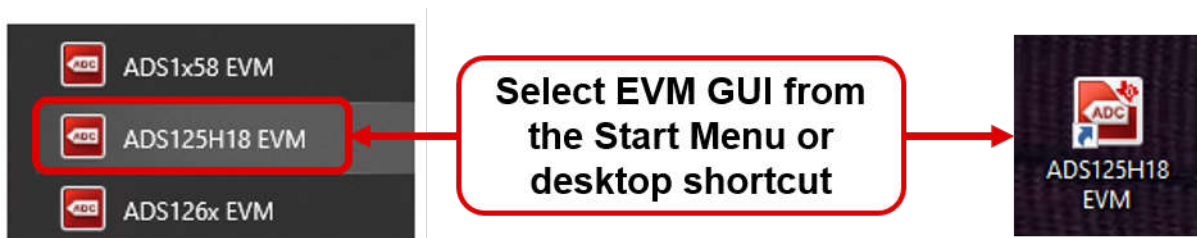


図 4-2. EVM GUI ソフトウェアの起動

4.2 GUI 動作

以下のセクションでは、ADS125H18 EVM GUI の操作および動作について説明します。

4.2.1 ADC キャプチャ設定とシーケンサ構成

図 4-3 では、左上隅の「Pages」(ページ) コントロールを使用して、GUI の他のページにアクセスする方法を示します。これらのコントロールを使って、任意の GUI ページに移動できます。図 4-3 は「ADC Capture」(ADC キャプチャ) ページも示しています。このページを使用して、一般構成、ステップ構成パラメータ、シーケンサモード、およびキャプチャするサンプルまたはシーケンス数など、最も重要な ADC 設定を簡単に構成できます。

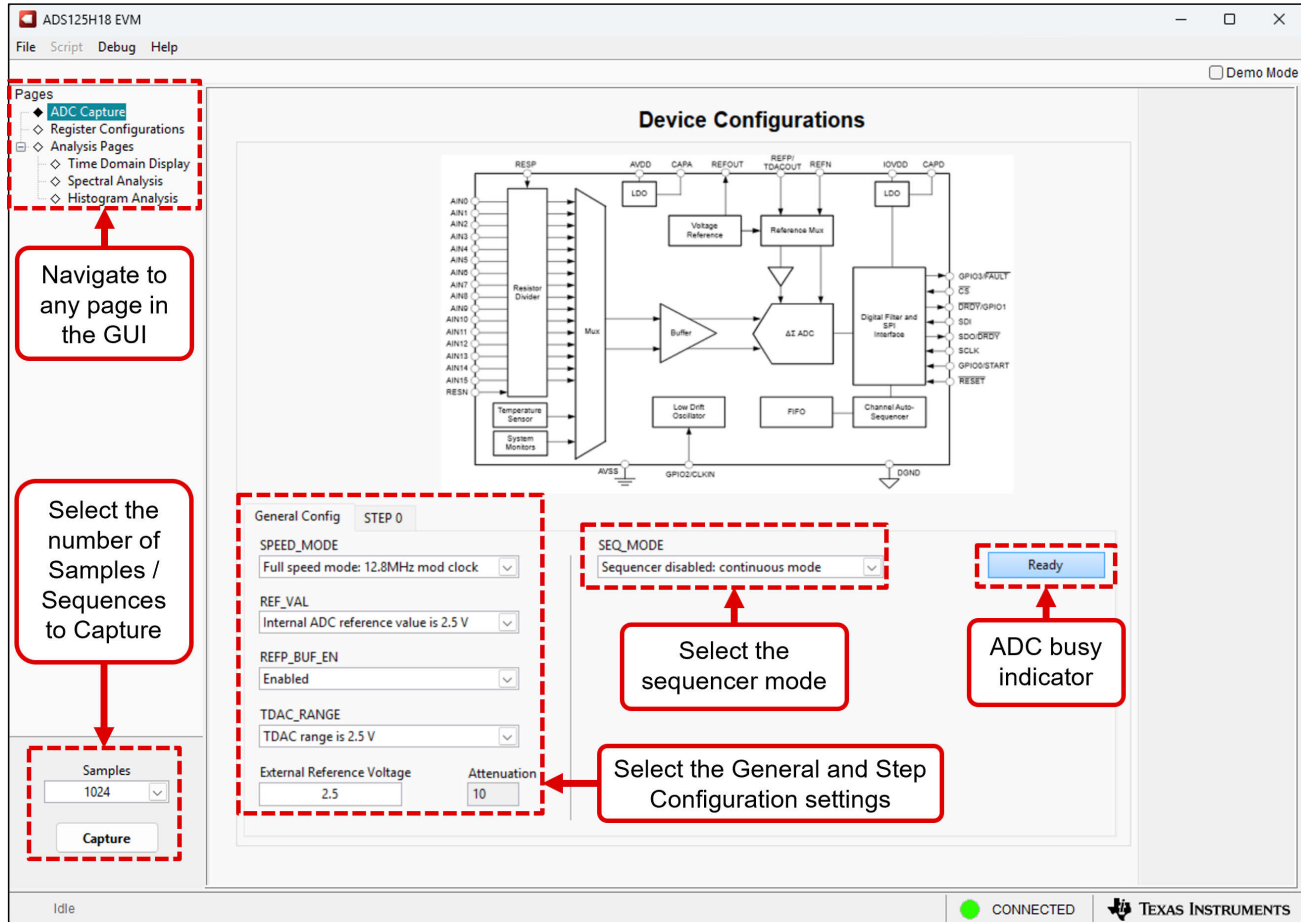


図 4-3. ADS125H18 EVM GUI ADC キャプチャ ページ — 一般構成

「General Configuration」(一般構成) タブでは、速度モード、内部リファレンス電圧、リファレンスバッファの状態、テスト DAC 範囲など、すべてのステップに共通する特定のパラメータを設定できます。また、必要に応じて外部リファレンス電圧を入力できます。さらに、ADC キャプチャ ページで ADC_DEVICE_ID レジスタを読み出すことにより、デバイスの減衰が示されます。最後に、「Ready」(準備完了) ボックスは、GUI が ADC と通信する準備ができているか (青色)、GUI が ADC との通信を行っているか (オレンジ色) を示します。

図 4-3 のシーケンサモードのドロップダウンのデフォルト オプションでは、ユーザーは 1 つのステップで n 回の変換をキャプチャすることができます。 n の値は GUI の左下にあるボックスに入力します。または、シーケンサを有効化して、有効になっているすべてのステップの n 回の完全なシーケンスをキャプチャすることもできます。

図 4-4 に、「Step Configuration」(ステップ構成) タブを示します。これらのコントロールを使用して、各ステップの設定を構成します。シーケンサが無効の場合、ステップ 0 のみが表示されます。

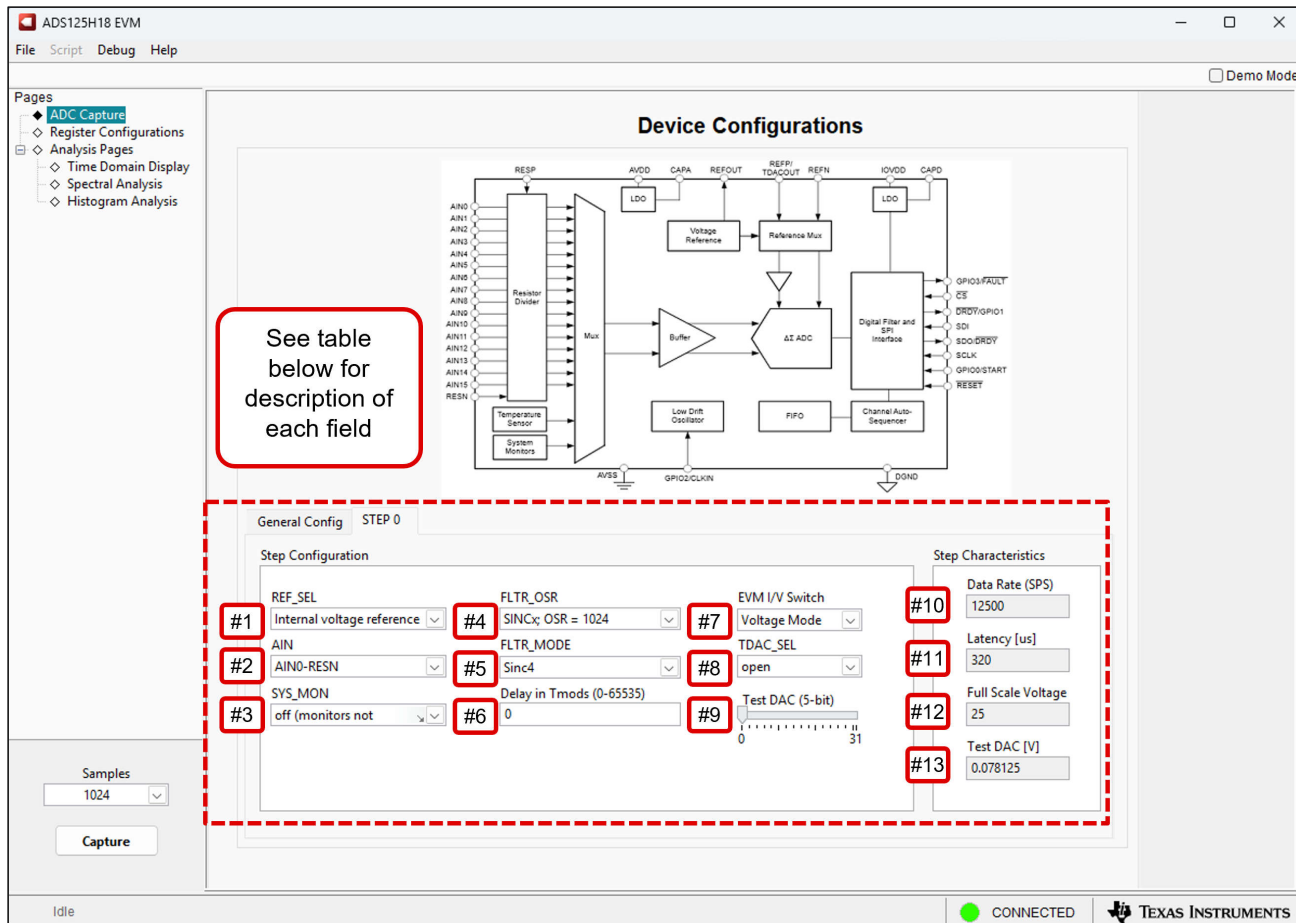


図 4-4. ADS125H18 EVM GUI ADC Capture ページ — ステップ構成

表 4-1 では、図 4-4 に示された各フィールドの詳細を説明します：

表 4-1. 「Step Configuration」(ステップ構成) ページのパラメータ解説

項目番号	パラメータ	説明
1	REF_SEL	このステップで使用するリファレンス電圧ソースを選択します
2	AIN	このステップの測定チャンネルを選択します
3	SYS_MON	このステップで測定するシステム モニタ オプションを選択します 注：システムモニタは AIN の選択よりも優先され (上記 #2 参照)、REF_SEL での選択に関係なく内部リファレンスも使用されます
4	FLTR_OSR	このステップの OSR を選択します 注：この OSR に対応するデータ レートを右側に示します (下記 #10 参照)
5	FLTR_MODE	このステップのフィルタ モードを選択します
6	tmods の遅延	このステップに使用するプログラマブル遅延を入力します 注：遅延値は変調器のクロック周期 (t_{MOD}) で測定され、「一般構成」ページの SPEED_MODE フィールドで変調器クロックを選択します
7	EVM I/V SWITCH	このステップでの、評価基板の I/V スwitch の状態を選択します 注：これは ADC ではなく評価基板の機能です。これらのスウィッチは、評価基板上の差動チャンネル AIN2/ AIN3 および AIN4/ AIN5 にのみ実装されているため、この選択はこれらのチャンネルにのみ影響します
8	TDAC_SEL	このステップでのテスト DAC 電圧の出力先を選択します
9	TDAC_VAL	このステップに使用するテスト DAC 電圧を選択します 注：0 ~ 65535 の値を入力します。この値はボルト単位で計算され、右側の「Test DAC (V)」フィールドに入力されます (下の #13 を参照)

表 4-1. 「Step Configuration」(ステップ構成) ページのパラメータ解説 (続き)

項目番号	パラメータ	説明
10	データ レート (SPS)	選択した OSR に対するデータ レート (上記 #4 参照)、クロック周波数、クロック モード 注: クロックモードは「General Config」(一般構成) タブで選択します
11	レイテンシ (μs)	最初の変換遅延をマイクロ秒単位で計算します 注: 最初の変換レイテンシには、FLTR_OSР および FLTR_MODE フィールドによるデジタル フィルタの完全なセトリングと、該当する場合は DELAY フィールドに入力される追加の遅延が含まれます
12	フル スケール電圧	このステップのフルスケール電圧 (FSV) を計算します。ここで、FSV = リファレンス電圧 * 減衰 注: リファレンス電圧は「General Configuration」(一般構成) タブで設定され、GUI は DEVICE_ID レジスタを読み取ることにより減衰係数を決定します
13	Test DAC (V)	TDAC 電圧をボルト単位で計算します (TDAC = TDAC_VAL * TDAC_RANGE) 注: [Step Configuration] (ステップ構成) ページで TDAC_VAL を設定し、[General Configuration] (一般構成) タブで TDAC_RANGE を設定します

「General Configuration」(一般構成) ページの SEQ_MODE ドロップダウンから「Sequencer enabled: continuous mode」(シーケンサ有効: 連続モード) を選択して、ADC シーケンサを有効にします。この構成を選択すると、複数のステップ オプションが表示されます。また、「Capture」(キャプチャ) パラメータが「Samples」(サンプル) から「Sequences」(シーケンス) に変更されます。その結果、GUI はユーザーが定義した目的のシーケンス数分のデータをキャプチャして表示します。図 4-5 に、シーケンサを有効化した後の GUI の変更状況を示します。

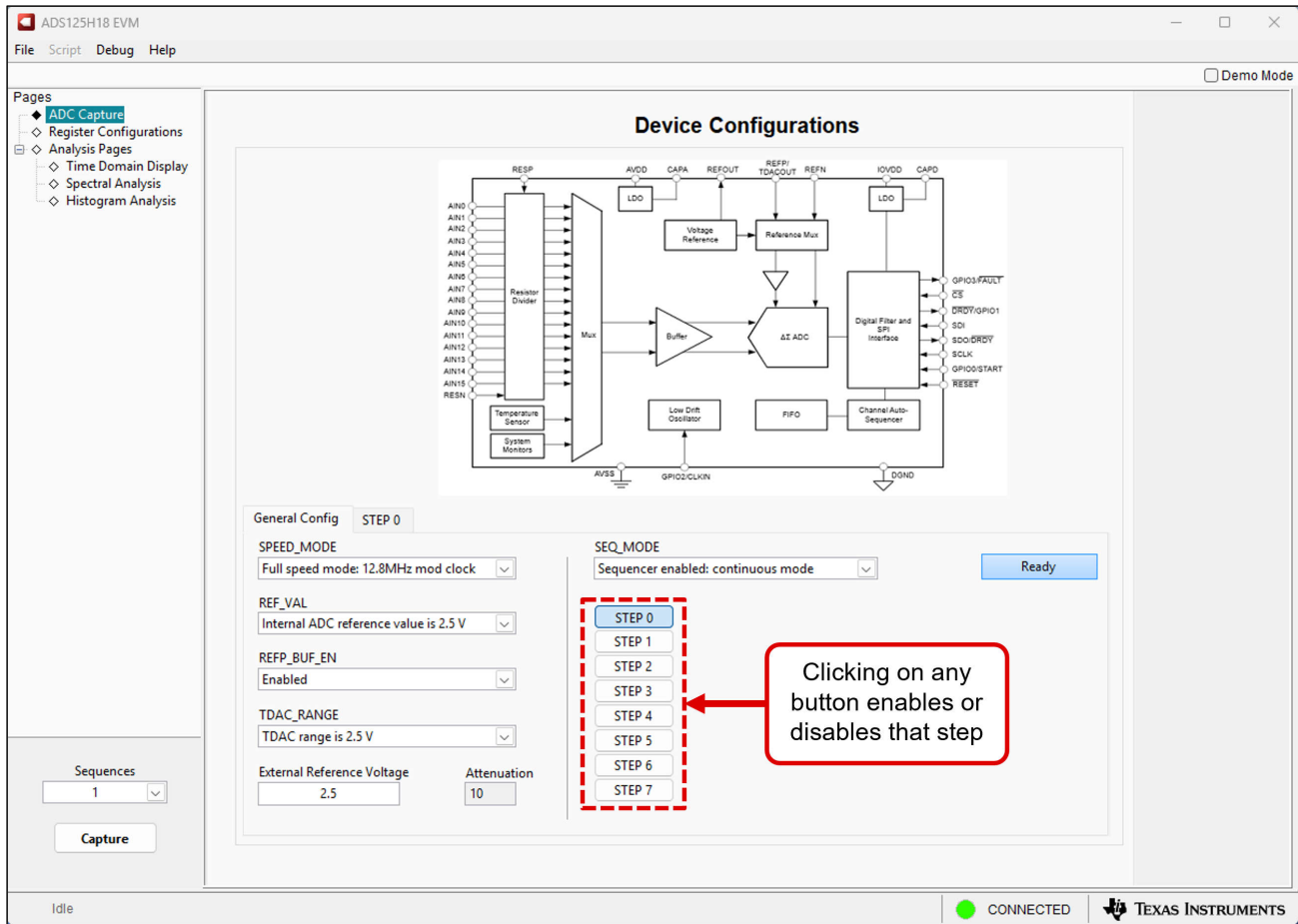


図 4-5. ADS125H18 EVM GUI ADC キャプチャ ページ — シーケンサの有効化

シーケンサを有効にした後、[図 4-6](#) には個々のステップをクリックして新しい「Step」(ステップ) タブを開く方法が示されます。同じステップを再度クリックすると、そのステップ タブが閉じます。これは、無効化できないステップ 0 以外のすべてのステップに該当します。

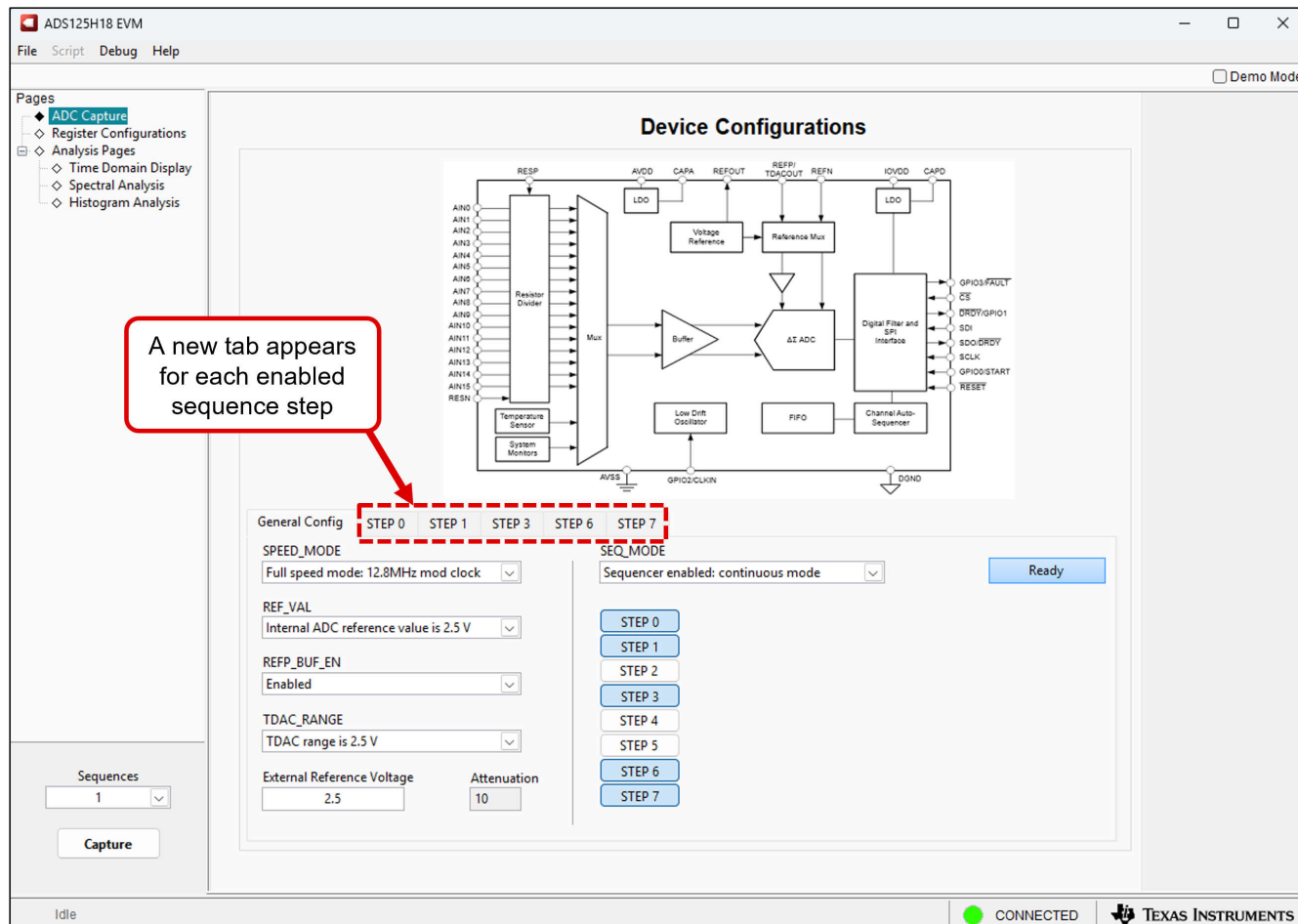


図 4-6. ADS125H18 EVM GUI ADC キャプチャ ページ — 複数のシーケンス ステップの有効化

[図 4-4](#) で示し、[表 4-1](#) で説明されているように、有効な各ステップを構成してください。シーケンサを有効にすると、各ステップ ページで NUM_CONV 制御も有効になります。NUM_CONV 制御を使用すると、そのステップで単一の変換を行ってすぐに次のステップに切り替えるのではなく、連続する特定の回数の変換を選択できます。ただし、いずれかのステップ ページで NUM_CONV > 1 を選択すると、GUI はシーケンス数を 1 に制限し

ます。図 4-7 にこの動作を示します。この制限が ADC ではなく GUI によってどのように行われるかを説明する注も記載しています。

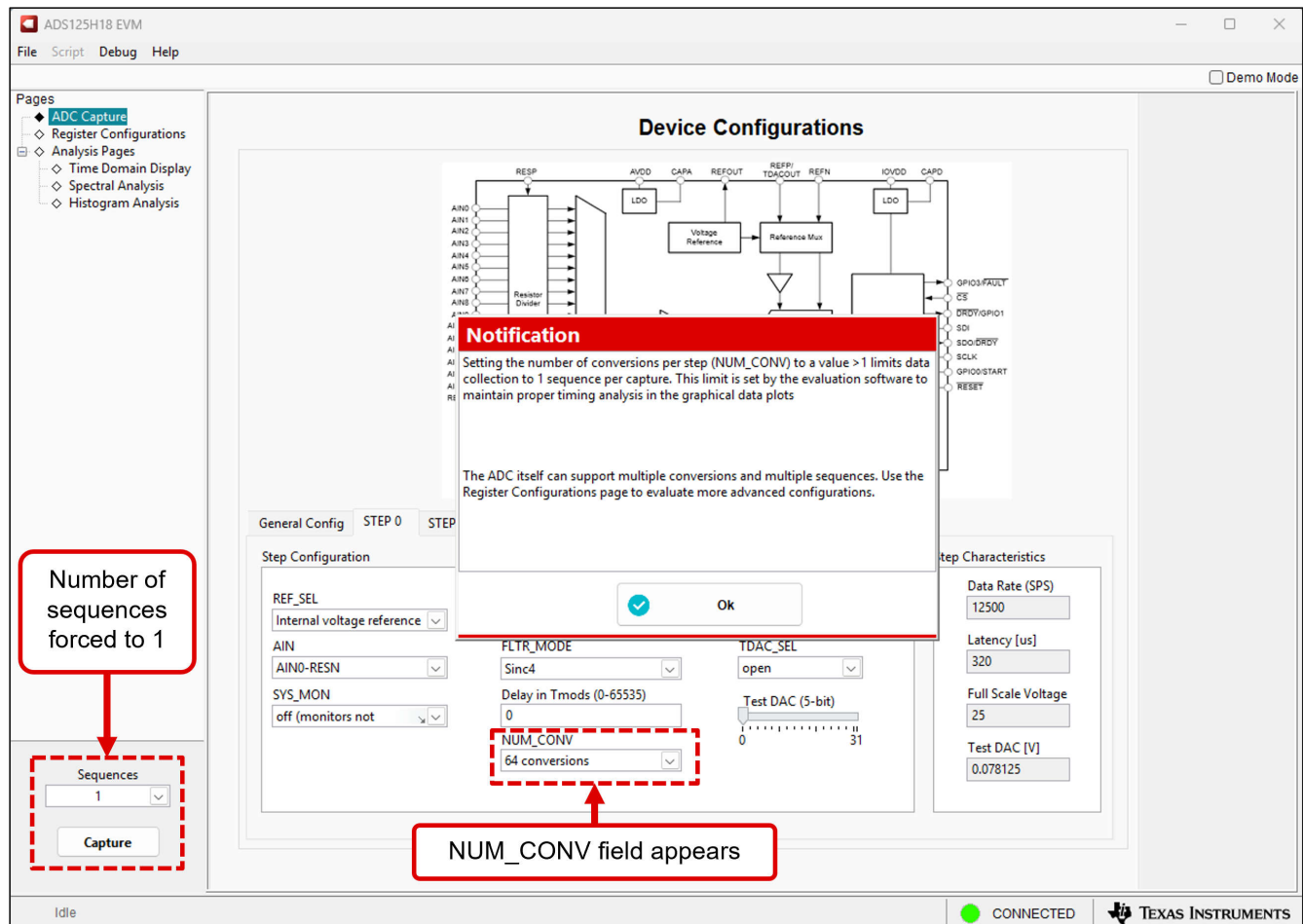


図 4-7. ADS125H18 EVM GUI ADC キャプチャ ページ - Number of Conversions (変換回数) フィールド

4.2.2 時間ドメイン表示

時間ドメイン表示ツールにより、特定の入力信号に対する ADC の応答を視覚的に確認できます。このツールは、ADC の動作の検討や、ADC および駆動回路の重大な問題のデバッグに役立ちます。図 4-8 の「Capture」(キャプチャ) ボタンで、ADS125H18 評価基板から選択したサンプル数またはシーケンスのデータ キャプチャをトリガします。時間ドメイン プロットでは、x 軸に 時間、y 軸にはデフォルトで指定されたリファレンス電圧に対する 電圧が表示されます。

図 4-8 の下部にある「Measurements」(測定) コントロールは、コード範囲、平均コード、およびコードの標準偏差を計算します。以後のセクションで説明されているいずれかの「Analysis」(分析) ツールにページを切り換えると、同じデータ セットに対して計算が実行されます。

最後に、図 4-8 に、ADC シーケンサが無効になっており ADC が 1024 個のサンプル データをキャプチャしている時間領域キャプチャを具体的に示しています。



図 4-8. ADS125H18 EVM GUI のタイム ドメイン ページ - シーケンサが無効

図 4-9 に、GUI が複数のシーケンスをキャプチャできるよう、ADC シーケンサがイネーブルであり、イネーブルされている各ステップで NUM_CONV = 1 の時間ドメイン キャプチャを示します。この例では、GUI は 1024 のシーケンスをキャプチャします。各シーケンスは、AVDD 電源電圧 (青色)、IOVDD 電源電圧 (オレンジ色)、内部短絡 (ピンク) の 3 つの測定値で構成されています。さらに、GUI には、各測定の最初の変換レイテンシと、対応する実効データ レートが表示されます。最初の変換レイテンシは、FLTR_OSР および FLTR_MODE フィー

ルドによるデジタルフィルタの完全なセトリングと、該当する場合は DELAY フィールドに入力される追加の遅延で構成されます。そのため、最初の変換レイテンシは、ステップによって異なる場合があります。

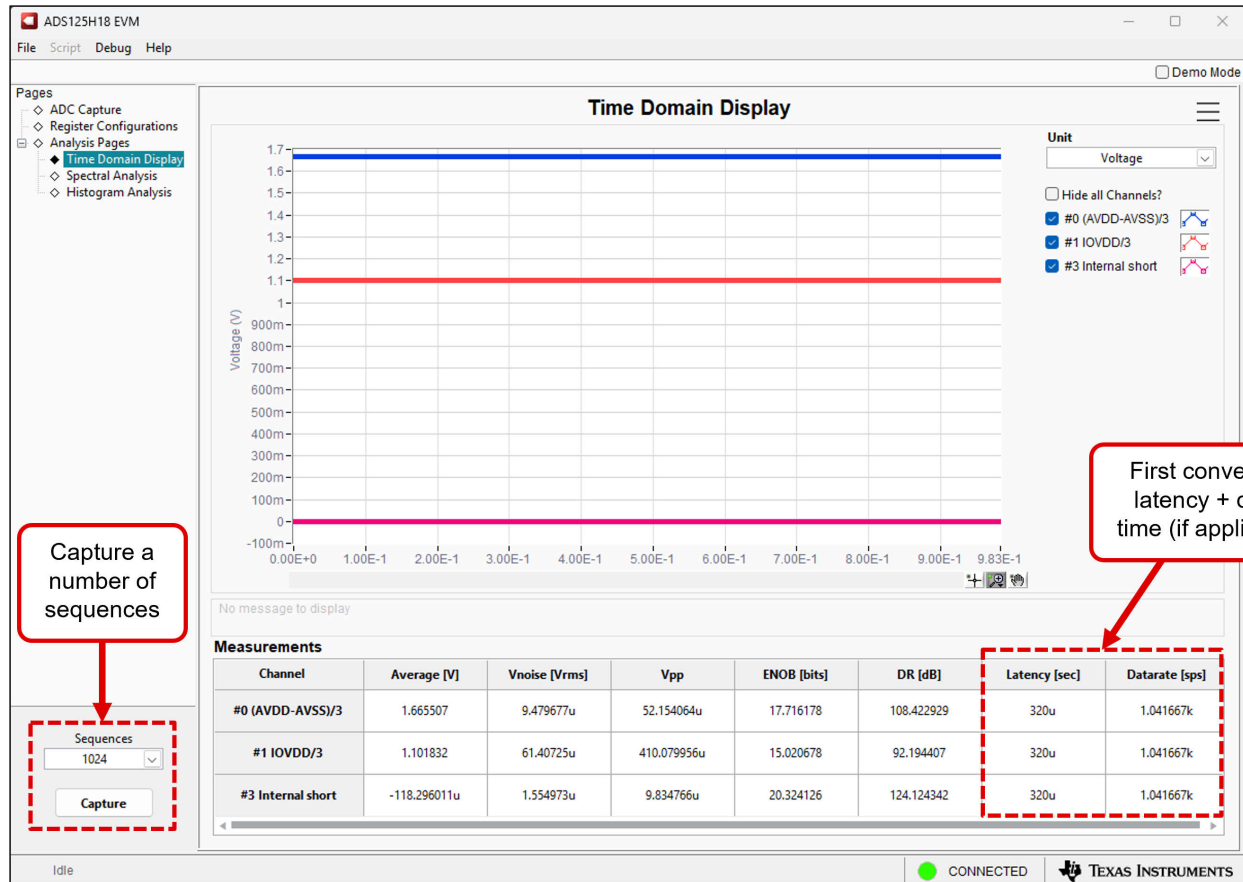


図 4-9. ADS125H18 EVM GUI タイムドメインページ - シーケンサイネーブル、NUM_CONV = 1

図 4-10 に、ADC シーケンサがイネーブルで、少なくとも 1 つのステップで NUM_CONV > 1 となっているタイムドメインキャプチャを示します。これらの条件では、GUI は複数のシーケンスをキャプチャできません。この例では、ADC は図 4-9 で使用されているのと同じ設定を使用しますが、内部短絡ステップでは NUM_CONV = 64 に設定されています。したがって、GUI は、有効になった最初のステップ (青色) での変換、2 番目の有効なステップでの変換、オレンジ色の有効なステップでの変換、3 番目の有効なステップでの 64 回の連続変換をキ

ャプチャします。重要なのは、ノイズは単一の値では計算できないため、「Measurements」(測定)コントロールのノイズ値に NaN または 0 が表示されることです。

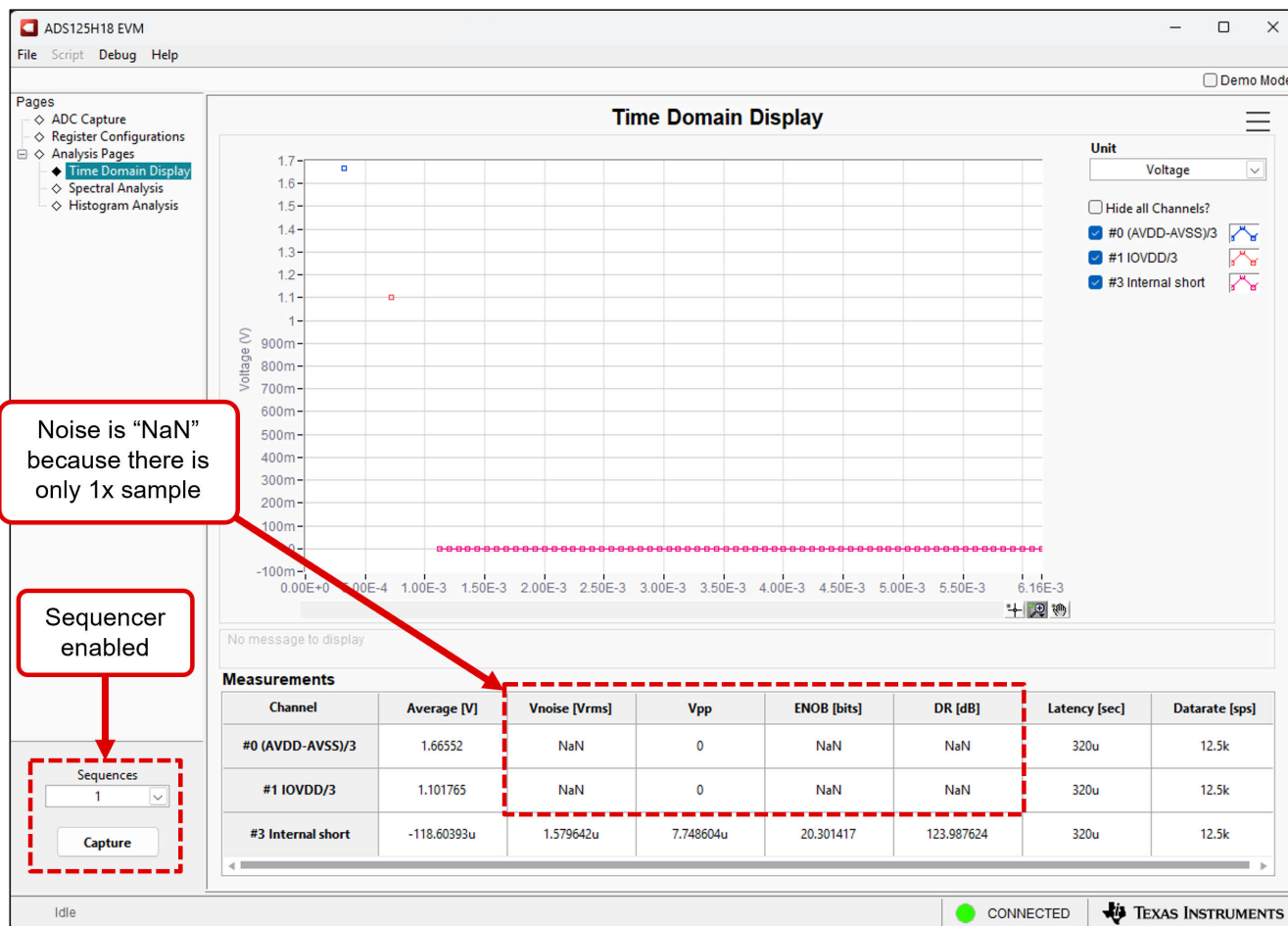


図 4-10. ADS125H18 EVM GUI タイムドメインページ - シーケンサイネーブル、NUM_CONV > 1

4.2.3 周波数ドメイン表示

図 4-11 に示すスペクトル分析ツールは、ADS125H18 のダイナミック性能 (SNR、THD、SFDR、SINAD、ENOB) を評価するためのものです。このダイナミック性能は、7 項 Blackman-Harris ウィンドウ設定を使用して、シングルトーン正弦波信号の FFT 分析により算出されます。最後に、FFT ツールには、非コヒーレント サンプリングの影響を軽減するために必要なウィンドウ処理オプションが含まれています (詳細は本ドキュメントでは割愛します)。7 項 Blackman-Harris ウィンドウはデフォルトのオプションであり、24 ビットの ADC の周波数成分を解決するのに十分なダイナミックレンジを備えています。「None」(なし) のオプションは、ウィンドウを使用しない場合 (または長方形のウィンドウを使用する場合) に対応しており、推奨されません。

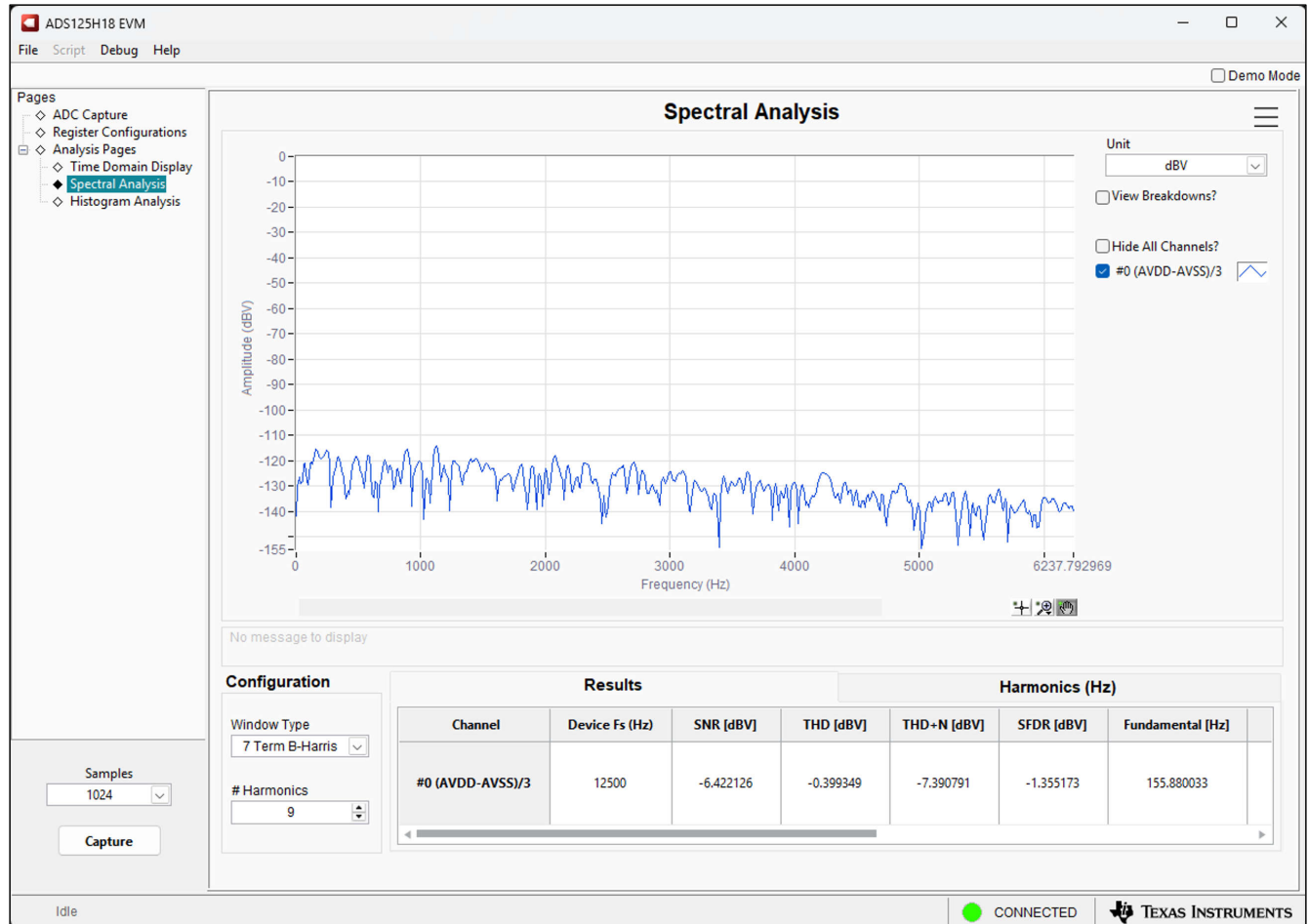


図 4-11. ADS125H18 EVM GUI 周波数ドメイン表示ページ

4.2.4 ヒストグラム表示

ノイズは ADC 分解能の低下につながり、[図 4-12](#) に示すヒストグラム ツールを使用して有効分解能を推定できます。有効分解能は、DC 信号を測定するときに ADC に接続される各種ソースからのノイズに起因する ADC 分解能損失のビット数を示します。入力駆動回路、リファレンス駆動回路、ADC 電源、ADC などのソースから ADC 出力へのノイズ結合の累積的な影響は、特定のチャンネルに印加される DC 入力を複数回変換することで得られる ADC 出力コード ヒストグラムの標準偏差に反映されます。

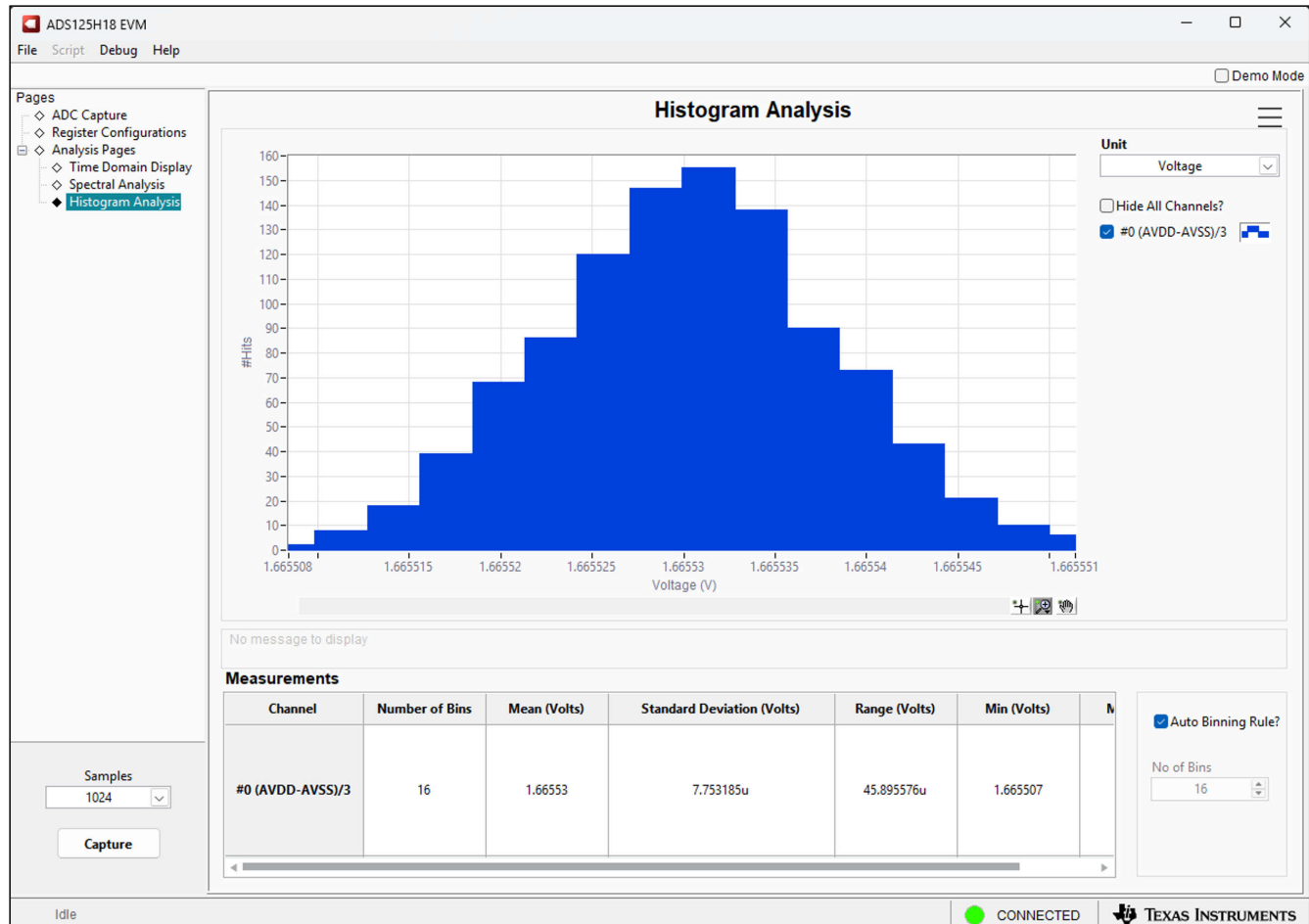


図 4-12. ADS125H18 EVM GUI ヒストグラム表示ページ

4.2.5 評価基板レジスタ設定

図 4-13 に、ADS125H18 レジスタ マップの一部を示します。これには、レジスタを変更する際に高度な使用のために予約する必要があるという注が含まれています。特定の設定の組み合わせにより GUI の動作が不安定になる可能性があるためです。たとえば、コントローラは、各変換が正常に動作するようにした後に DRDY パルスがあることを想定しているため、SEQUENCER_CFG レジスタの DRDY_CFG ビットを変更すると、望ましくない GUI 動作が発生する可能性があります。これらは **ADC ではなく**、GUI の制限であることに注意してください。

必要に応じて、「レジスタ構成」ページを使用して高度な ADC 機能を構成します。各ビットをクリックするか、「Value」(値) の列に直接入力するか、または「Field View」(フィールドビュー) コントロールのドロップダウンメニューから選択して、レジスタ設定を変更します。

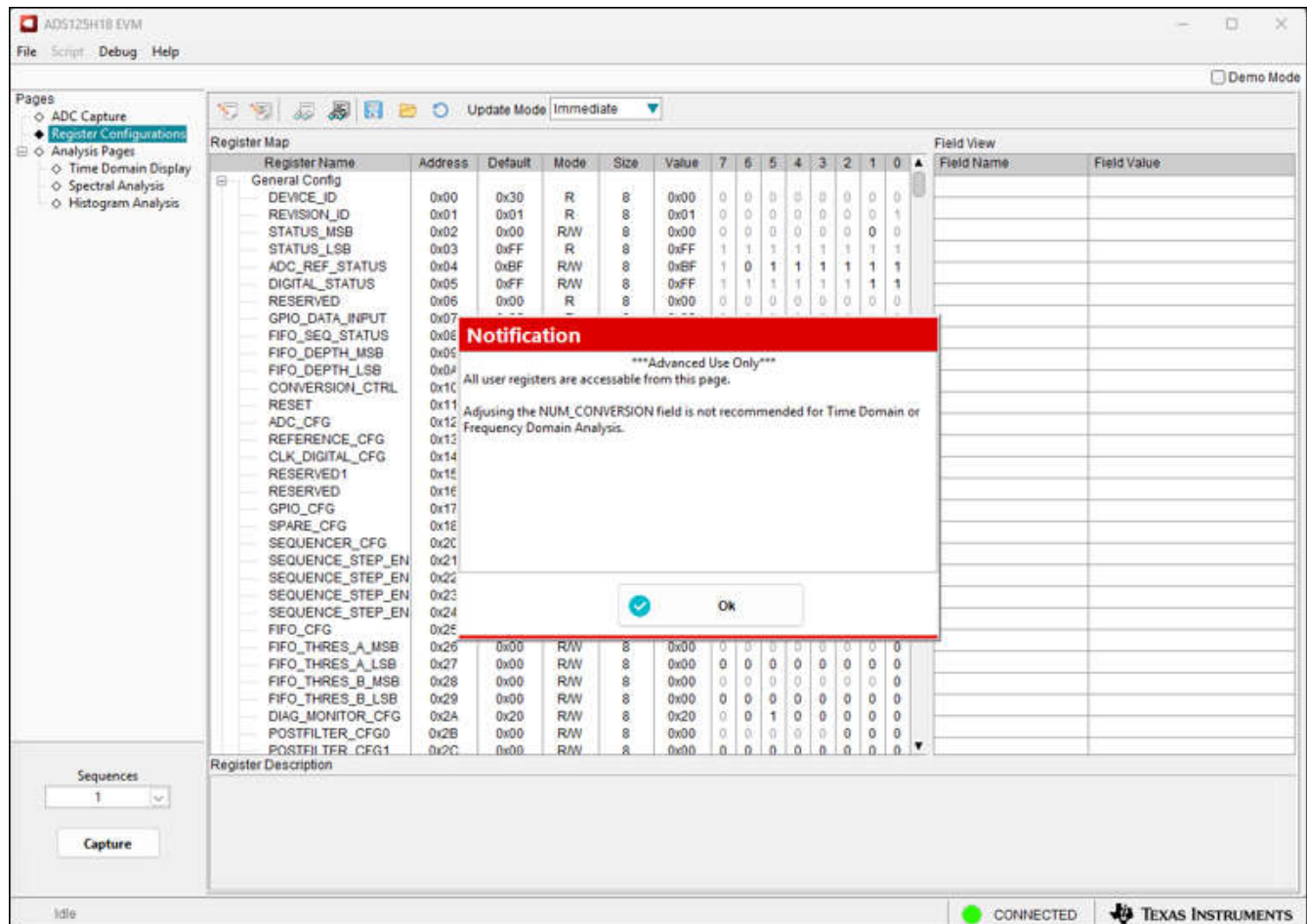


図 4-13. ADS125H18 EVM GUI ナビゲーションとレジスタ マップ

5 ハードウェア設計ファイル

このセクションには、ADS125H18 評価基板の回路図、PCB レイアウト、および部品表 (BOM) が含まれています。

5.1 回路図

図 5-1 ~ 図 5-4 に ADS125H18 評価基板の包括的な回路図を示します

Channels AIN0 through AIN7

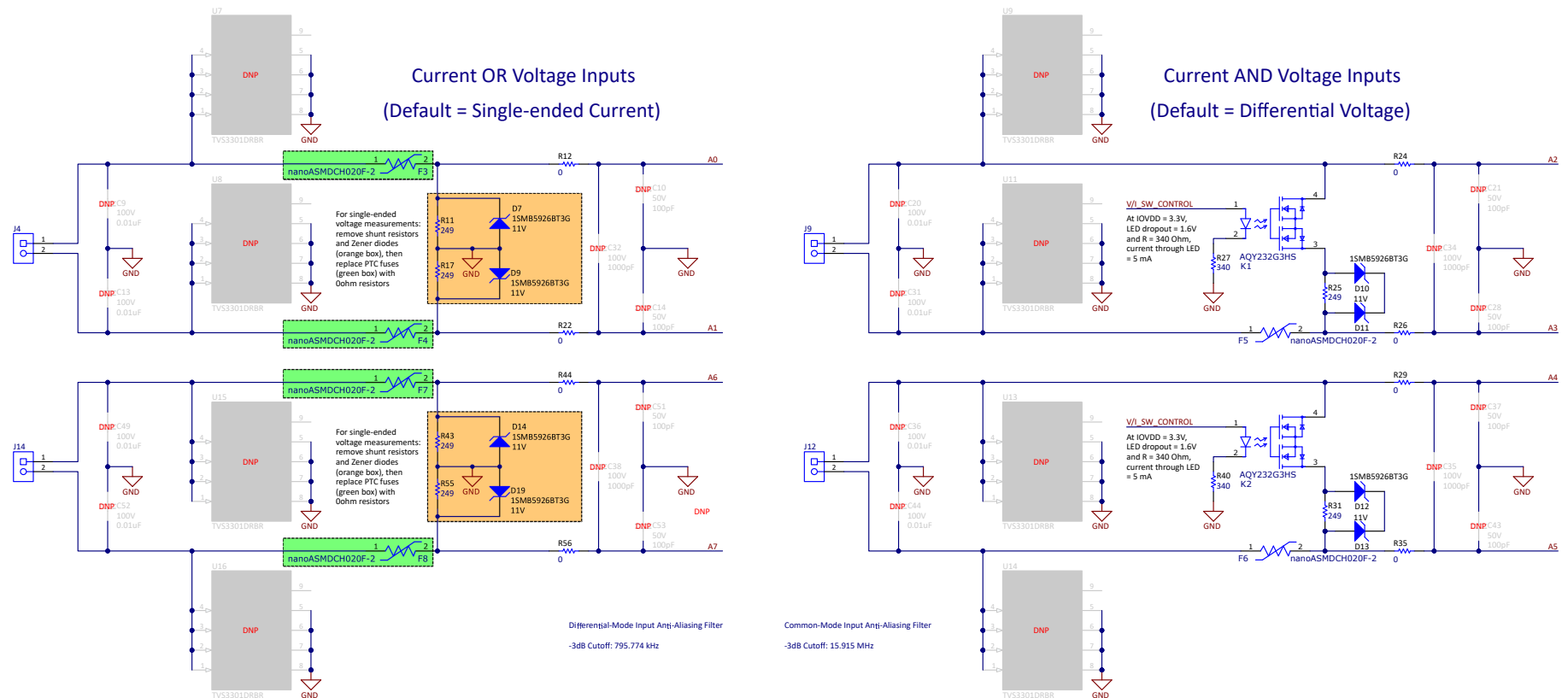


図 5-1. 評価基板のアナログ入力 AIN0 ~ AIN7

Channels AIN8 through AIN15

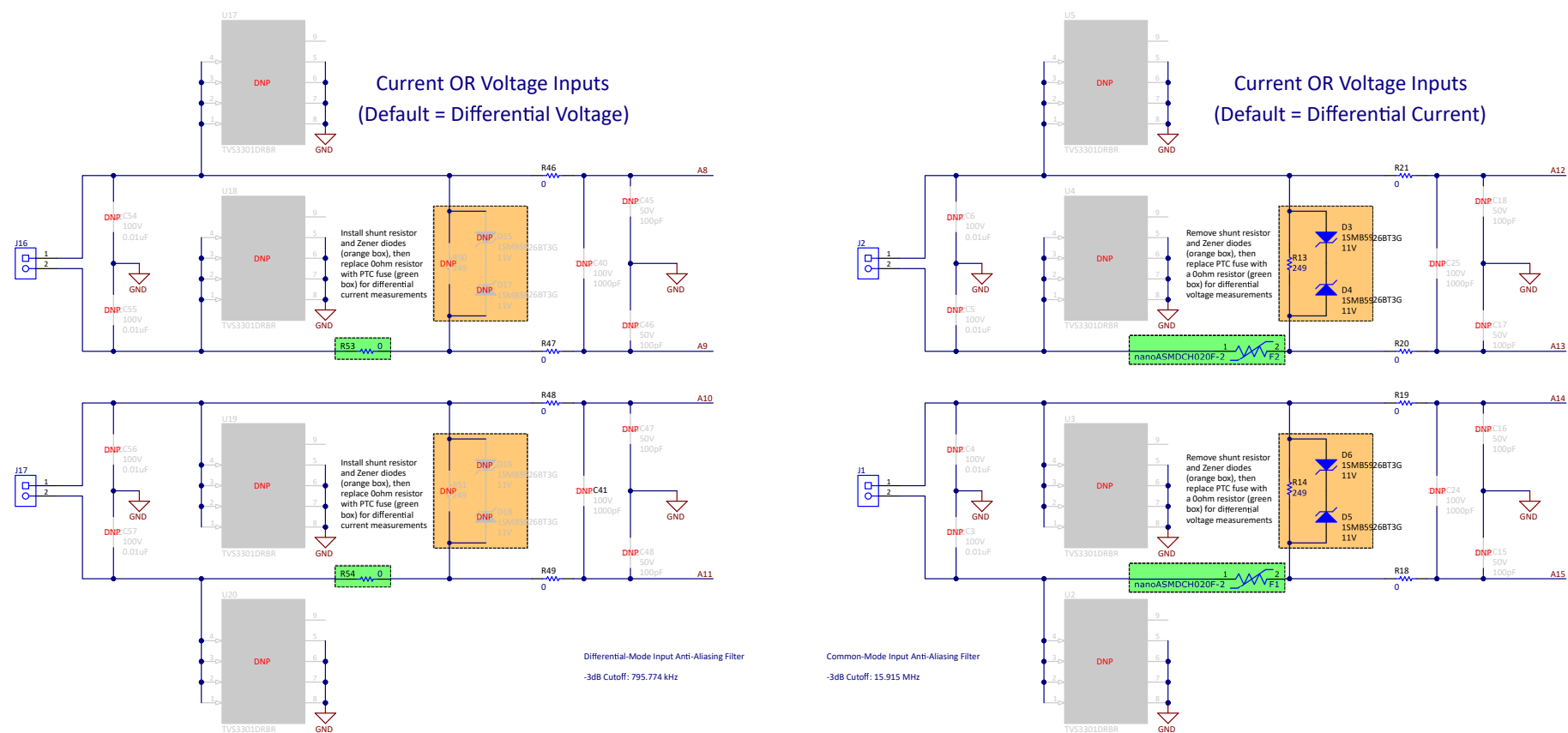


図 5-2. 評価基板のアナログ入力 AIN8 ~ AIN15

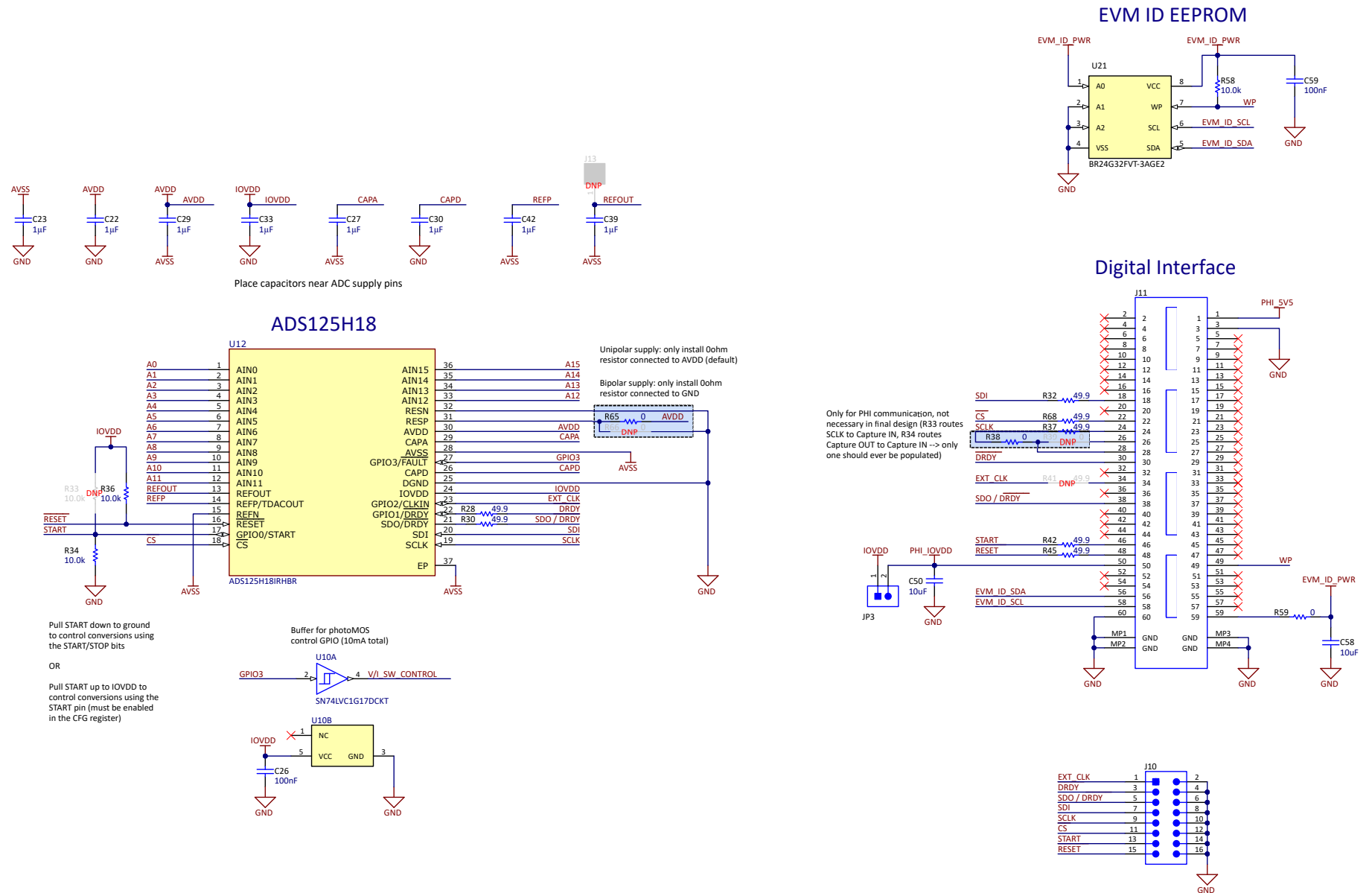


図 5-3. 評価基板 ADC およびデジタル通信回路図

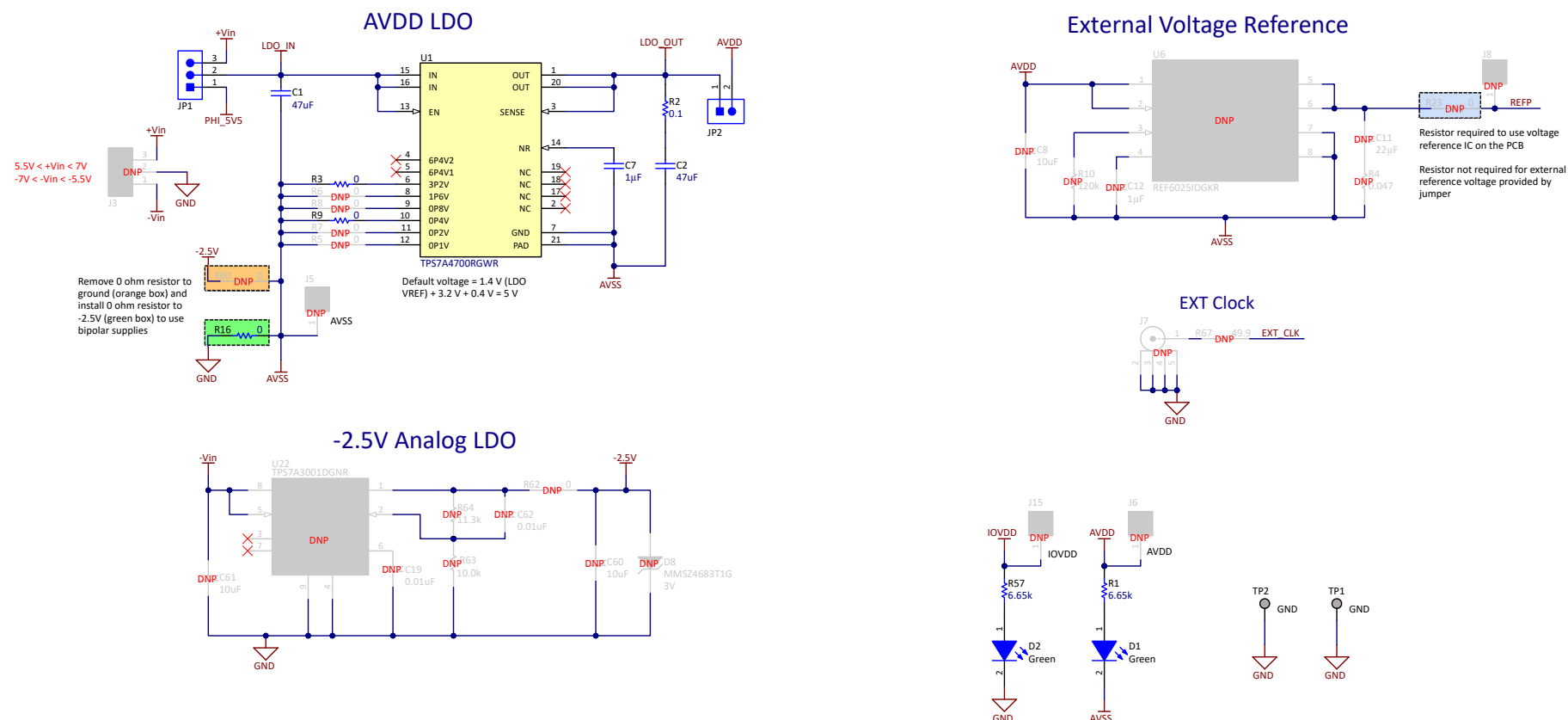


図 5-4. 評価基板の電源、電圧リファレンス、外部クロック回路図

5.2 PCB のレイアウト

図 5-5 ~ 図 5-8 に ADS125H18 評価基板の全 PCB 層のレイアウト図を示します

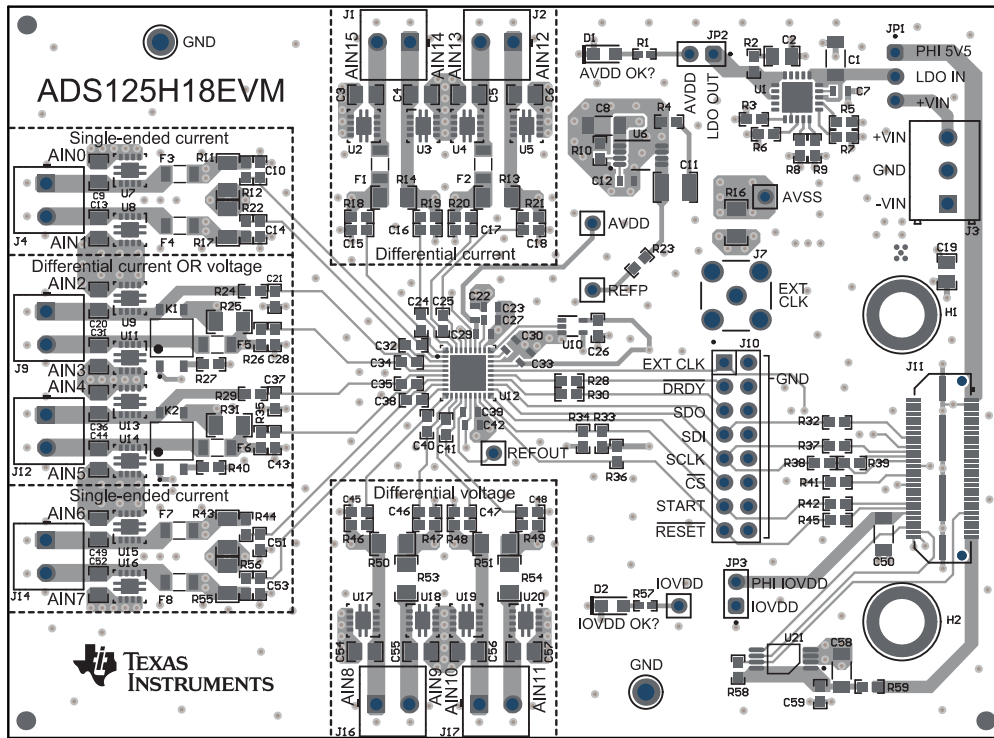


図 5-5. ADS125H18 評価基板 PCB レイアウト — 上面層

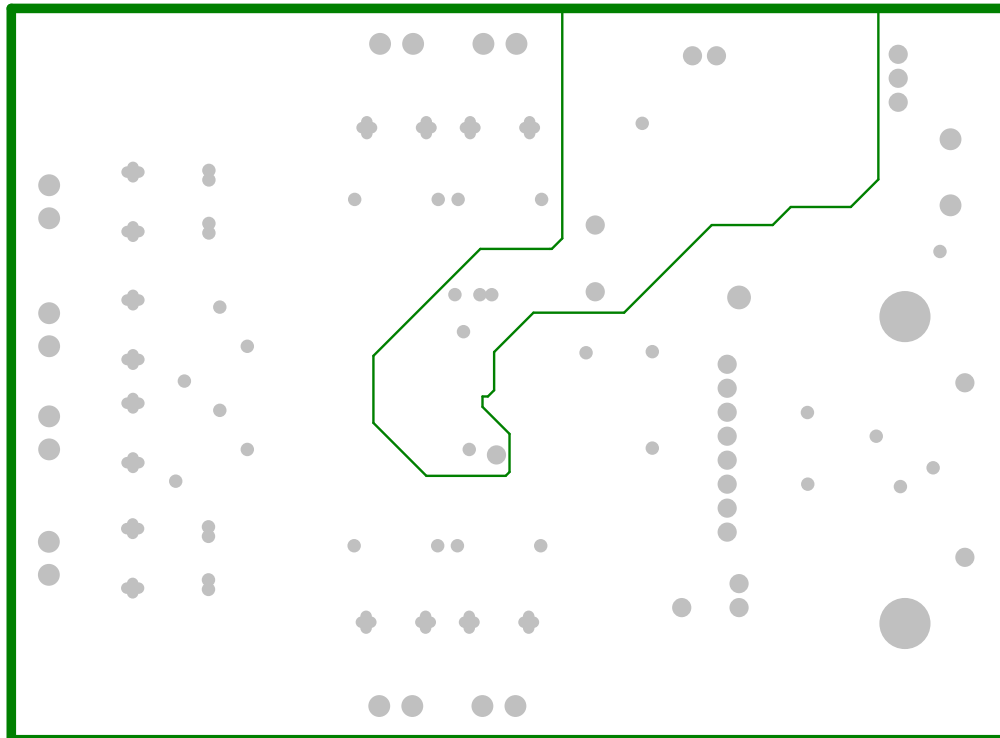


図 5-6. ADS125H18 評価基板 PCB レイアウト — グランド層 1

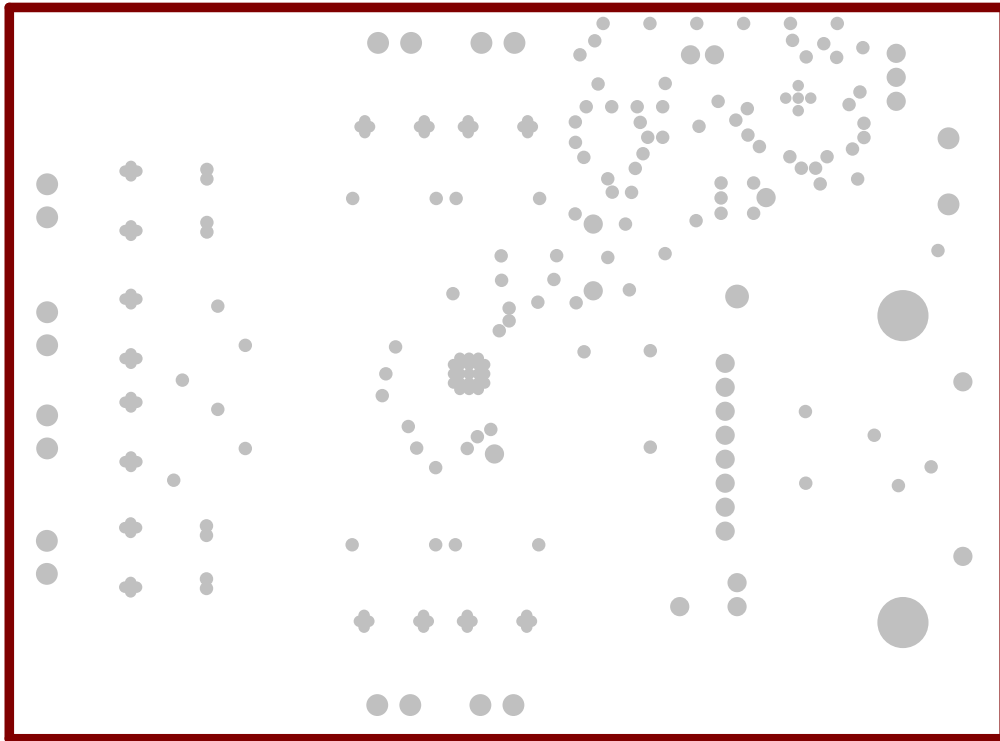


図 5-7. ADS125H18 評価基板 PCB レイアウト — グランド層 2

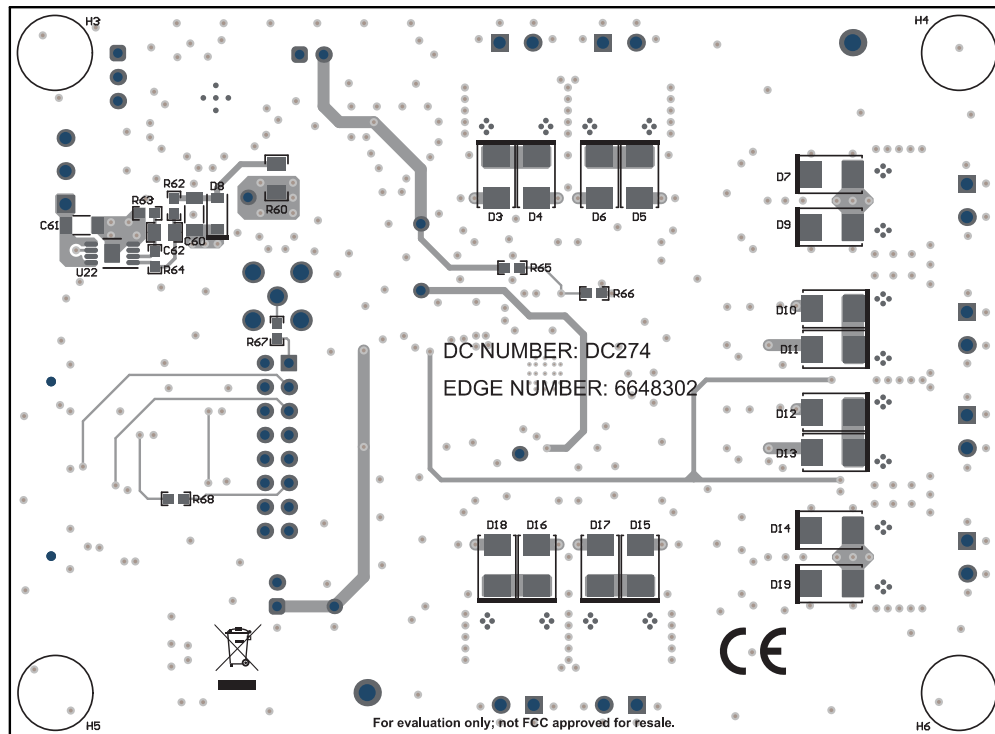


図 5-8. ADS125H18 評価基板 PCB レイアウト — 底面層

5.3 部品表 (BOM)

表 5-1 に ADS125H18 評価基板の部品表 (BOM) 一覧を示します

表 5-1. ADS125H18 評価基板 BOM

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
C1	1	47μF	コンデンサ、セラミック、47uF、25V、±20%、X5R、1206_190	1206_190	C3216X5R1E476M160 AC	TDK
C2	1	47μF	コンデンサ、セラミック、47uF、10V、±20%、X5R、0805	805	C2012X5R1A476M125 AC	TDK
C7、C22、C23、C27、C29、C30、C33、C39、C42	9	1uF	コンデンサ、セラミック、1μF、25V、±10%、X7R、AEC-Q200 グレード 1、0603	603	CGA3E1X7R1E105K08 0AC	TDK
C10、C14、C15、C16、C17、C18、C21、C28、C37、C43、C45、C46、C47、C48、C51、C53	16	100pF	コンデンサ、セラミック、100pF、50V、±5%、C0G/NP0、0603	603	C0603C101J5GAC	Kemet
C24、C25、C34、C35、C40、C41	6	1000pF	コンデンサ、セラミック、1000pF、100V、±5%、C0G/NP0、0603	603	GRM1885C2A102JA01 D	MuRata
C26、C59	2	0.1uF	コンデンサ、セラミック、0.1μF、25V、±5%、X7R、0603	603	C0603C104J3RACTU	Kemet
C50、C58	2	10μF	コンデンサ、セラミック、10uF、25V、±10%、X7R、1206_190	1206_190	C1206C106K3RACTU	Kemet
D1、D2	2	緑	LED、緑、SMD	LED_0805	APT2012LZGCK	Kingbright
D3、D4、D5、D6、D7、D9、D10、D11、D12、D13、D14、D19	12	11V	ダイオード、ツェナー、11V、550mW、SMB	SMB	1SMB5926BT3G	ON Semiconductor
F1、F2、F3、F4、F5、F6、F7、F8	8		ポリマー PTC リセット可能ヒューズ、30V、200mA lh、表面実装 1206 (3216 メートル)、コンケープ	1206	nanoASMDCH020F-2	Littelfuse
FID1、FID2、FID3	3		フィデューシャル マーク。購入または取り付け不要。	該当なし	該当なし	該当なし
H1、H2	2		丸型スタンドオフ M3 スチール 5mm	丸型スタンドオフ M3 スチール 5mm	9774050360R	Würth Elektronik
H3、H4、H5、H6	4		Bumpon、円筒形、0.312 × 0.200、黒	Black Bumpon	SJ61A1	3M
H7、H8	2		ナベ小ねじ、十字ねじ M3		RM3X4MM 2701	APM HEXSEAL
J1、J2、J4、J9、J12、J14、J16、J17	8		端子台、3.5mm、2x1、錫、TH	レセプタクル、3.5mm、2x1、TH	6.91214E+11	Würth Elektronik
J10	1		ヘッド、100mil、8x2、金、TH	8x2 ヘッド	TSW-108-07G-D	Samtec

表 5-1. ADS125H18 評価基板 BOM (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
J11	1		ヘッダ (シールド付き)、19.7mil、30x2、金、SMT	ヘッダ (シールド付き)、19.7mil、30x2、SMT	QTH-030-01L-D-A	Samtec
JP1	1		ヘッダ、100mil、3x1、金、TH	3x1 ヘッダ	TSW-103-07G-S	Samtec
JP2、JP3	2		ヘッダ、100mil、2x1、金、TH	2x1 ヘッダ	TSW-102-07G-S	Samtec
K1、K2	2		リレー SSR、1mA 1.75V DC 入力、2A 60V AC/DC 出力、4 ピン SOP、チューブ	SOP4	AQY232G3HS	Panasonic
R1、R57	2	6.65k	RES、6.65k、1%、0.063W、AEC-Q200 グレード 0、0402	402	CRCW04026K65FKED	Vishay-Dale
R2	1	0.1	抵抗、0.1、1%、0.1W、AEC-Q200 グレード 0、0603	603	ERJ-3RSFR10V	Panasonic
R3、R9、R38、R59、R65	5	0	抵抗、0、5%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW06030000Z0EA	Vishay-Dale
R11、R13、R14、R17、R25、R31、R43、R55	8	249	抵抗、249、0.1%、0.25W、1206	1206	TNPW1206249RBEEA	Vishay-Dale
R12、R18、R19、R20、R21、R22、R24、R26、R29、R35、R44、R46、R47、R48、R49、R56	16	100	抵抗、100、0.1%、0.1W、0603	603	RG1608P-101B-T5	Susumu Co Ltd
R16、R53、R54	3	0	抵抗、0、5%、0.25W、AEC-Q200 グレード 0、1206	1206	ERJ-8GEY0R00V	Panasonic
R27、R40	2	340	抵抗、340、0.1%、0.1W、0603	603	RT0603BRD07340RL	Yageo America
R28、R30、R32、R37、R42、R45、R68	7	49.9	抵抗、49.9、0.5%、0.1W、0603	603	RT0603DRE0749R9L	Yageo America
R34、R36、R58	3	10.0k	RES、10.0k、1%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW060310K0FKEA	Vishay-Dale
SH-J1、SH-J2、SH-J3	3	1x2	シャント、100mil、フラッシュ ゴールド、黒	クローズドトップ 100mil シャント	SPC02SYAN	Sullins Connector Solutions
TP1、TP2	2		端子、タレット、TH、ダブル	Keystone1593-2	1593-2	Keystone
U1	1		36V、1A、4.17μVRMS、RF 低ドロップアウト (LDO) 電圧レギュレータ、RGW0020A (VQFN-20)	RGW0020A	TPS7A4700RGWR	テキサス・インスツルメンツ
U10	1		シングル シュミットトリガ バッファ、DCK0005A、小型 T&R	DCK0005A	SN74LVC1G17DCKT	テキサス・インスツルメンツ
U12	1		ADS125H18V20IRHBR	VQFN36	ADS125H18V20IRHBR	テキサス・インスツルメンツ
U21	1		I2C BUS EEPROM (2 線式)、TSSOP-B8	TSSOP-8	BR24G32FVT-3AGE2	Rohm

表 5-1. ADS125H18 評価基板 BOM (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
C3, C4, C5, C6, C9, C13, C19, C20, C31, C36, C44, C49, C52, C54, C55, C56, C57, C62	0	0.01uF	コンデンサ、セラミック、0.01uF、100V、±1%、C0G/NP0、0805	805	C0805C103F1GACTU	Kemet
C8, C60, C61	0	10μF	コンデンサ、セラミック、10uF、25V、±10%、X7R、1206_190	1206_190	C1206C106K3RACTU	Kemet
C11	0	22uF	コンデンサ、セラミック、22μF、25V、±10%、X7R、1210	1210	CL32B226KAJNFNE	Samsung Electro-Mechanics
C12	0	1uF	コンデンサ、セラミック、1μF、25V、±10%、X7R、AEC-Q200 グレード 1、0603	603	CGA3E1X7R1E105K080AC	TDK
C32, C38	0	1000pF	コンデンサ、セラミック、1000pF、100V、±5%、C0G/NP0、0603	603	GRM1885C2A102JA01D	MuRata
D8	0	3V	ダイオード、ツェナー、3V、500mW、SOD-123	SOD-123	MMSZ4683T1G	ON Semiconductor
D15, D16, D17, D18	0	11V	ダイオード、ツェナー、11V、550mW、SMB	SMB	1SMB5926BT3G	ON Semiconductor
J3	0		端子台、3.5mm、3x1、錫、TH	端子台、3.5mm、3x1、錫、TH	6.91214E+11	Würth Elektronik
J5, J6, J8, J13, J15	0		ヘッダ、100mil、1x1、金、TH	ヘッダ、1x1、2x54mm、TH	HTSW-101-09G-S	Samtec
J7	0		SMA ストレート ジャック、金、50Ω、TH	SMA ストレート ジャック、TH	901-144-8RFX	Amphenol RF
R4	0	0.047	抵抗、0.047、1%、0.1W、AEC-Q200 グレード 1、0603	603	ERJ-L03KF47MV	Panasonic
R5, R6, R7, R8, R23, R39, R62, R66	0	0	抵抗、0、5%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW06030000Z0EA	Vishay-Dale
R10	0	120k	RES、120k、0.1%、0.1W、0603	603	RG1608P-124B-T5	Susumu Co Ltd
R33, R63	0	10.0k	RES、10.0k、1%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW060310K0FKEA	Vishay-Dale
R41, R67	0	49.9	抵抗、49.9、0.5%、0.1W、0603	603	RT0603DRE0749R9L	Yageo America
R50, R51	0	249	抵抗、249、0.1%、0.25W、1206	1206	TNPW1206249RBEEA	Vishay-Dale
R60	0	0	抵抗、0、5%、0.25W、AEC-Q200 グレード 0、1206	1206	ERJ-8GEY0R00V	Panasonic
R64	0	11.3k	RES、11.3k、1%、0.1W、0603	603	RC0603FR-0711K3L	Yageo

表 5-1. ADS125H18 評価基板 BOM (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
U2、U3、U4、U5、U7、 U8、U9、U11、U13、 U14、U15、U16、U17、 U18、U19、U20	0		33V、双方向フラットクランプ サージ保護デバイス、 DRB0008A (VSON-8)	DRB0008A	TVS3301DRBR	テキサス・インスツルメ ンツ
U6	0		5ppm/°C、高帯域幅バッファ内蔵の高精度電圧リファレンス、 DGK0008A (VSSOP-8)	DGK0008A	REF6025IDGKR	テキサス・インスツルメ ンツ
U22	0		シングル出力高 PSRR LDO、200mA、可変 -1.18 ~ -33V 出 力、-3 ~ -36V 入力、超低ノイズ、8 ピン MSOP (DGN)、-40 ~ 125°C、グリーン (RoHS、Sb/Br フリー)	DGN0008D	TPS7A3001DGNR	テキサス・インスツルメ ンツ

6 追加情報

6.1 商標

すべての商標は、それぞれの所有者に帰属します。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from NOVEMBER 14, 2025 to MARCH 30, 2026 (from Revision * (November 2025) to Revision A (March 2026))		Page
• 「GUI 動作」セクション内のすべてのグラフを更新		22
• 「ADC キャプチャの設定」および「シーケンサの構成」セクションを更新し、GUI のパラメータと手順を明確化		22
• 明確化のために「時間ドメイン表示」セクションを更新し、GUI のスクリーンショットを追加		27
• 明確化のため「評価基板レジスタ設定」セクションを更新		32
• 「評価基板レジスタ設定」を「GUI 動作」セクションの最後に移動		32

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
 - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
 - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
 - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
 - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
 - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 Regulatory Notices:

3.1 United States

3.1.1 Notice applicable to EVMs not FCC-Approved:

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

3.2 Canada

3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・イ

ンスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

-
4. *EVM Use Restrictions and Warnings:*
 - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
 - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
 - 4.3 *Safety-Related Warnings and Restrictions:*
 - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
 - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
 - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
 5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
 6. *Disclaimers:*
 - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
 - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
 7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月