

# EVM User's Guide: SK-AM64 SK-AM64B

## AM64x SK 評価基板 (EVM)



### 説明

AM64B スタータキット (SK) は、次期設計の迅速なプロトタイプ製作を可能にする Sitara™ AM6442 プロセッサをベースとした、低コストでスタンドアロンのテスト / 開発プラットフォームです。このキットでは、有線 (イーサネット) とワイヤレス (2.4GHz と 5GHz) 両方の接続機能、3 個の拡張ヘッダ、複数のブートオプション、フレキシブルなデバッグ機能が利用できます。

### 特長

- ソフトウェア: TI のプロセッサ SDK Linux® / RT Linux カーネル、Yocto ファイルシステム、すぐに実行可能なデモ (Wi-Fi™ を含む)
- 処理機能: 2 個の Arm® Cortex®-A53、4 個の Arm Cortex-R5、2 個の TI PRU\_ICSSG を搭載した AM64x
- ネットワーキング: Wi-Fi (デュアル バンド)、Bluetooth® / Bluetooth Low Energy 5.1、2 個の RJ-45 イーサネット 1000/100Mbps
- コネクティビティ: 1 個の Type A USB 3.1 Gen1 (SuperSpeed)、オンボードの XDS110 JTAG エミュレータ、および micro-USB を経由する 3 個の UART
- 拡張とプロトタイプ製作: 40 ピンの Raspberry Pi (RPi4) HAT、PRU-ICSSG リアルタイム I/O、および複数の TI-MCU (TI のマイコン) ヘッダ
- ストレージ: 2GB LPDDR4
- SK 上にあるブート可能なインターフェイス: 取り外し可能な uSD、USB、16MB OSPI、イーサネット、ユニバーサル非同期レシーバ / トランスミッタ (UART)



このリファレンスデザインは HDMI®技術を採用しています。

## 1 評価基板の概要

### 1.1 はじめに

この評価基板ユーザー ガイドでは、AM64x SKEVM のハードウェア アーキテクチャについて説明します。AM64x プロセッサは、デュアル コアの 64 ビット Arm® Cortex®-A53 マイクロプロセッサ、2 つのデュアル コアの Arm Cortex-R5F マイコン、および Arm Cortex-M4F マイコンで構成されています。

AM64x スタータ キットは、次期設計のプロトタイプ製作の迅速化に役立つスタンドアローンのテスト / 開発プラットフォームです。このキットは有線/ワイヤレス コネクティビティ、3 個の拡張ヘッダ、複数のブート オプション、フレキシブルなデバッグ機能を採用しています。

このスタータ キットは TI の AM64x プロセッサと最適化された機能セットを搭載しており、ユーザーは、イーサネット ベース、USB、シリアルの有線インターフェイスと、2.4GHz/5GHz ワイヤレス通信機能を使用して、商用と産業用のソリューションを開発することができます。ボードの機能を拡張する 3 個の拡張ヘッダ (PRU、MCU、User) に加えて、有線コネクティビティに適した 2 個の 1Gbps イーサネット ポートをオンボード実装しています。UART、I2C、SPI のような標準シリアル プロトコルを使用して、このスタータ キットは通信ゲートウェイとして機能し、他の多数のデバイスと接続することができます。スタータ キットは、標準の USB Type-C ポートから 5V の電力を受け取り、ユーザーが AM64x の R5F コアにアクセスできるようにします。これらのコアの活用により、このデバイスはプログラマブル ロジック コントローラ (PLC) やモーター コントローラ、センサ入力の処理、そしてリアルタイムでの各種周辺装置の管理に最適な選択肢となります。同時に、A53 コアで Linux を実行し、このデバイスをリモートの産業用通信ネットワークの中心的なエンジンとして活用できます。組み込み済みエミュレーション ロジックは、TI の Code Composer Studio™ のような標準的な開発ツールを使用してのエミュレーションとデバッグを可能にします。

#### 注

この評価ボードは量産開始前のリリースであり、量産システムにコピーしてはいけなない既知の問題がいくつかあります。詳細については、[セクション 5.1](#) を参照してください。

カスタム ボードを設計する際、お客様は SK の設計ファイルを再利用し、その設計ファイルを編集する傾向があります。お客様はその代わりに、SOC、メモリ、通信インターフェイスなどの一般的な実装方法をいくつか再利用することもできます。SK は追加機能を搭載しているので、お客様は基板設計要件に合わせて、SK の実装を最適化できます。一方、SK の回路図を最適化する際にカスタム設計にエラーが生じ、機能、性能、信頼性の問題を引き起こす可能性もあります。最適化の際に SK の実装に関しての不明点が残っており、それが設計エラーの原因になる場合があります。最適化と設計に関するエラーの多くは、設計全般で共通点があります。学習内容とデータ シートのピン接続に関する推奨事項に基づき、SK 回路図の各セクション付近に包括的な設計ノート (D-Note)、レビュー ノート (R-Note)、Cad ノート (Cad Note) が追加されています。お客様がこれらを確認してそれらの方針に従うと、エラーを最小限に抑えることができます。設計ダウンロードには、お客様による評価をサポートするための追加ファイルも含まれています。

### 1.2 キットの内容

AM64B SKEVM の主な機能は以下のとおりです。

- AM64x SoC、メモリ、ブート インターフェイス、オンボード JTAG、および電源回路を搭載。
- ハードウェア アドオン ボードに対応する汎用拡張インターフェイスを搭載。
- ドーター カードを使用せずにスタンドアローン モードで動作。
- USB Type-C コネクタを使用した電源入力。
- 2 つのギガビット イーサネット ポートおよび 1 つの USB 3.0 Type-A を介した外部通信。
- Type-A USB ホスト コネクタで終端された USB 3.0 高速インターフェイス。
- Wi-Fi と Bluetooth の両方に対応する Wi-link WL1837 モジュール。
- オプションとして、ドーター カードに必要な電力を供給 (3V3 では 500mA、5V レールでは 155mA に制限)。

AM64x システム オン チップ (SoC):

- AM64x は、Sitara のギガビット TSN 対応 PRU-ICSS のインスタンスを 2 つ搭載しており、さらに最大 2 つの Arm Cortex-A53 コア、最大 4 つの Cortex-R5F MCU、および 1 つの Cortex-M4F MCU を搭載しています。この SoC は、ソケットなしで PCB に半田付けされています。

## メモリ

- 最大 1600MT/s のデータレートをサポートする 2GB DDR4
- UHS-1 対応の Micro Secure Digital (SD) カード
- 512Mbit の OSPI EEPROM
- 512Kbit インタ インテグレートド サーキット (I2C) 基板 ID EEPROM

## 高速インターフェイス:

- テキサス インストルメンツのギガビット イーサネット PHY と接続された 2 個の CPSW ギガビット イーサネット (RGMII) ポート
- データ転送のために USB Type-A コネクタで終端された 1 つの USB 3.0 ホスト インターフェイス

## 拡張バス:

- 3 つの拡張コネクタ (0.1 インチ間隔で配置された 0.025 平方インチのポスト コネクタを使用)
  - 1 つの Raspberry Pi 互換 40 ピン拡張コネクタを搭載しており、HAT ボードとのシームレスな統合が可能
  - PRG0 インターフェイスへの 1 つの PRU 54 ピンコネクタ
  - 1 つの MCU 28 ピン コネクタ

## デバッグ:

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応
- オンボードと外部エミュレータの間での自動選択 (より優先度が高い)
- CP2105 で提供される Micro-B USB コネクタを介した、USB 回路へのデュアル ポート ユニバーサル非同期レシーバ/トランスミッタ (UART)
- SoC ブート モードのユーザー選択用の 2 つの 8 ビット DIP スイッチ
- SoC GPIO 割り込み用の 1 つのプッシュボタン
- LED。1 つはメイン電源用、1 つは PMIC グッド用、1 つは MCU ドメイン用、1 つは MCU ドメイン GPIO 用、それ以外は 2 つの産業用インターフェイスに接続

## 電源:

- SK-AM64B 評価基板には、USB Type-C コネクタから電力が供給されます。
- LM61460AASQRJRRQ1 レギュレータによって 5V が 3V3 に降圧されます。VCC3V3SYS\_EXT は PMIC への入力電源です。
- TPS6522053RHBR PMIC とスタータ キットに搭載されている他の個別レギュレータが、SoC と他の周辺装置 (LPDDR4、Wi-Fi モジュール、OSPI、クロック バッファ、レベル シフタ、およびロジック ゲート) に必要な電源すべてを供給します。
- 以下の用途に専用のレギュレータも用意されています。
  - テスト オートメーション ヘッド セクションの常時オン回路に電力を供給。
  - SoC の電子ヒューズ プログラミング。
  - XDS110 デバッガ セクション。
  - SoC および 周辺装置用 3V3。
  - イーサネット PHY 用 1V0。
- **推奨電源**
  - CUI Inc. 5V 15W AC/DC 外部壁面取り付けアダプタ - SWC15-S5-NB
  - GlobalTek Inc. 5V 15W AC/DC 外部壁面取り付けアダプタ - WR9QA3000USBC3MNA-CIMR6B
  - ノート PC の Type-C ポート 3021091-01M 経由でボードに電力を供給するための Qualtek USB 2.0 ケーブル C オス型から C オス型への接続用 3.28 インチ シールド ケーブル
- ステータス出力: 電源のステータスを示す LED

## コンプライアンス:

- RoHS に準拠
- REACH 準拠

### 1.3 製品情報

SK-AM64B 評価基板 (EVM) は、Sitara AM64x プロセッサの機能を紹介する目的で設計された開発プラットフォームです。このプロセッサは、デュアルコア 64 ビット Arm® Cortex®-A53 マイクロプロセッサ、2 個のデュアルコア Arm Cortex-R5F マイコン、1 個の Arm Cortex-M4F マイコンで構成されています。

この評価基板は、コア AM64x SoC と、高性能動作向けの MT53E1G16D1FW-046 WT LPDDR4 メモリなどの重要なサポート回路を搭載しています。評価基板は、USB Type-C コネクタから電力供給され、安定した電圧レギュレーションを行うための TPS6522053RHBR パワー マネージメント IC、イーサネット インターフェイス用の DP83867IRRGZ イーサネット PHY トランシーバを搭載しています。TI-MCU ヘッド、40 ピンの Raspberry Pi™ HAT ヘッド、ならびに PRU-ICSSG リアルタイム I/O が、拡張とプロトタイプ製作のために用意されています。周辺装置の拡張とシステム接続性のために、Type A USB 3.0、ギガビット イーサネットなどの標準インターフェイスが提供されています。この統合型設計により、産業用オートメーション、ネットワーク機能、その他の組み込み用途向けアプリケーションのプロトタイプ製作をすぐに開始できます。

組み込みのエミュレーション ロジックにより、Code Composer Studio 統合開発環境 (IDE) (CCSTUDIO) のような標準的な開発ツールを使用して、エミュレーションとデバッグを実施できます。

## 2 ハードウェア

### 2.1 評価基板のリビジョンおよびアセンブリ バリエーション

AM64 SK 評価基板のさまざまな PCB 設計リビジョンとアセンブリ バリエーションを、表 2-1 に示します。各 PCB リビジョンは、PCB 上にシルクスクリーンで示されています。各アセンブリ バリエーションは、追加のステッカー ラベルに示されています。表 2-2 に、ボードの既知の問題を示します。

**表 2-1. AM64 SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション**

PCB リビジョン	リビジョンとアセンブリ バリエーションの説明
PROC100E1	AM64 SK 評価基板の最初のプロトタイプ、初期リリース リビジョン。青色のはんだマスクを使用。Sitara™ AM6442 MPU を実装。
PROC100E2	AM64 SK 評価基板の初回量産リリース。白色のはんだマスクを使用。Sitara AM6442 MPU を実装。
PROC100E3	SK-AM64 評価基板の量産リリース。赤色のはんだマスクを使用。2 つの PMIC パワー ソリューションを使用して Sitara AM64x MPU を実装。
PROC100E4	SK-AM64 評価基板のプロトタイプ リビジョン。緑色のはんだマスクを使用。単一の PMIC パワー ソリューションを使用して Sitara AM64x MPU を実装。
PROC100A	SK-AM64B 評価基板の量産リリース。赤色のはんだマスクを使用。単一の PMIC 電源ソリューションを使用して、高度セキュリティとフィールドでのセキュア化対応 (HS-FS) シリコン Sitara AM64x MPU を実装。

**表 2-2. 既知の問題の概要**

ID	重大度	まとめ	影響を受ける HW バージョン	修正方法
1	High	パワー ソリューションが AM64x の電力要件を満たしていない	E1、E2、E3	E4
2	High	AM64x 電圧仕様が満たされていない	E1、E2、E3	E4
3	情報のみ	SDIO デバイスには MMC0 を使用しないこと	E1、E2	E3
4	中	高負荷のベンチマーク測定条件での LPDDR4 のデータレート制限	E1、E2	E3
5	情報のみ	UART コンソールでのジャンク文字	E3	E3A
6	中	テスト パワーダウン信号がフローティング状態	E4	RevA
7	High	uSD ブートが機能しない	E1、E2、E3、E4	RevA

## 2.2 重要な使用上の注意

AM64x スタータキットを使用する前に、このセクションを読んでください。これらの注意事項は、評価中のトラブルをできるかぎり避けることを目的としています。質問がある場合は、E2E に投稿して、説明を依頼してください。

本書後半の「構成」セクションで説明されているブートモードと照らし合わせて、使用するブートメディアを確認します。

AM64x スタータキットは、USB-C ポート経由で電力を供給する必要があります (データまたはディスプレイ代替モードには対応していません)。

AM64x スタータキットの USB-C パワー コントローラは、電力供給ソースとのネゴシエーションシーケンスを想定しており、5V で 3A を供給できるソースが必要です。電力供給ソースがこれらの要件を満たせない場合、AM64x スタータキットの下部にある赤い LED が点灯します。

商用電源電圧から家電製品への電力供給または充電を目的とした古い低コストの 5VDC USB Type-A アダプタには、AM64x スタータキットの USB-C パワー コントローラとのネゴシエーションシーケンスを適切に完了させ、評価基板の電源がオンにならないようにする機能がありません。推奨電源に関するガイドラインは、「電源オン/オフの手順」セクションを参照してください。

**注意** AM64x スタータキットには、40 ピン「ユーザー拡張コネクタ」の 5V0 または 3V3 ピンから電力を供給しないでください。AM64x スタータキットは、拡張ヘッダ経由で電力供給を行うように設計されていません。

**注意** AM64x スタータキットの拡張ヘッダはフェイルセーフではありません。つまり、AM64x スタータキットの電源がオフのときは、拡張ボードが I/O ピンを駆動しないことを意味します。これは AM64x データシートの仕様に違反し、プロセッサやボード上の他の部品を損傷させる可能性があるため、保証の対象となりません。

40 ピンの「ユーザー拡張コネクタ」は、RPI4 40 ピンコネクタで使用されている信号とハードウェア インターフェイスの種類に合わせて設計されており、コミュニティが開発したアドオンボードの大部分をハードウェア レベルで実現しています。一部のより複雑な代替ピン機能は、各 SoC ベンダが独自のピン機能の多重化を決定する性質から、RPI4 に搭載されている機能とは一致しません。

**注意:** 40 ピンの「ユーザー拡張コネクタ」との HAT の互換性を考慮し、AM64x スタータキットに HAT を取り付ける前に、必ず HAT に必要なハードウェア リソースとアクティブ ピンの機能を確認してください。ピン多重化設定では、最初にブートローダーを変更しなければならない場合があります。

### 注意事項: ESD 感受性



静電放電 (ESD) により、機器が損傷し、電気回路の障害を引き起こす可能性があります。ESD は、プリント基板が不適切に取り扱われた場合に発生し、完全な、もしくは断続的な障害の原因となることがあります。

スタータキット評価ボードには、ESD に敏感な電子デバイスが搭載されています。このため、これらのボードを取り扱う際は十分な注意が必要です。SK 評価基板は、テスト エンジニアおよび開発者がすべての ESD 安全対策を適用した、管理されたラボ環境下で使用する必要があります。

予防措置については、以下をご参照ください。

- ユーザーが ESD 保護されたラボ環境で機器を使用していることを確認してください。
- 本製品を取り扱う担当者は、電子技術のトレーニングを受け、適切な技術慣行基準を守る必要があります。
- ESD 防止コート、ESD スリッパ、リストストラップを着用して、それらの用具が肌にしっかりと接触するようにしてください。
- 部品は持ち手または端だけで取り扱ってください。プリント基板やコネクタには触れないでください。
- プリント基板と衣服の接触を避けてください。リストストラップは、身体の ESD 電圧から部品を保護するだけです。衣服の ESD 電圧は依然として損傷を引き起こす可能性があるため、ESD コートを着用してください。

## 2.3 システムの説明

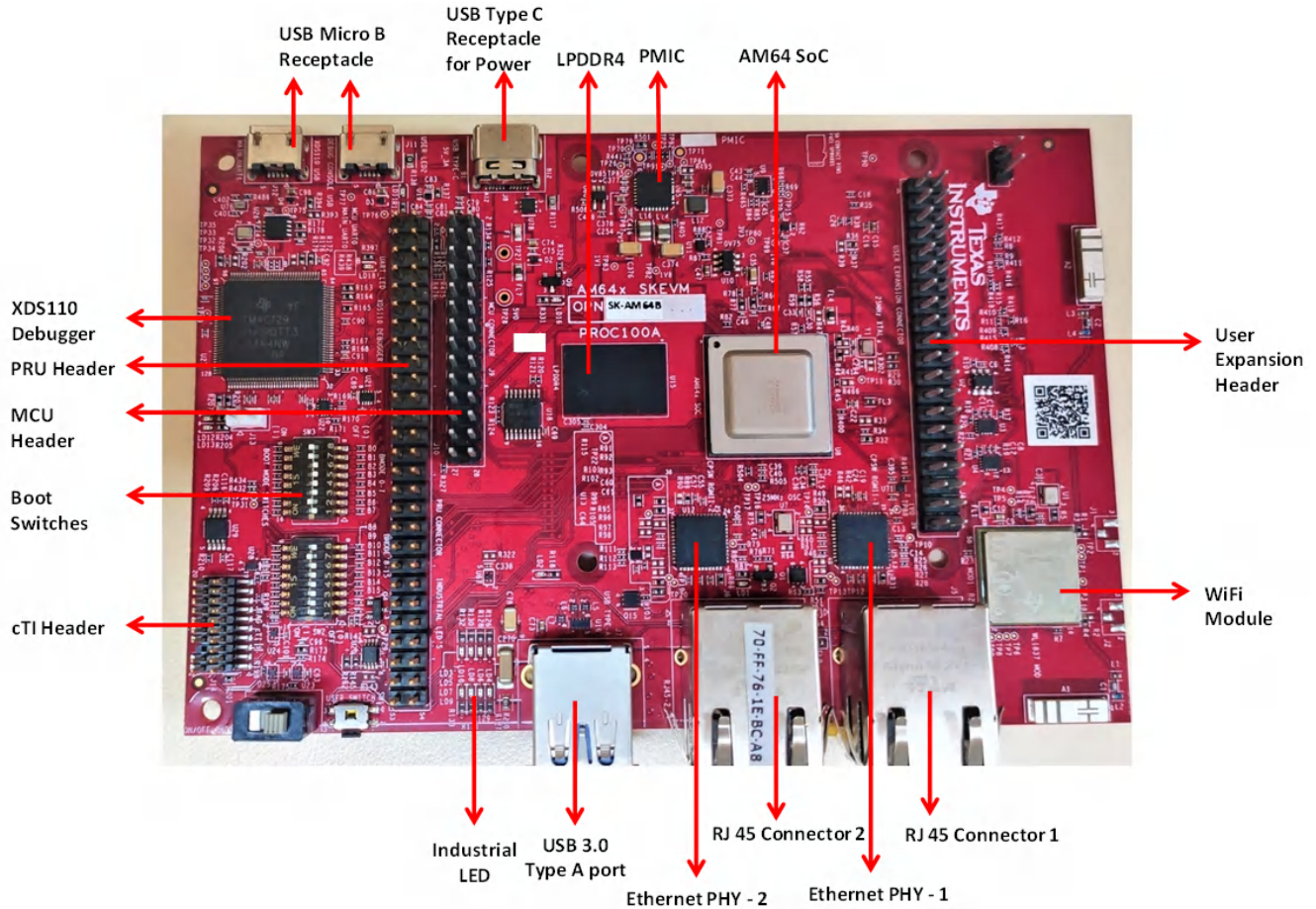


図 2-1. スタートキットプロセッサボードの上面図

注: 2 個の USB Micro-B レセプタクル

J12: XDS110 USB からメイン UART1

J11: デバッグコンソール (MCU UART0 およびメイン UART1)

Test Automation Header

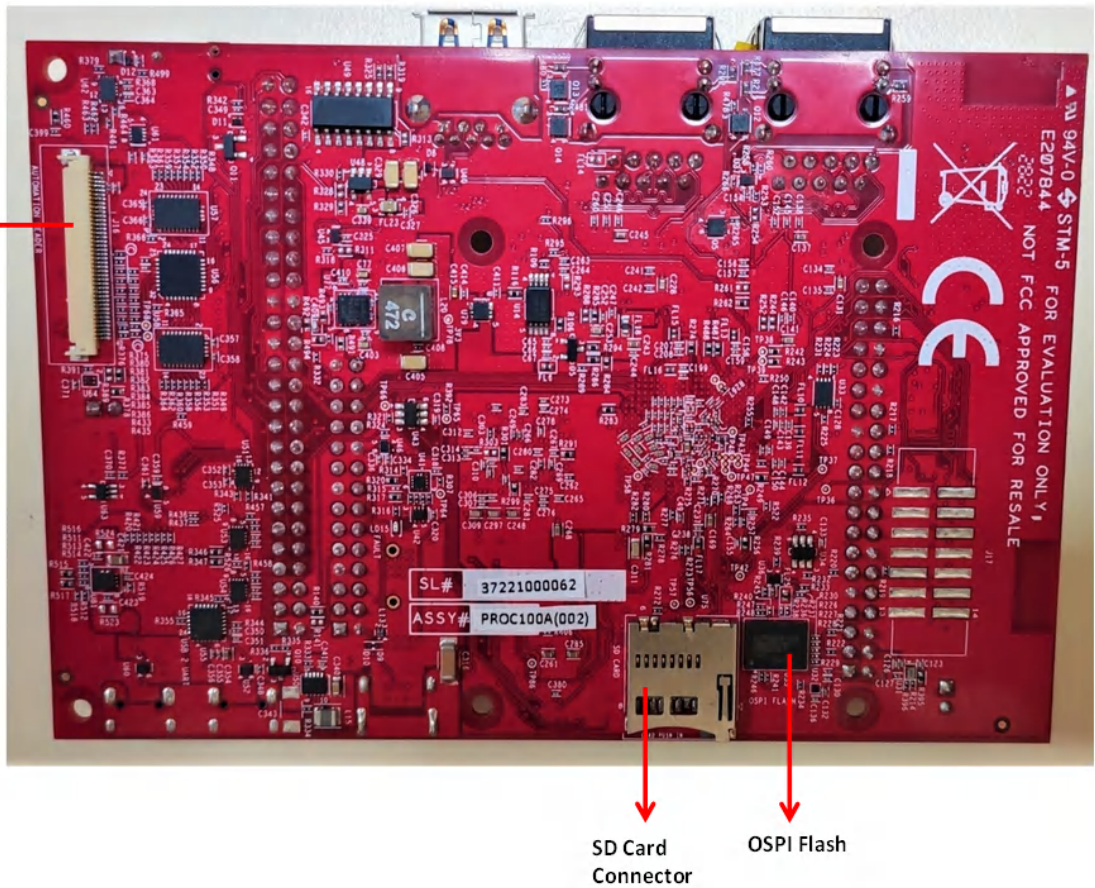


図 2-2. スタータキットプロセッサボードの底面図



### 2.3.1 機能ブロック図

図 2-3 に、AM64x SK 評価基板の機能ブロック図を示します。

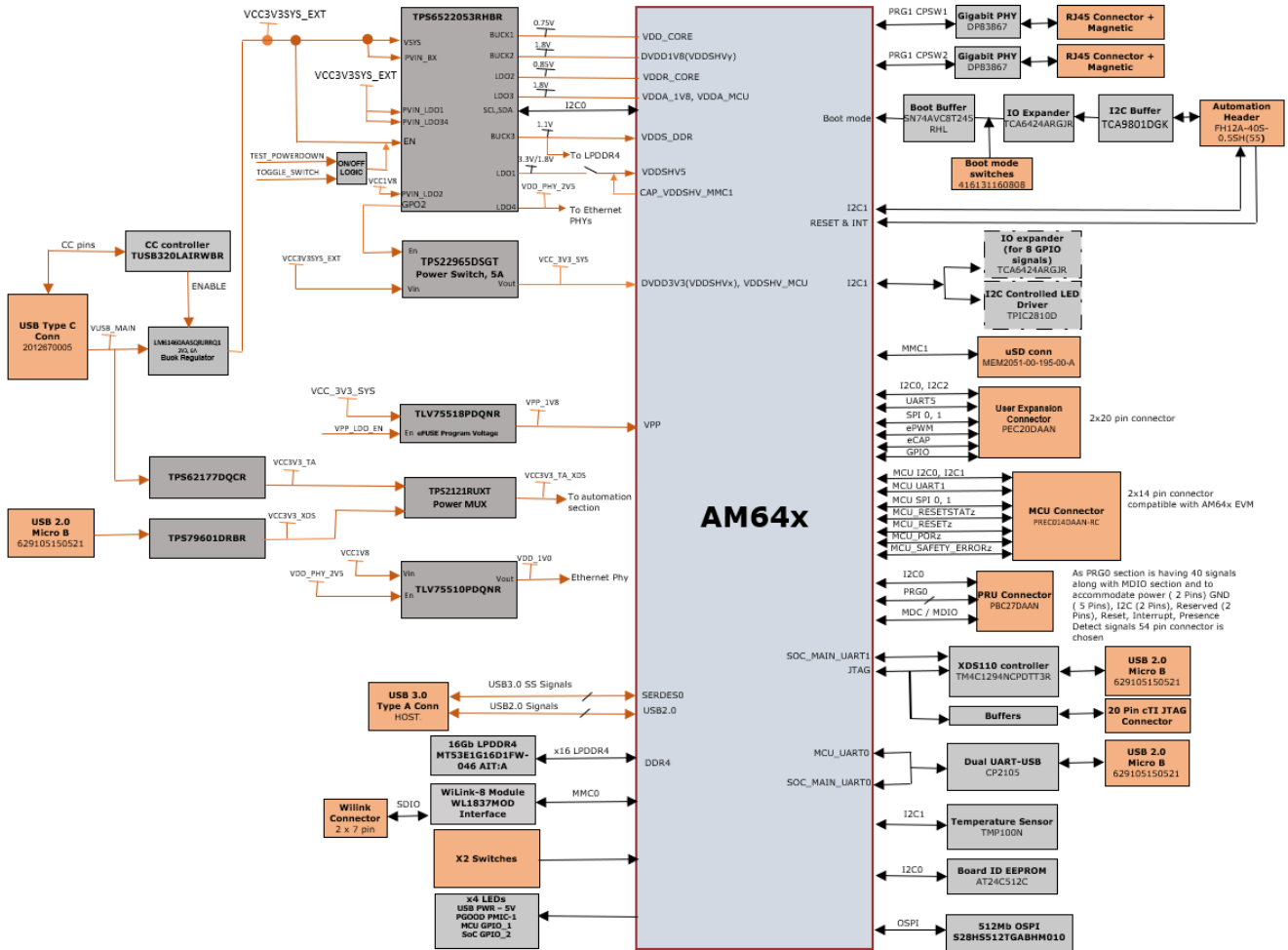


図 2-3. スタートキット プロセッサ ボードの機能ブロック図

## 2.3.2 電源オン/オフの手順

外部 AC/DC コンバータ経由で評価基板に電力を供給することによって、5V、3A (max) DC 電圧が USB Type-C ポートに供給されます。

### 2.3.2.1 電源オンの手順

#### 注

プロセッサ SDK Linux イメージは、デフォルトで対話型のユーザー デモを提供します。ブート後、このボードは SSID **AM64xSK-AP** とパスワード **tiwilink8** を使用するワイヤレス アクセス ポイントとして動作します。接続した後、<http://192.168.43.1:8081> に移動してデモを見つけることができます。詳細については、製品ページにある『ソフトウェア クイック スタート ガイド』を参照してください。

- SK 評価基板ブート スイッチ セレクタ (SW2, SW3) を選択したブート モードに設定します。以下に、SD カードのブートモードとブート無しの場合を示します。その他のオプションについては、[セクション 2.3.3.4.1](#) を参照してください。

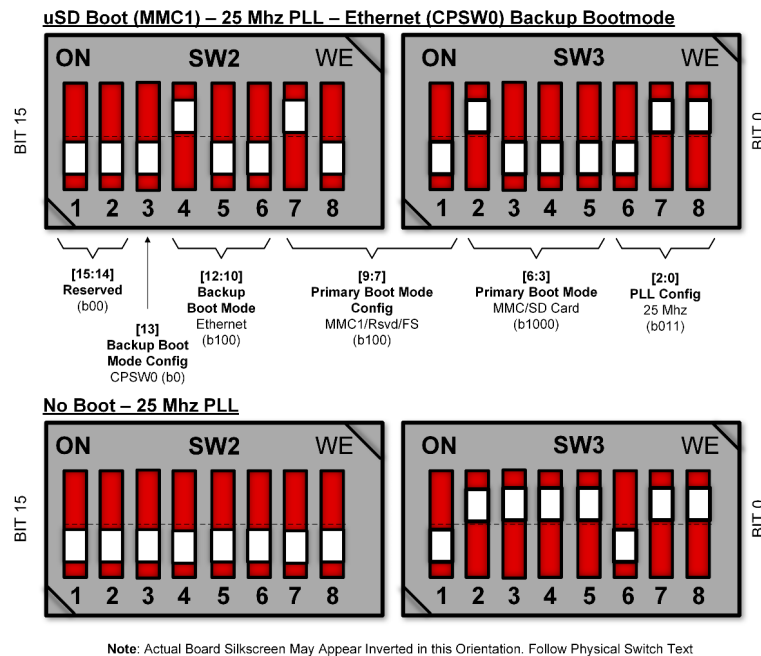


図 2-4. 一般的なブート モード スイッチの位置

- ブートメディアを接続します (該当する場合)。
- 5V USB Type-C ケーブルを、SK 評価基板 Type-C (J8) コネクタに取り付けます。
- Type-C ケーブルのもう一方の端を AC 電源アダプタまたは Type C ソース デバイス (ノートコンピュータなど) に接続します。
- オン/オフ スライド スイッチ SW5 を使用して、ボードの電源をオンにします。
- LED を以下の参考写真と比較して目視で検査します。次の LED が点灯します: 基板上面の LD2 と LD16。

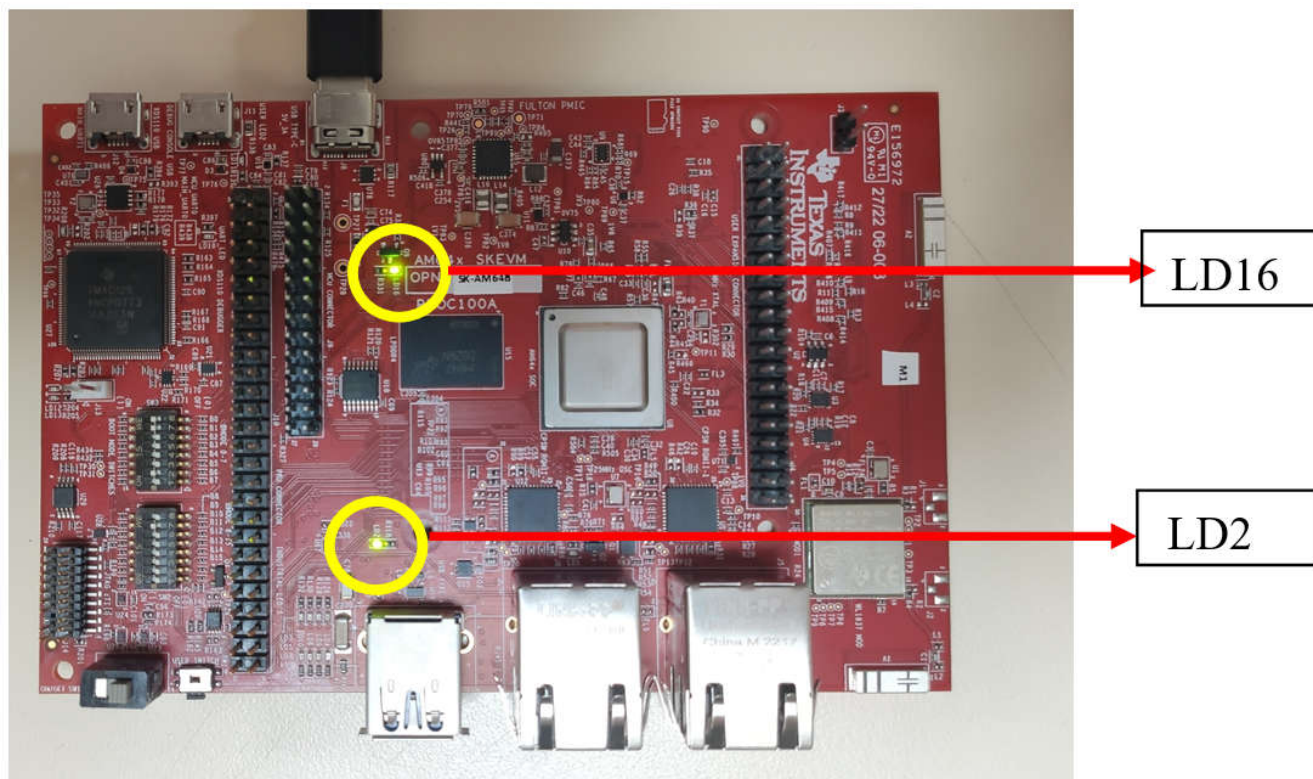


図 2-5. 上面の LED

7. XDS110 JTAG と UART のデバッグ コンソール出力は、それぞれ micro-USB ポート J12 と J11 に接続されています。

注

Linux コンソール出力は、2 番目に数えられる ttyUSB ポートにルーティングされます。

### 2.3.2.2 電源オフの手順

1. オン/オフ スライド スイッチ SW5 を使用して、ボードの電源をオフにします。
2. AC/DC コンバータから AC 電源を切り離します。
3. EVM から USB Type-C ケーブルを取り外します。

### 2.3.3 ペリフェラルと主要コンポーネントの概要

以下のセクションでは、AM64x SK 評価基板のさまざまなインターフェイスと回路の概要について説明します。

### 2.3.3.1 クロック処理

#### 2.3.3.1.1 イーサネット PHY クロック

型番 **LMK1C1103PWR** のクロック バッファが、イーサネット PHY への 25 MHz クロックを駆動するために使用されています。LMK1C1103PWR は 1:3 の LVCMOS クロック バッファで、25MHz 水晶振動子 / LVCMOS リファレンス入力を取り込み、4 つの 25MHz LVCMOS クロック出力を提供します。クロック バッファのソースは、SoC からの **CLKOUT0** ピンまたは 25MHz 発振器 (**ECS-2520MV-250-CN-TR**) のいずれかです。この選択は、抵抗の組み合わせを使用して行うことができます。デフォルトでは、SK-AM64B 評価基板のクロック バッファへの入力として発振器が使用されます。クロック バッファ LMK1C1103PWR の出力 Y2 と Y3 は、SKEVM で 2 つのギガビット イーサネット PHY のリファレンスクロック入力として使用されます。

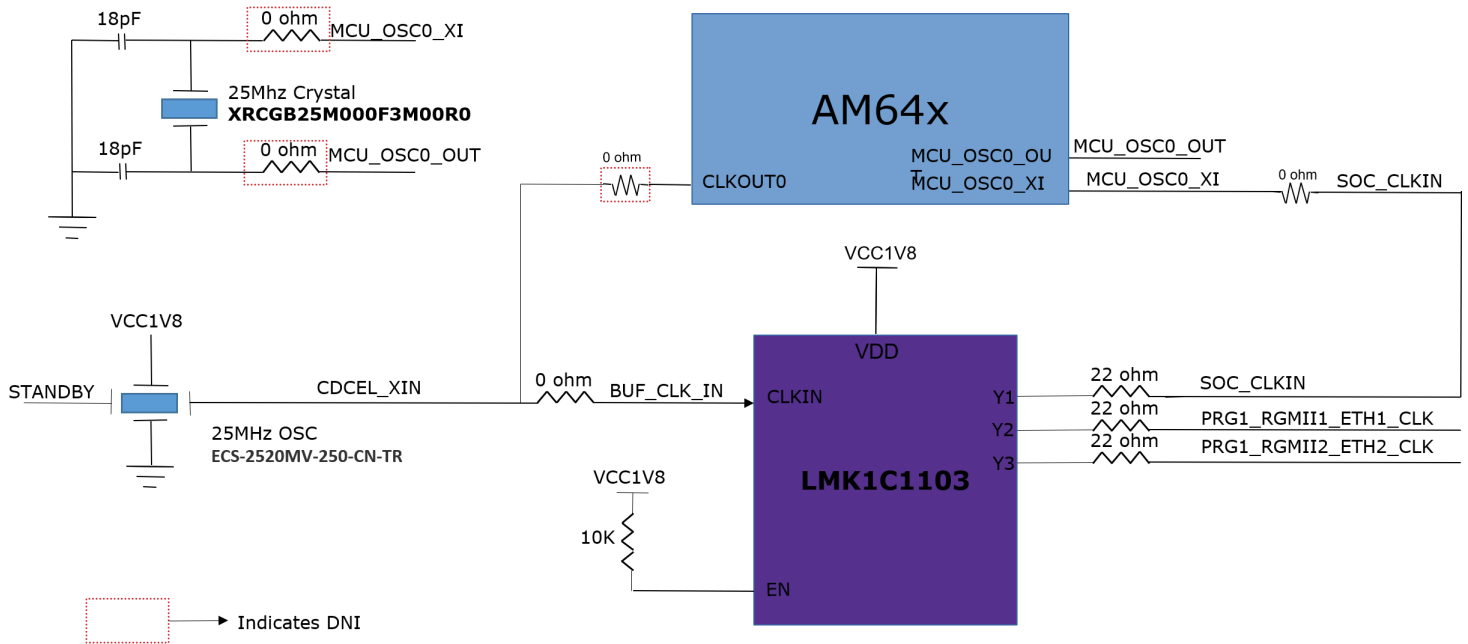


図 2-6. AM64x SK 評価基板のクロック ツリー

#### 注

赤色の矩形でマークされた抵抗は非実装です。

#### 2.3.3.1.2 AM64x SoC クロック

クロック バッファ LMK1C1103PWR からの出力 Y0 は、SKEVM の SoC のリファレンス クロックとして使用されます。SoC を駆動するために、オプションの 25MHz クリスタル (XRCGB25M000F3M00R0) も用意されています。SoC のクロックの選択は、抵抗を使用して行われます。デフォルトでは、クロック バッファ SoC\_CLKIN からの出力が SoC に供給されます。クロックソースの選択については、表 2-3 を参照してください。

表 2-3. SoC クロック ソース

SoC へのクロック ソース	部品番号	マウント	マウント解除し
クロック バッファ	LMK1C1103PWR	R116	R40, R41
25MHz 水晶振動子	XRCGB25M000F3M00R0	R40, R41	R116

#### 2.3.3.2 リセット

AM64x SoC には以下のリセット機能があります。

- RESETSTATz は、メインドメインのウォームリセットステータス出力です。

- PORz\_OUT は、メインおよび MCU ドメインからのパワーオンリセット ステータス出力です。
- MCU\_PORz は、MCU およびメインドメインのパワーオン/コールドリセット入力です。
- MCU\_RESETr は、MCU ドメインのウォームリセット入力です。
- MCU\_RESESTATz は、MCU ドメインのウォームリセット ステータス出力です。

SoC\_PORz 信号は、PMIC の PGOOD 信号と JTAG エミュレータのリセットを論理積して提供されます。MCU\_PORz は、MCU コネクタの CONN\_MCU\_PORz、テストオートメーションコネクタの TEST\_PORzn、および SoC\_PORz を論理積して提供されます。

SoC の MCU ドメインのウォームリセット (MCU\_RESETr) と MCU ドメインのコールドリセット (MCU\_PORz) は、セーフティコネクタからの CONN\_MCU\_RESETr と CONN\_MCU\_PORz のそれぞれによって実行されます。

パワーオンリセット時に、メインドメインに接続されているすべてのペリフェラル デバイスは、[図 2-7](#) に示すように GPIO 制御とともに RESESTATz によってリセットされます。

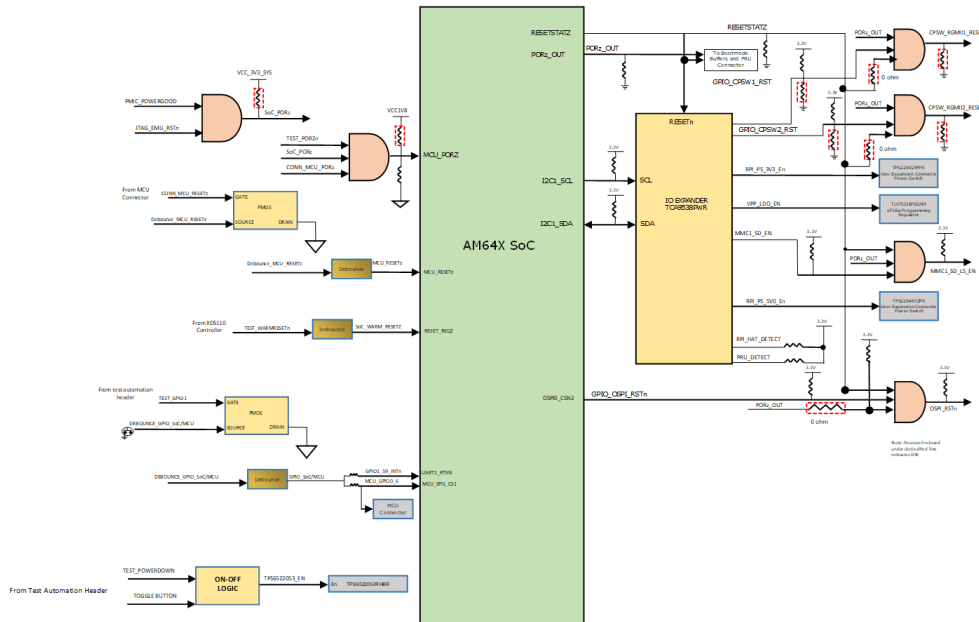


図 2-7. AM64x SK イベントの全体的なリセット アーキテクチャ

### 2.3.3.3 電源

#### 2.3.3.3.1 電源入力

AM64x SK 評価基板は、USB Type-C コネクタから 5V 入力を取得します。以下のセクションでは、SK 評価基板ボード、補助コンポーネント、リファレンス電圧に電力を供給する電源供給回路のトポロジについて説明します。

SK-AM64B 評価基板ボードは、PMIC とわずかなディスクリートレギュレータをベースとする電源ソリューションを搭載しています。電源の初段には、Molex 製の型番 2012670005 の Type-C USB コネクタから 5V が供給されます。このコネクタは、3A の電流定格に対応しており、過電流と電圧サージへの対処に必要な保護回路を備えています。USB コネクタからの 5V 入力 (VUSB\_MAIN) から、スイッチングレギュレータ (型番 LM61460AASQRJRRQ1) を使用して 3.3V (VCC3V3SYS\_EXT) が生成されます。これは、PMIC セクションの入力電源です。PMIC は、SKEVM に必要な電圧を生成します。

基板のパワーオン/パワーダウンシーケンスを開始するためのオン/オフ切り換えスイッチ (型番 AS11AP) が提供されています。このスイッチは、オフ位置の場合は TPS6522053\_EN 有効化信号をグラウンドに接続し、オン位置の場合は PMIC TPS6522053RHBR を有効化し、パワーアップシーケンスを開始します。スイッチがオフ位置にスライドされ、TPS6522053RHBR PMIC の有効化ピンが "Low" になると、パワーダウンシーケンスが開始されます。

さらに、テストオートメーションヘッダーからの TEST\_POWERDOWN も TPS6522053RHBR の PMIC に接続されており、テストオートメーションボード経由で評価基板のオン/オフを制御します。テストオートメーションコネクタには、パワ

ー マルチプレクサから供給される 3.3V 電源が必要です (型番: TPS2121RUXT)。パワー マルチプレクサへの入力、2 つの異なるソースからの 3V3 です。まず、3V3 電源が、LDO を使用して 5V (XDS\_USB\_VBUS) から生成されます (LDO の型番: TPS79601DRBR)。これは、Micro B ケーブルが J12 に接続されている限り生成されます。次に、3V3 入力がスイッチング降圧レギュレータを使用して 5V (VUSB\_MAIN) から生成されます (スイッチング降圧レギュレータの型番: TPS62177DQCR)。これは常時オンのレギュレータであり、USB Type C ケーブルが接続されている限り、必要な電力を供給します。タイプ C ケーブルと Micro B ケーブルの両方を J12 に接続すると、マルチプレクサの優先順位が最初の入力電源 (VCC3V3\_XDS) に設定されます。USB が J12 に接続されていない場合、マルチプレクサ出力は常時オンの電源である VCC3V3\_TA から供給されます。

### 2.3.3.3.2 電源入力用の USB Type-C インターフェイス

AM64x SKEVM には、USB Type-C コネクタから電力が供給されます。USB Type-C ソースは 5V で 3A を供給でき、電流ソーシング能力を CC1 および CC2 信号経由で伝達します。SK 評価基板上で、USB Type-C コネクタからの CC1 および CC2 は、TUSB320LAIRWBR ポートコントローラ IC と接続されています。このデバイスは、CC ピンを使用してポートの接続 / 未接続、ケーブルの方向、役割の検出、Type-C 電流モードのポート制御を判断します。この IC により、Type-C ケーブルが反転して挿入された際に、ピンを交換できます。CC ロジックブロックは、USB ポートが接続されたかどうか、ケーブルの方向、検出された役割を判断するために、CC1 および CC2 ピンのプルアップまたはプルダウン抵抗値を監視します。CC ロジックは、検出された役割に応じて、Type-C 電流モードをデフォルト、中、または高のいずれかとして検出します。PORT ピンは、抵抗を使用してグラウンドにプルダウンされることにより、上向きポート (UFP) モードとして構成します。UFP モードでの正しい接続を判定するため、VBUS 検出が実装されています。ADDR ピンはオープンのままにし、GPIO モードとして構成します。OUT1 および OUT2 ピンは NOR ゲートに接続されています。OUT1 ピンと OUT2 ピンの両方のアクティブ "Low" は、接続状態の高電流 (3A) を伝達します。これにより、VUSB\_MAIN パワー スイッチが VUSB\_PMIC 電源供給を有効化し、1 つの PMIC に電力を供給します。UFP モードでは、TUSB320 デバイスは常に両方の CC ピンにプルダウン抵抗 (Rd) を接続します。TUSB320 デバイスは、接続されている DFP からの Type-C モード電流アダプタイズメントに対応する電圧レベルを検出するため、CC ピンを監視します。TUSB320 デバイスは CC ピンをデバウンス処理し、VBUS が検出されるまで待機してから、接続を成功させます。UFP として、TUSB320 デバイスは、DFP の伝達された電流レベルを検出して、OUT1 および OUT2 GPIO を使用してシステムに通信します。SKEVM の電源要件は、5V で 3A です。ソースが 5V で 3A を供給することができない場合、NOR ゲートの出力は "Low" になり、VUSB\_Main パワー スイッチは無効化されます。したがって、VCC3V3\_TA を除くすべての電源はオフ状態のままになります。このボードは、ソースが 5V で 3A を供給できる場合にのみ完全にオンになります。

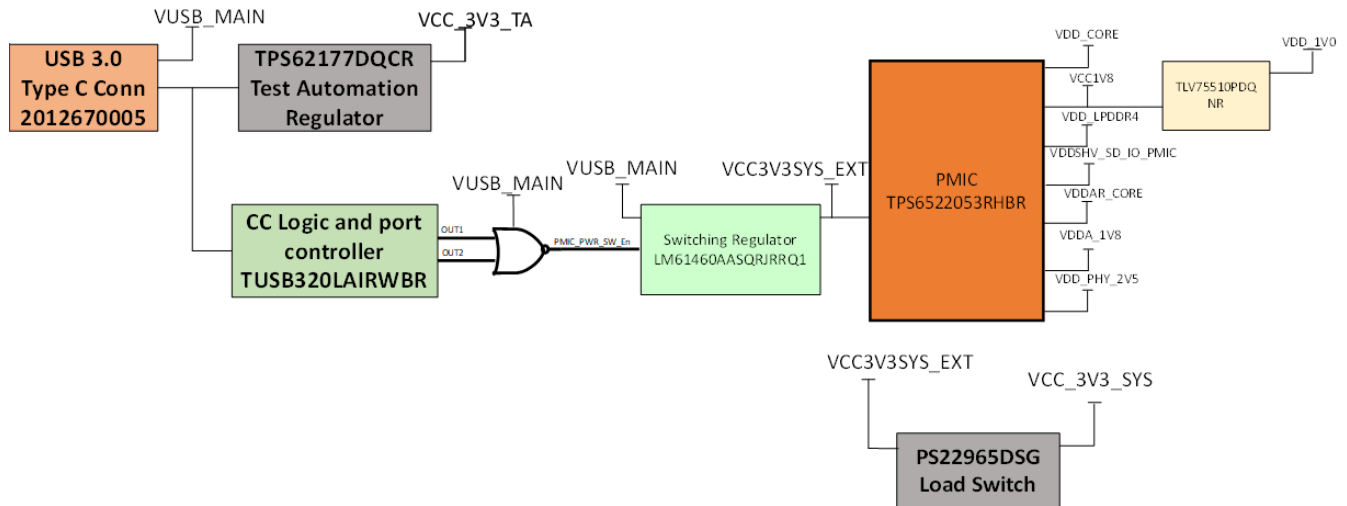


図 2-8. 電源入力用の USB Type-C インターフェイス

表 2-4. 電流ソーシング能力と USB Type-C ケーブルの状態

OUT1	OUT2	広告
H	H	非接続状態でのデフォルト電流
H	L	接続状態でのデフォルト電流

**表 2-4. 電流ソーシング能力と USB Type-C ケーブルの状態 (続き)**

OUT1	OUT2	広告
L	H	接続状態での中電流 (1.5A)
L	L	接続状態での高電流 (3.0A)

### 2.3.3.3.3 電源フォルト表示

赤色の LED LD15 は、USB Type C 構成チャンネル ロジックおよびポート コントローラ IC を使用して、電源のフォルト状態 (電流が 3A 未満など) を示すために使用されます。

**表 2-5. 電源フォルト表示 LED**

LED	ON のステータス	OFF のステータス
LD15	ソースの供給電力が 15W 未満の場合	ソースが必要な 15W 電力を供給している場合

### 2.3.3.3.4 電源

SK-AM64B 評価基板ボードは、1 個の PMIC と 3 個の個別レギュレータを活用して、必要な電圧と電力を SOC、各種メモリ、Wi-link モジュール、ボード上のその他の周辺装置に供給します。SKEVM ボードに供給される電源のプロープポイントを、表 2-6 に示します。

**表 2-6. 電力テスト ポイント**

SI 番号	電源	プローブ ポイント	グラウンド	プローブ ポイント	想定電圧 (V)
上面のポイント					
1	VUSB_MAIN	TP28	DGND	J3.2	5
2	XDS_USB_VBUS	TP75	DGND	J3.2	5
3	VCC_3V3_SYS	TP80	DGND	J3.2	3.3
4	VDDAR_CORE	TP85	DGND	J3.2	0.85
5	VPP_1V8	TP89	DGND	J3.2	0
6	VDD_CORE	TP81	DGND	J3.2	0.75
7	VDD_LPDDR4	TP83	DGND	J3.2	1.1
8	VDD_1V0	TP88	DGND	J3.2	1
9	VCC1V8	TP82 の詳細を示します。	DGND	J3.2	1.8
10	VDD_PHY_2V5	TP87	DGND	J3.2	2.5
11	VDDSHV_SD_IO_PM IC	TP84	DGND	J3.2	3.3
12	VDD_MMC1	C47.1	DGND	J3.2	3.3
13	VBUS_USB_CP2105	TP76	DGND	J3.2	5
14	VCC3V3_XDS	TP74	DGND	J3.2	3.3
15	VDDSHV_SD_IO	TP15	DGND	J3.2	3.3
底面のポイント					
16	VCC3V3SYS_EXT	TP78	DGND	J3.2	3.3
17	VDDA_1V8	TP86	DGND	J3.2	1.8
18	VCC3V3_TA	C340.1	DGND	J3.2	3.3
19	VCC3V3_TA_XDS	C421.1	DGND	J3.2	3.3



表 2-7 は、各電源出力のステータスを積極的に確認するために SKEVM ボード上に配置されたパワー グッド LED の詳細を示しています。図 2-7 に、SK 評価基板のパワー グッド LED を示します。

表 2-7. 電源 LED

SI 番号	電源	LED 部品リファレンス
1	VCC3V3SYS_EXT	LD2
2	VCC_3V3_SYS	LD16
3	VDDAR_CORE	LD16
4	VDDA_1V8	LD16
5	VDD_LPDDR4	LD16
6	VDD_CORE	LD16
7	VCC1V8	LD16
8	VDDSHV_SD_IO_PMIC	LD16
9	VDD_PHY_2V5	LD16
10	VDDA_1V8	LD16
11	VDD_CP2105	LD18

### 2.3.3.3.5 電源シーケンス

図 2-9 は、SK 評価基板上に搭載されたすべての電源のパワーアップおよびパワーダウン シーケンスを示しています。

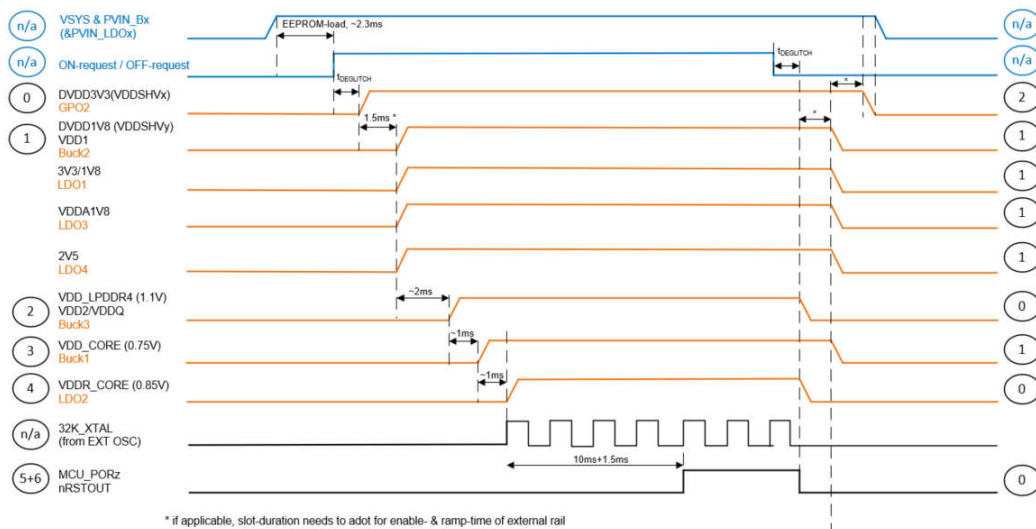


図 2-9. パワーアップおよびパワーダウン シーケンシング

### 2.3.3.3.6 電源

AM64x SoC の SoC コア電圧 (VDD\_CORE) は 0.75V に設定されています。SoC アレイ コア電圧 (VDDR\_CORE) とその他のアレイ コア電圧 (VDDA\_0P85\_SERDES0\_C、VDDA\_0P85\_SERDES0、VDDA\_0P85\_USB0、VDD\_DLL\_MMC0、および VDD\_MMC0) は、0.85V に構成されており、共通レールから電力を供給されます。

SoC には異なる IO グループがあります。各 IO グループには、表 2-8 に示すように、特定の電源から電力供給されます。

表 2-8. SoC 電源

SI 番号	電源	SoC 電源レール	IO 電源グループ	電源
1	VDDAR_CORE	VDDA_0P85_SERDES0	SERDES0	0.85
		VDDA_0P85_SERDES0_C		0.85
		VDDA_0P85_USB0	USB0	0.85
		VDD_MMC0	MMC0	0.85
		VDDR_CORE	CORE	0.85
2	SoC_DVDD3V3	VDDSHV_MCU	MCU	3.3
		VDDA_3P3_USB0	USB0	3.3
		VDDSHV0	総則	3.3
		VDDSHV1	PRG0	3.3
		VDDSHV2	PRG1	3.3
		VDDSHV3	GPMC	3.3
		VMON_3P3_MCU		3.3
		VMON_3P3_SOC		3.3
3	VDDA_1V8_MCU	VDDA_MCU	MCU	1.8
4	VDDA_1V8_SERDES	VDDA_1P8_SERDES0	SERDES0	1.8
5	VDDA_1V8_USB0	VDDA_1P8_USB0	USB0	1.8
6	VDDA_1V8	VDDS_OSC	OSC0	1.8
		VDDA_TEMP_0/1		1.8
		VDDA_PLL_0/1/2		1.8
7	VDDS_DDR	VDDS_DDR	DDR0	1.1
		VDDS_DDR_C		1.1
8	SOC_DVDD1V8	VDDSHV4	フラッシュ	1.8
		VDDS_MMC0	MMC0	1.8
		VMON_1P8_MCU		1.8
		VMON_1P8_SOC		1.8
9	VDDSHV_SD_IO	VDDSHV5	MMC1	3.3
10	VDDS_MMC0/ ADC0_VREFP	VDDS_MMC0	MMC0	0

### 2.3.3.4 構成

#### 2.3.3.4.1 ブートモード

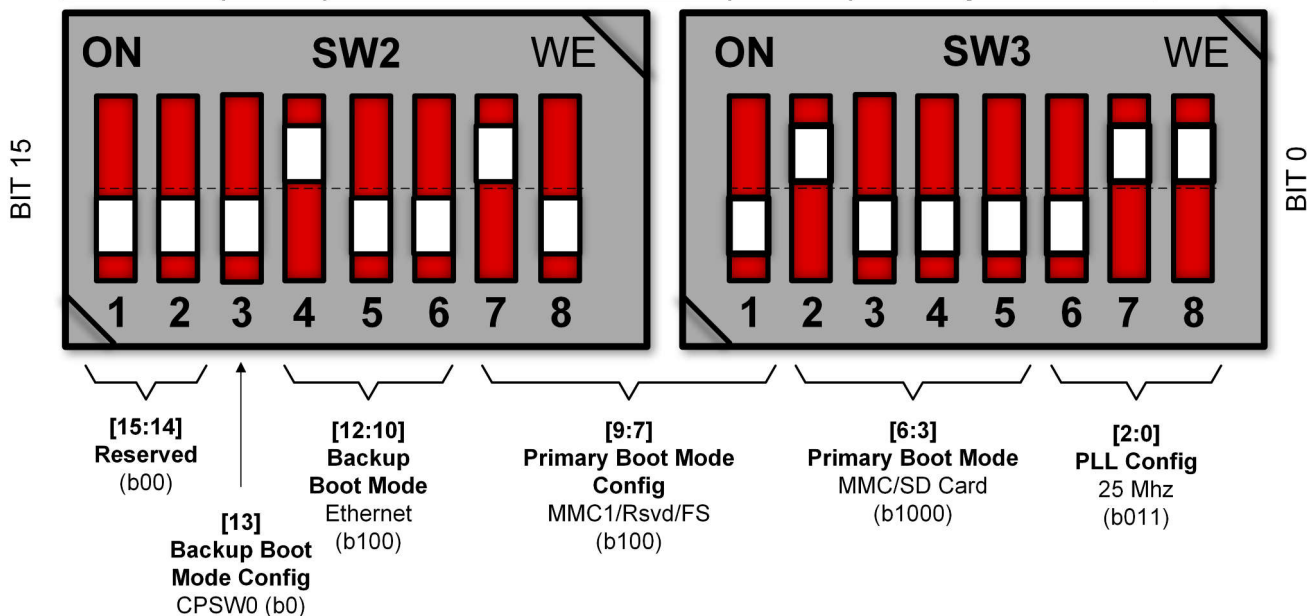
SK 評価基板のブートモードは、SW2 および SW3 の 2 つのスイッチからなる 2 つのバンクによって、もしくは、テストオートメーションコネクタに接続された I2C バッファによって定義されます。これにより、AM64x のブートモードを、ユーザー (DIP スイッチ制御) またはテストオートメーションヘッダによって制御することができます。すべてのブートモードピンには、少なくともプルアップまたはプルダウン抵抗用のフットプリントが必要です。必要なブートモードに対応するために切り換えの必要があるブートモードピンには、低い抵抗値のプルダウン抵抗と、より高い抵抗値のプルアップ抵抗に接続できるスイッチ (Wurth 製の 416131160808) を備えている必要があります。スイッチはオフ位置でプルアップ抵抗を切り離します。スイッチで制御されないブートモードピンについては、プルアップおよびプルダウン抵抗のパッドが含まれています。AM64x のさまざまなブートモードは、8 ビットの DIP スイッチを使用してユーザーが制御する必要があります。SK 評価基板は以下のブートモードに対応しています:

- OSPI
- MMC1 - SD カード
- CSPW イーサネット
- USB デバイス

SoC のブートモードピンは、通常動作時には代替機能が関連付けられています。したがって、代替のピン機能に対応するために、バッファ IC を使用しての分離が可能です。バッファの出力は AM64x のブートモードピンに接続され、リセットサイクル中にブートモードが必要な場合に出力が有効になります。バッファへの入力、DIP スイッチ回路と、テストオートメーション回路によって設定された I2C バッファセットの出力に接続されています。テストオートメーション回路がブートモードを制御する場合は、すべてのスイッチを手動でオフ位置に設定する必要があります。ブートモードバッファは、SoC にパワーサイクルが実施されてもブートモードが維持されるように、常時オンの電源から電源供給されます。

図 2-10 および表 2-9 に、デバイスの電源投入前にブートモードを選択するための方法を示します。

#### uSD Boot (MMC1) – 25 Mhz PLL – Ethernet (CPSW0) Backup Bootmode



Note: Actual Board Silkscreen May Appear Inverted in this Orientation. Follow Physical Switch Text

図 2-10. ブートモードスイッチ位置の例

表 2-9. ブートモードのピンマッピング

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
予約済み	予約済み	バックアップブートモードの構成	バックアップブートモード			プライマリブートモードの構成			プライマリブートモード			PLL の構成			

• **BOOT-MODE [0:2]** – PLL 構成のシステムクロック周波数を示します。デフォルトでは、このビットは 25MHz に設定されています。

表 2-10 に、PLL リファレンスクロック選択の詳細を示します。

表 2-10. PLL リファレンスクロックの選択 BOOTMODE [2:0]

SW3.6	SW3.7	SW3.8	PLL REF CLK (MHz)
OFF	OFF	OFF	19.2
OFF	OFF	オン	20
OFF	オン	OFF	24
OFF	オン	オン	25
オン	OFF	OFF	26
オン	OFF	オン	27
オン	オン	OFF	予約済み
オン	オン	オン	PLL が構成されていません (低速バックアップ)

• **BOOT-MODE [3:6]** – これにより、POR 後に、ブート元となる周辺装置やメモリなどに要求されるブートモードを選択するためのプライマリブートモード構成が行われます。表 2-11 に、プライマリブートデバイス選択の詳細を示します。

表 2-11. ブートデバイス選択 BOOT-MODE [6:3]

SW3.2	SW3.3	SW3.4	SW3.5	プライマリブートデバイスの選択
OFF	OFF	OFF	OFF	予約済み
OFF	OFF	OFF	オン	OSPI
OFF	OFF	オン	OFF	QSPI
OFF	OFF	オン	オン	SPI
OFF	オン	OFF	OFF	イーサネット RGMII
OFF	オン	OFF	オン	イーサネット RMII
OFF	オン	オン	OFF	I2C
OFF	オン	オン	オン	UART
オン	OFF	OFF	OFF	MMC / SD カード
オン	OFF	OFF	オン	emmc
オン	OFF	オン	OFF	USB
オン	OFF	オン	オン	予約済み
オン	オン	OFF	OFF	GPMC NOR
オン	オン	OFF	オン	PCIe
オン	オン	オン	OFF	xSPI
オン	オン	オン	オン	ブートなし / デバイスブート

• **BOOT-MODE [10:12]** – プライマリブートデバイスに障害が発生した場合に、バックアップブートモード、つまりブート元となるペリフェラル / メモリを選択します。

表 2-12 に、バックアップブートモードの選択の詳細を示します。

表 2-12. バックアップ ブート モードの選択 BOOT-MODE [12:10]

SW2.4	SW2.5	SW2.6	バックアップ ブート デバイスの選択
OFF	OFF	OFF	なし (バックアップ モードなし)
OFF	OFF	オン	USB
OFF	オン	OFF	予約済み
OFF	オン	オン	UART
オン	OFF	OFF	イーサネット
オン	OFF	オン	MMC/SD
オン	オン	OFF	SPI
オン	オン	オン	I2C

• BOOT-MODE [9:7] – これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。

表 2-13 に、プライマリ ブート メディアの構成の詳細を示します。

表 2-13. プライマリ ブート メディアの構成 BOOT-MODE [9:7]

SW2.7	SW2.8	SW3.1	ブート デバイス
	予約済み		予約済み
速度	入力クロック	チップ選択	OSPI
予約済み	入力クロック	チップ選択	QSPI
予約済み	モード	チップ選択	SPI
クロック出力	遅延	リンク ステータス	イーサネット RGMII
クロック出力	クロック ソース	予約済み	イーサネット RMII
バスリセット	予約済み	アドレス	I2C
	予約済み	予約済み	UART
ポート	予約済み	サンプリング周波数 / 生データ	MMC/SD カード
	予約済み	電圧	eMMC
予約済み	モード	レーン スワップ	USB
	予約済み		予約済み
	予約済み		GPMC NOR
	予約済み	クロック処理	PCIe
速度	ピン Cmd	チップ選択	xSPI
	予約済み	なし / デバイス	ブートなし / デバイスブート

• BOOT-MODE [13] – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。スイッチ SW2.6 をオンにすると 1 が設定され、オフにすると 0 が設定されます。各デバイスの TRM を参照してください。

• BOOT-MODE [14:15] – 予約済み。

表 2-14 にバックアップ ブート メディア構成のオプションを示します。

表 2-14. バックアップ ブート メディア構成 BOOT-MODE [13]

SW2.3	ブート デバイス
予約済み	なし
モード	USB
予約済み	予約済み
予約済み	UART
IF	イーサネット
ポート	MMC/SD

表 2-14. バックアップ ブート メディア構成 BOOT-MODE [13] (続き)

SW2.3	ブートデバイス
予約済み	SPI
予約済み	I2C

### 2.3.3.5 JTAG

オプションとして、SKEVM の JTAG インターフェイスは、20 ピンの標準 JTAG cTI ヘッダ (J14) を通じて提供されます。これにより、外部 JTAG エミュレータに接続することができます。電圧変換バッファは、cTI ヘッダの JTAG 信号を評価基板の他の部分から分離するために使用されます。XDS110 セクションと cTI ヘッダ セクションの電圧変換器の出力はマルチプレクサによって切り換えられ、SoC の JTAG インターフェイスに接続されます。存在検出回路を使用して cTI 20 ピン JTAG コネクタへの接続が検出されると、マルチプレクサはオンボード エミュレーション回路の代わりにこの 20 ピン信号を AM64x にルーティングするように設定されます。

表 2-15 に、cTI 20 ピン JTAG コネクタ J14 のピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護 (型番 TPD4E004) が提供されています。TPD4E004 は、IEC 61000-4-2 で規定されている最大  $\pm 15\text{kV}$  の人体モデル (HBM) の ESD パルスから保護し、 $\pm 8\text{kV}$  の接触放電と  $\pm 12\text{kV}$  のエアギャップ放電を提供します。cTI 20 ピン コネクタのピン配列の詳細については、表 2-15 を参照してください。

表 2-15. cTI 20 ピン コネクタ (J14) のピン配列

ピン番号。	信号	ピン番号。	信号
1	JTAG_TMS	11	JTAG_cTI_TCK
2	JTAG_TRST#	12	DGND
3	JTAG_TDI	13	JTAG_EMU0
4	JTAG_TDIS	14	JTAG_EMU1
5	VCC_3V3_SYS	15	JTAG_EMU_RSTN
6	NC	16	DGND
7	JTAG_TDO	17	NC
8	SEL_XDS110_INV	18	NC
9	JTAG_cTI_RTCK	19	NC
10	DGND	20	DGND

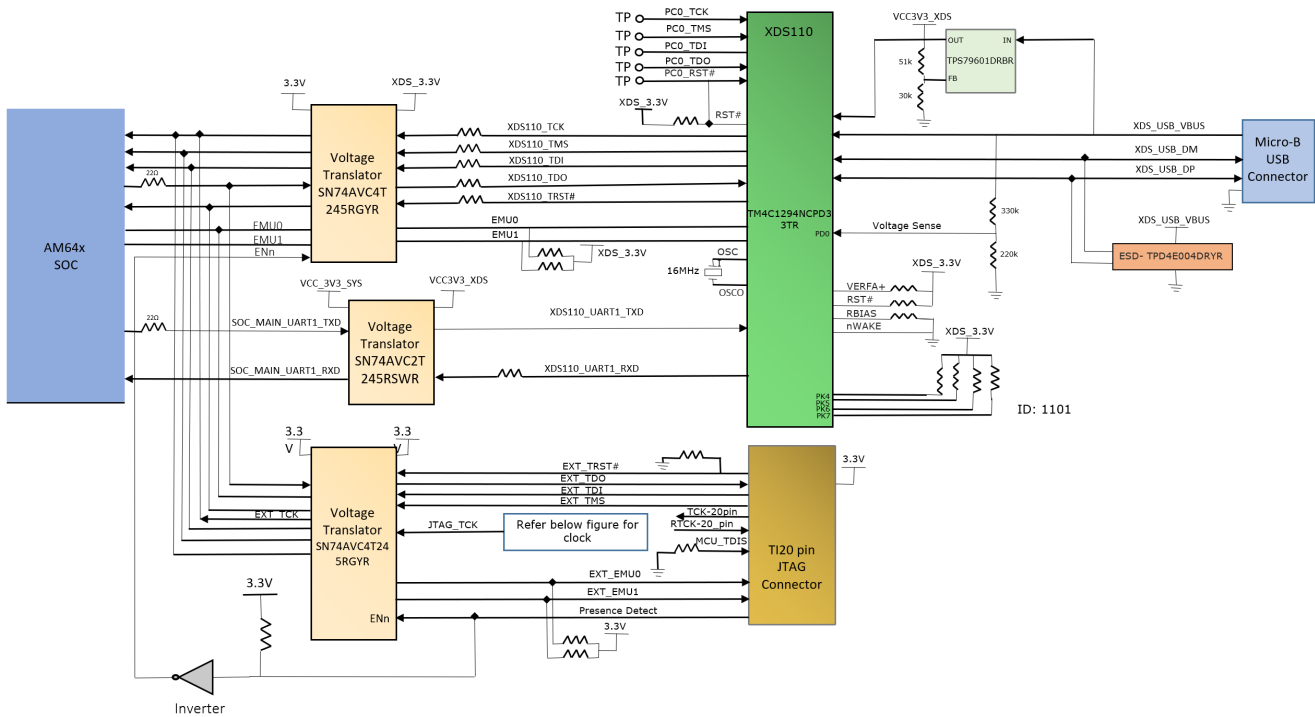


図 2-11. JTAG インターフェイス

SKEVM ボードは、XDS110 クラスのオンボード エミュレーション機能と、テストオートメーション ヘッドを搭載しており、TI のソフトウェア ビルドの社内テストに対応しています。エミュレータの接続には USB 2.0 micro-B コネクタ (J12) が使用され、回路は給電型 USB スレーブ デバイスとして機能します。コネクタからの VBUS 電源はエミュレーション回路に電源として使用されているため、EVM 電源が切り離されてもエミュレータへの接続が失われることはありません。電圧変換バッファは、XDS110 回路を EVM の他の部分から分離するために使用されます。さらに、XDS110 は、同じ USB ポートで UART から USB への信号変換も実施します。フロー制御を使用しない SoC メインドメインの UART1 は、アイソレータ経由で XDS110 UART ポートに接続されています。

### 2.3.3.6 テストオートメーション

SKEVM は、40 ピンのテストオートメーション ヘッド (J16) を搭載しており、パワーダウン、POR、ウォームリセット、ブートモード制御などの基本的な動作を外部コントローラから操作することができます。テストオートメーション ヘッドには、4 つの GPIO と 2 つの I2C インターフェイス (I2C1、ブートモード I2C0) が含まれています。

テストオートメーション回路には電圧変換回路があり、コントローラは AM64x で使用される IO 電圧から絶縁されています。AM64x のブートモードは、ユーザーが DIP スイッチで、もしくは I2C IO エクスパンダを経由してテストオートメーションヘッドで制御する必要があります。

ブートモード バッファは、DIP スイッチまたは I2C IO エクスパンダによって駆動されるブートモード制御を分離するために使用されます。テストオートメーション回路への電力は、パワー マルチプレクサ (TPS2121RUXT) から供給され、その入力電源は、専用レギュレータから生成される VCC3V3\_TA と、LDO (XDS110 デバッグセクション用電源) から生成される VCC3V3\_XDS です。テストオートメーション ヘッド J16 の基本制御は次のとおりです。表 2-16 に、テストオートメーションヘッド信号の詳細を示します。

オプションとして、XDS110 コントローラによってテストオートメーションヘッド機能を実装することもできます。したがって、抵抗オプション (R420、R421、R422、R423、R424、R425、R426、R427、R436、R437、R438 および R439) は、パワーダウン、POR、ウォームリセット、ブートモード制御、GPIO 信号のために使用されます。デフォルトでは、これらの抵抗は実装されておらず、外部コントローラがオートメーションヘッドを使用して基本動作を制御します。XDS110 用のファームウェアを開発が完了したら、上記の抵抗を実装し、次の抵抗 R380、R381、R382、R383、R384、R385、R386、R432、R433、R434、R435 は実装しません。これは、XDS110 マイコンを使用して基本的な動作を制御するためです。

通常の動作を可能にするためには、ブートモード信号に適切な絶縁が必要です。SoC\_I2C [1] は、外部コントローラとの通信のために、テストオートメーションヘッダに接続されています。

テストオートメーションヘッダからの I2C インターフェイスの 1 つは、AM64x のブートモードを制御するためのブートモードバッファに接続され、もう 1 つの I2C インターフェイスは AM64x の I2C1 ポートに接続されます。

表 2-16 に、テストオートメーションヘッダからルーティングされるリセット信号を示します。AM64x のブートモードは、ユーザー、もしくはテストオートメーションヘッダで制御できます。ブートモードは、ユーザーがボード上にある 2 つの個別 8 ポジション DIP スイッチを使って制御されます。スイッチがオン位置に設定されているとき、スイッチはバッファの出力にプルアップ抵抗を接続します。スイッチがオフのときは、低い抵抗値のプルダウン抵抗によって信号が "Low" に保持されます。バッファの出力は AM64x のブートモードピンに接続され、リセットサイクル中にブートモードが必要な場合、およびバッファの入力がテストオートメーション回路で設定された I2C バッファの出力に接続されている場合に、出力が有効になります。

**表 2-16. テストオートメーションヘッダ J16 にルーティングされる信号のリスト**

信号	信号のタイプ	機能
POWER_DOWN	GPIO	すべての回路を電源オフにするように EVM に指示します
PORZn	GPIO	AM64X に PORz を生成します
WARM_RESETh	GPIO	AM64X に RESETz を生成します
GPIO1	GPIO	AM64X との通信用 GPIO
GPIO2	GPIO	AM64X との通信用 GPIO
GPIO3	GPIO	BOOTMODE バッファをイネーブルにするために使用されます
GPIO4	GPIO	ブートモード IO エクスパンダをリセットするために使用されます
Bootmode I2C0	I2C	ブートモード I2C バッファと通信します
I2C1	I2C	AM64x と通信します

テストオートメーション回路がブートモードを制御する場合は、すべてのスイッチを手動でオフ位置に設定する必要があります。ブートモード用に使用されるピンにはそれ以外の機能もあるため、これらの機能は、通常動作時にブートモードバッファを無効化することによって分離されます。図 2-12 に、AM64x とのテストオートメーション信号の接続を示します。



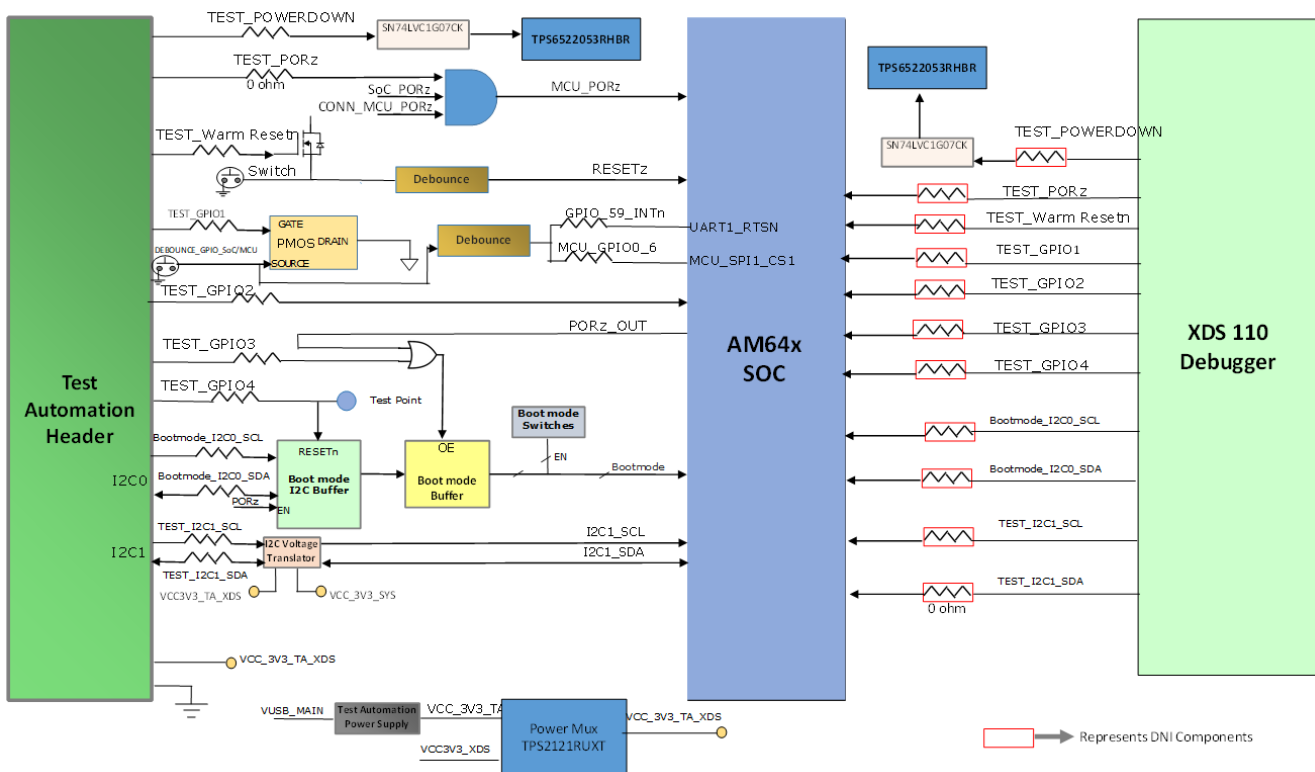


図 2-12. テストオートメーションヘッダー

テストオートメーションヘッダ信号は、オプションで 0Ω 抵抗を經由して XDS110 マイコンに接続されます。デフォルトでは、これらの抵抗は未実装です。

表 2-17. XDS110 に接続されたオートメーションヘッダ信号

TM4C1294 のピン名	信号名
PM0	TEST_POWERDOWN
PM1	TEST_PORZn
PM2	TEST_WARMRESETn
PM3	TEST_GPIO1
PM4	TEST_GPIO2
PM5	TEST_GPIO3
PM6	TEST_GPIO4
PM7	TEST_POWERDOWN
PG0	TEST_PORZn
PG1	TEST_WARMRESETn

表 2-18 に、テスト オートメーション ヘッダ ピンの配置および IO 方向を示します。

**表 2-18. テスト オートメーション ヘッダ (J16) のピン配置**

ピン番号。	信号名	IO 方向 (SoC から見て)
1	VCC3V3_TA	電力 (out)
2	VCC3V3_TA	電力 (out)
3	VCC3V3_TA	電力 (out)
4	NC	該当なし
5	NC	該当なし
6	NC	該当なし
7	DGND	グラウンド
8	NC	該当なし
9	NC	該当なし
10	NC	該当なし
11	NC	該当なし
12	NC	該当なし
13	NC	該当なし
14	NC	該当なし
15	NC	該当なし
16	DGND	グラウンド
17	NC	該当なし
18	NC	該当なし
19	NC	該当なし
20	NC	該当なし
21	NC	該当なし
22	NC	該当なし
23	NC	該当なし
24	NC	該当なし
25	DGND	グラウンド
26	TEST_POWERDOWN	入力
27	TEST_PORZn	入力
28	TEST_WARMRESETn	入力
29	NC	該当なし
30	TEST_GPIO1	双方向
31	TEST_GPIO2	双方向
32	TEST_GPIO3	入力
33	TEST_GPIO4	入力
34	DGND	グラウンド
35	NC	該当なし
36	SOC_I2C1_TA_SCL	双方向
37	BOOTMODE_I2C_SCL	双方向
38	SOC_I2C1_TA_SDA	双方向
39	BOOTMODE_I2C_SDA	双方向
40	DGND	グラウンド
41	DGND	グラウンド
42	DGND	グラウンド

### 2.3.3.7 UART インターフェイス

AM64x に用意された 2 つの UART ポート MAIN\_UART0 および MCU\_UART0 は、2 チャネルの USB から UART ブリッジ (CP2105) に接続され、USB Micro B コネクタ J11 で終端されています。CP2105 の 2 つのポートは、RXD、TXD、RTS、CTS 信号によって MAIN\_UART0 と MCU\_UART0 に接続されます。

USB インターフェイス回路はバス電源構成で使用され、電圧変換器 (SN74AVC4T245) を使用して AM64x の IO を絶縁します。CP2105 には、オンチップの 5V から 3.45V への電圧レギュレータが内蔵されています。これにより、CP2105 を USB バス受電デバイスとして構成できます。電圧レギュレータの出力は VDD ピンに現われ、IO 電源の駆動と、電圧変換器の電源レールの 1 つとして使用できます。CP2105 のコア セクションを動作させるために、内部で同じ VDD を使用します。CP2105 には内蔵クロックも含まれているので、外部水晶振動子は不要です。SOC からの MAIN\_UART0 と MCU\_UART0 は 3.3V IO レベルです。本デバイスは、内部 POR 回路を使用しています。通常動作では、nRST ピンを 10K 抵抗経由で 3V3 電源にプルアップする必要があります。デバイスはバス電源構成で動作するため、内部レギュレータの入力として機能するためには、USB コネクタからの VBUS を CP2105 の REGIN ピンに接続する必要があります。

USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護が提供されています。TPD4E004 は、IEC 61000-4-2 で規定されている最大  $\pm 15\text{kV}$  の人体モデル (HBM) の ESD パルスから保護し、 $\pm 8\text{kV}$  の接触放電と  $\pm 12\text{kV}$  のエアギャップ放電を提供します。図 2-13 に、AM64x のデュアル UART から USB へのブリッジ接続を示します。

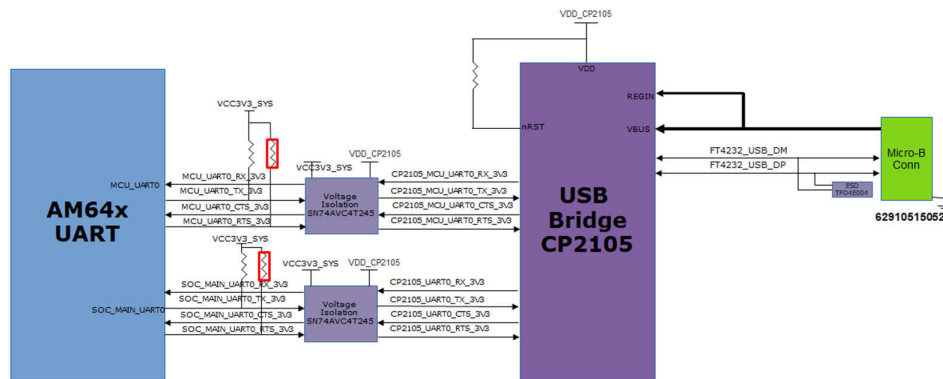


図 2-13. UART インターフェイス

### 2.3.3.8 メモリ インターフェイス

#### 2.3.3.8.1 LPDDR4 インターフェイス

SK 評価基板には、ピンごとに 4226Mbps の動作時データレートの 2GB、16 ビット幅 LPDDR4 メモリが搭載されています。Micron 製の MT53E1G16D1FW-046 WT: A が使用されています。LPDDR メモリはオンボード (シングルチップ) に搭載されており、1.1V で駆動されるため、電力要求が低減されます。LPDDR4 デバイスには、1.1V の I/O 電源とコア 2 電源、1.8V の DRAM アクティブ化電源 (コア 1) が必要です。

LPDDR4 リセットはアクティブ "Low" 信号であり、SoC によって制御され、信号がプルアップされてデフォルトのアクティブ状態が設定されます。プルダウン用のフットプリントも提供されています。240Ω の抵抗が ZQ ピンと 1.1V の LPDDR4 デバイス用電源の間に接続され、SoC DDR0\_CAL ピンは接地されています。

ODT (オンダイ終端) は、DQ、DQS、DM\_n 信号に適用されます。このデバイスは、3 種類の ODT モードを提供できません。規定値、ダイナミック、および終端値付きパーク:RTT (Park)、RTT (NOM)、および RTT (WR)。図 2-14 に LPDDR4 と AM64x 間の DDR インターフェイスを示します。

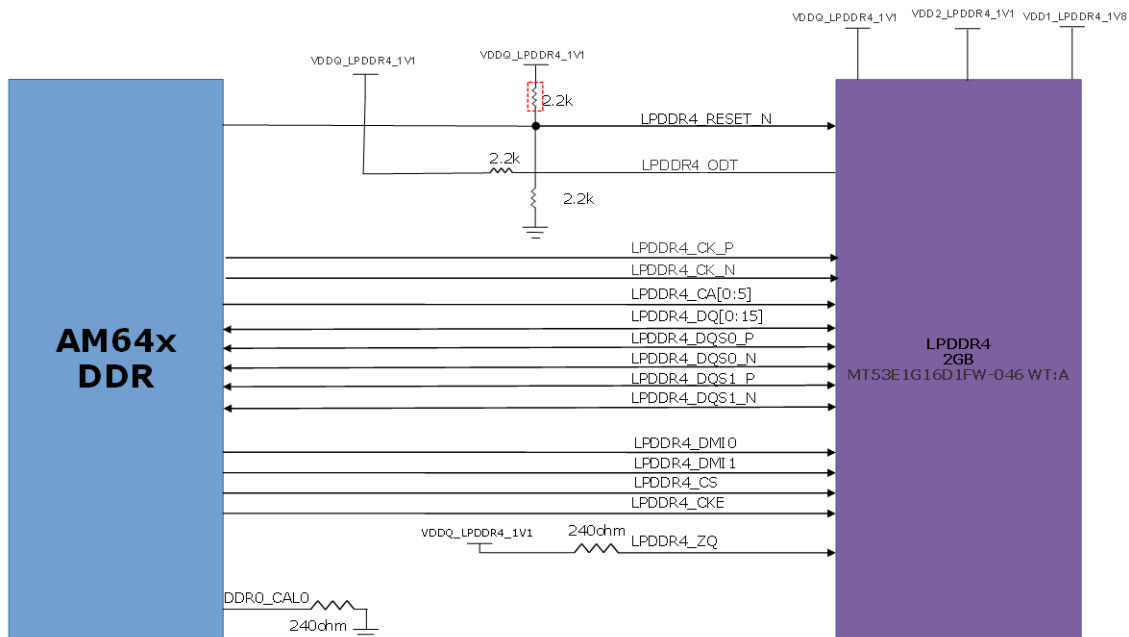


図 2-14. LPDDR4 インターフェイス

#### 2.3.3.8.2 MMC インターフェイス

AM64x プロセッサには、2 つの MMC インターフェイスがあります。そのうち 1 つは Wilink モジュールに接続され、もう 1 つはマイクロ SD カード インターフェイスに使用されます。

##### 2.3.3.8.2.1 Micro SD インターフェイス

SKEVM ボードには、AM64x SoC の MMC1 ポートに接続されたマイクロ SD カード インターフェイスが搭載されています。このマイクロ SD カード インターフェイスは、1.8V および 3.3V の両方の IO 動作などの UHS1 動作での 16GB 容量に対応しています。IO 電圧スイッチングに対応する AM64x SoC に搭載されている回路は、SD 信号の IO 電圧に接続されており、プロセッサが IO 電圧をネゴシエーションできるようにします。高速カードの場合、SoC の ROM コードはカードとコントローラが対応可能で、1.8V に遷移可能な最も速い速度を検出しようと試みます。CAP\_VDDSHV\_SDLDO ピンで利用可能な SoC からの内部 SDIO LDO 出力は、SD 信号の IO 電圧と、MMC1 インターフェイスの電源である SoC の VDDSHV\_MMC1 電源ピンに接続されています。

データ、クロック、コマンド信号用に、ESD 保護デバイス (TPD6E001RSE) が搭載されています。TPD6E001RSE は TVS ダイオードを内蔵したライン終端デバイスで、IEC 61000-4-2 に準拠したシステムレベルの ESD 保護、±8kV の接触放電、±15kV のエアギャップ放電を提供します。

SD カードは、SD モードで動作するように設定されています。SD カード コネクタの CD (カード検出) ピンが "Low" にプルダウンされ、SOC の CD ピンに接続されます。図 2-15 に、マイクロ SD カード インターフェイスのブロック図を示します。

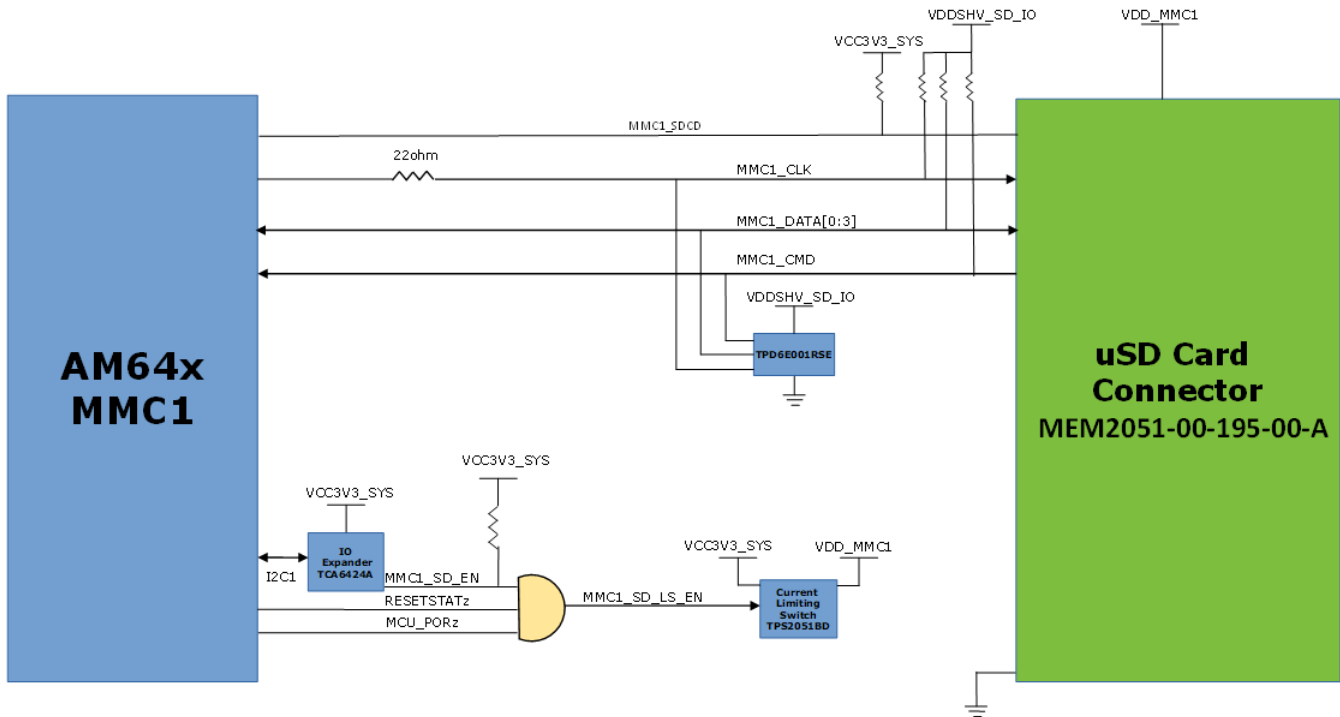


図 2-15. Micro SD インターフェイス

### 2.3.3.8.2.2 WiLink インターフェイス

SKEVM ボードには、TI の WiLink モジュール (WL1837MODGIMODCT) が搭載されており、AM64x SoC の MMC0 ポートに接続されています。WL1837MOD は、産業用温度グレードに対応する 2 つのアンテナ (W3006) を搭載した、Wi-Fi、デュアルバンド、2.4GHz および 5GHz のモジュールソリューションです。このモジュールは、IEEE 規格 802.11a/b/g/n データレート (20 または 40MHz の SISO、または 20MHz の MIMO) に対応する MMC0 インターフェイスの 4 ビット IO に接続されています。このモジュールは、電力最適化設計で、高いスループットと拡張された到達範囲のほか、Wi-Fi と Bluetooth の共存を実現します。

このデバイスは、次の Bluetooth 機能をサポートしています。

- Bluetooth 4.2 のセキュア接続と CSA2
- Bluetooth と Bluetooth Low Energy のワイヤレステクノロジー、オーディオ処理、WLAN の同時動作と、共存および優先順位設定処理を内蔵
- 専用オーディオ プロセッサによる SBC エンコードと A2DP のサポート
- アシステッド A2DP (A3DP): SBC エンコーディングを内部に実装
- アシステッド WB スピーチ (AWBS): 改変済み SBC コーデックを内部に実装。図 2-16 に、AM64x に接続した WiLink モジュールのブロック図を示します。

SKEVM は、A2DP BT オーディオ プロファイルまたは HF プロファイルに対応していません。

このモジュールには、VBAT\_IN に 3.3V、VIO\_IN に 1.8V の 2 つの電源が必要です。WL1837MOD WiLink モジュールは PMIC から電力供給され、専用レギュレータからも電圧が提供されています (これはオプションであり、デフォルトでは非実装)。

SOC の MMC0 インターフェイスには、1.8V IO 電源に接続された VDDSHV\_MMC0 電源から電力が供給されます。Bluetooth UART 信号、BT および WLAN 信号のイネーブル、および WLAN\_IRQ 信号は、レベル シフト

(SN74AVC4T245RSVR) を使用して、AM64x の GPIO に接続されます。32.768KHz 発振器を使用して、入力クロックが供給されます。

SOC の MMC0\_DAT [4:7] ピン、および WL1837 モジュールの WL\_GPIO、BT\_UART\_DEBUG、WL\_UART\_DEBUG ピンにテストポイントがあります。

14 ピンの Wi-link コネクタも搭載しています。外部 Wi-Fi モジュール (Bluetooth モジュールには対応していません) は、14 ピンの Wi-link コネクタを経由して SoC と通信できます。デフォルトでは、14 ピンの Wi-link コネクタと OE 抵抗は、14 ピンの Wi-link コネクタに接続されている信号には実装されていません

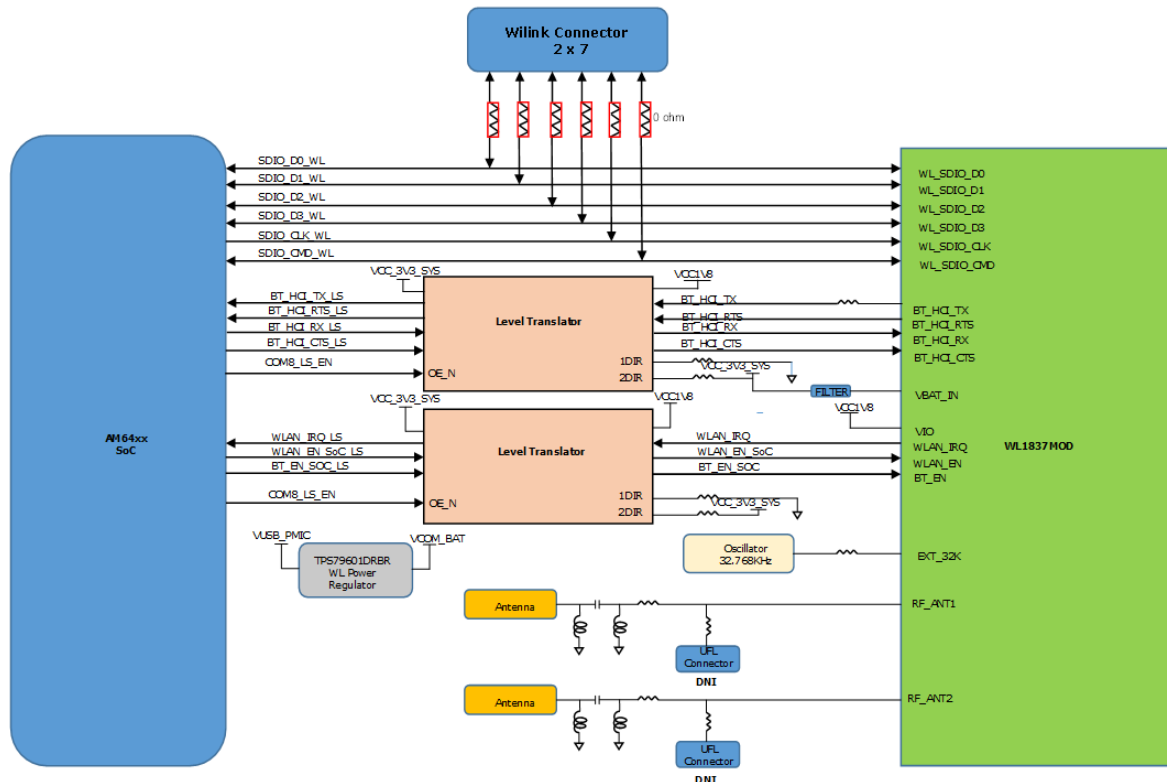


図 2-16. WiLink モジュール インターフェイス

### 2.3.3.8.2.3 OSPI インターフェイス

SK 評価基板には、Cypress 製である型番 S28HS512TGABHM010 の 512Mbit OSPI メモリ デバイスが搭載されており、AM64x SOC の OSPI0 インターフェイスに接続されています。OSPI は、最大 166MHz のメモリ速度に対応しています。OSPI フラッシュは 1.8V IO 電源から電力を供給されます。1.8V 電源は、フラッシュメモリの VCC ピンと VCCQ ピンの両方に供給されます。

フラッシュのリセットは、SoC の RESETSTATz、PORz\_OUT、および OSPI0\_CSN2 (GPIO\_OSPI\_RSTn) を論理積する回路に接続されています。これは、ウォームおよびコールドリセットのリセット信号に適用されます。デフォルトのアクティブ状態を設定するために、SOC ピンからの GPIO\_OSPI\_RSTn にプルアップが提供されています。

2 つの信号は OSPI0\_DQS に配線されます:

1. メモリ デバイスからの OSPI0\_DQS
2. SoC からの OSPI0\_LBCLK

DQS をメモリ デバイスからルーティングするには:R33 と R39 を実装しません。

SoC から OSPI0\_LBCLK をルーティングするには:R33 と R39 を実装します。

OSPI および QSPI の実装: DATA [7:0]、DQS、INT#, および CLK 信号には 0Ω 抵抗が設けられています。バスのフローティングを防ぐため、DATA [7:0] には外部プルアップ抵抗を実装できるフットプリントが用意されています。

図 2-17 に、AM64x SK 評価基板の OSPI インターフェイスのブロック図を示します。

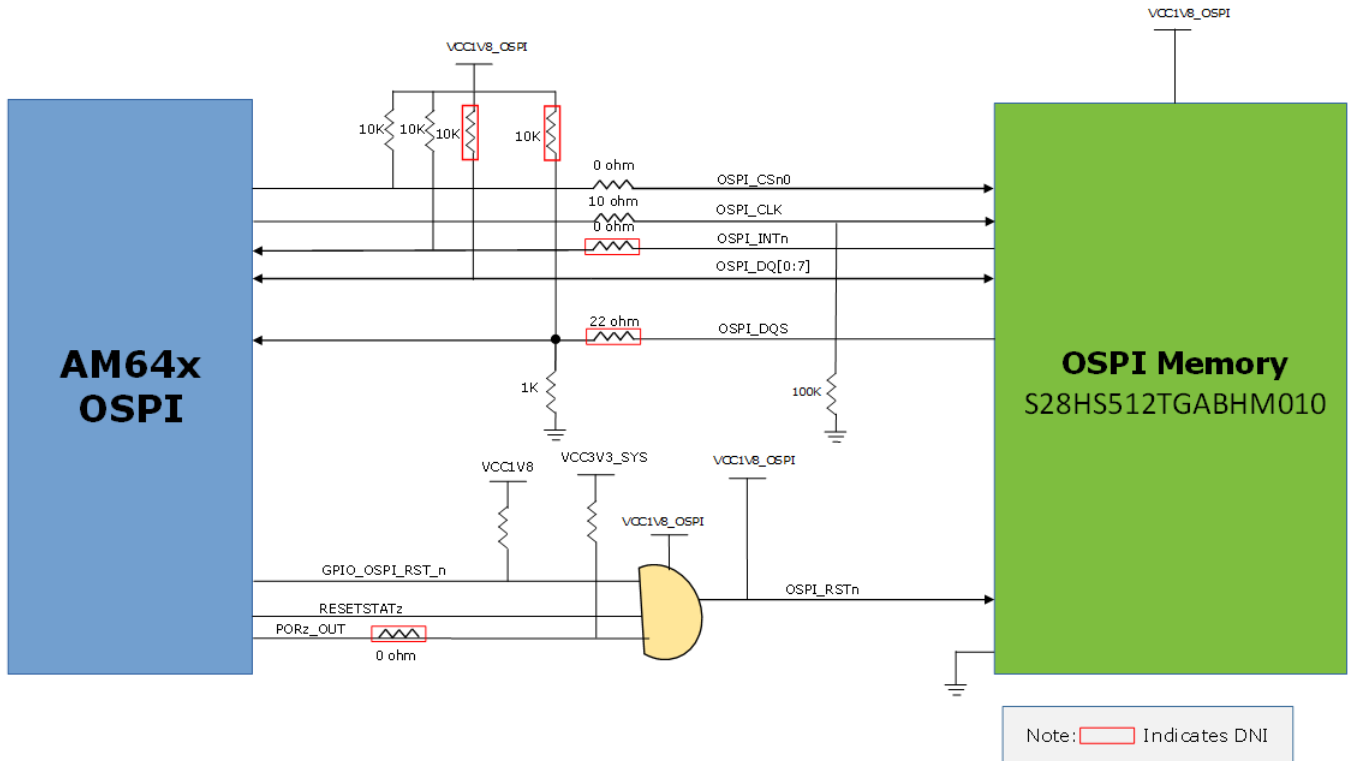


図 2-17. OSPI インターフェイス

#### 2.3.3.8.2.4 基板 ID EEPROM インターフェース

AM64x プロセッサは、オンボード EEPROM に保存されているバージョンおよびシリアル番号で識別されます。ボード ID メモリは、アドレス 0x51 に応答するように構成する必要があります。Microchip 製の AT24C512C-MAHM-T が使用されています。これは SOC の I2C0 ポートに接続されています。EEPROM の I2C アドレスは、A0、A1、A2 ピンを "Low" に駆動することで変更できます。書き込み保護入力を GND に接続すると、通常の書き込み動作が可能になります。WP ピンを VCC に直接接続すると、保護されたメモリへのすべての書き込み動作が抑制されます。このピンがフローティングのままになっている場合、WP ピンは内部で GND にプルダウンされます。ここでは、WP は 10k の抵抗を介して GND に接続されます。

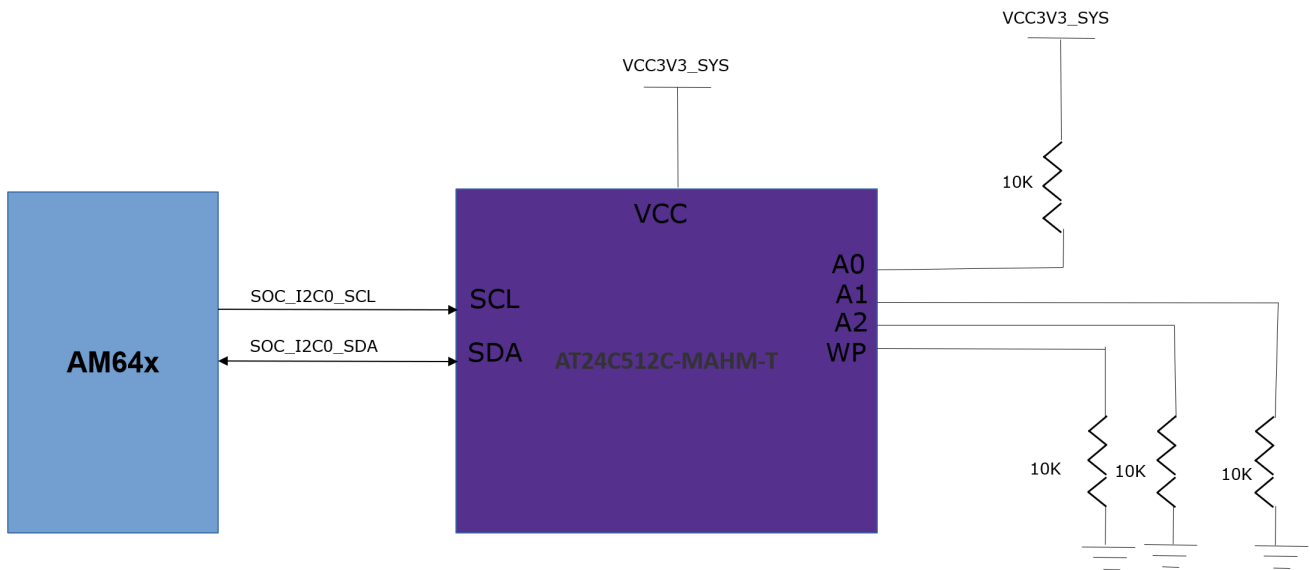


図 2-18. 基板 ID EEPROM

### 2.3.3.9 イーサネット インターフェイス

SKEVM には、外部通信向けに、1 ギガビット速度のイーサネット ポートが 2 つあります。AM64xx SoC の RGMII ギガビットイーサネット CPSW ポートの 2 つのチャンネルは、2 つの個別ギガビットイーサネット PHY トランシーバ DP83867 に接続されています。これらのトランシーバは、内蔵された磁気部品を使用して 2 つの RJ45 コネクタで最終的に終端されます。

PHY DP83867 の 48 ピンバージョンは、AM64x 内部の遅延に対応するように内部遅延が設定され、1Gb 動作を伝達するように構成されています。PRG1 と共有される RGMII1 信号は RX パスに使用され、PRG0 を基板上の PRU ヘッドに接続できるようにします。PRG1 の CPSW\_RGMII1 ポートおよび CPSW\_RGMII2 ポートは、外部 PHY トランシーバと通信するために、共通の MDIO バスを使用しています。

イーサネット 10/100/1G 接続には、ボード上の 2 ポート RJ45 コネクタ (LPJG16314A4NL) が使用されています。RJ45 コネクタには、1000BASE-T リンクと送受信アクティビティを示すための磁気素子および LED が内蔵されています。

#### 2.3.3.9.1 DP83867 PHY デフォルト構成

DP83867 PHY は、抵抗ストラッピングに基づいて 4 つのレベル構成を使用して、4 つの異なる電圧範囲を生成します。抵抗は、通常 PHY によって駆動され、AM64x への入力となる RX データおよび制御ピンに接続されています。各モードの電圧範囲を以下に示します。

モード 1 - 0V ~ 0.3234V

モード 2 - 0.462V ~ 0.6303V

モード 3 - 0.7425V ~ 0.9372V

モード 4 - 2.2902V ~ 2.904V

DP83867 デバイスには、内部プルダウン抵抗が内蔵されています。外部プル抵抗の値は、AM64x のピンにできるだけグラウンドまたは 3.3V に近い電圧を供給するように選択されています。図 2-19 に、ストラッピングを示します。ストラップ値を、表 2-19 に示します

表 2-19. ストラップ値の構成

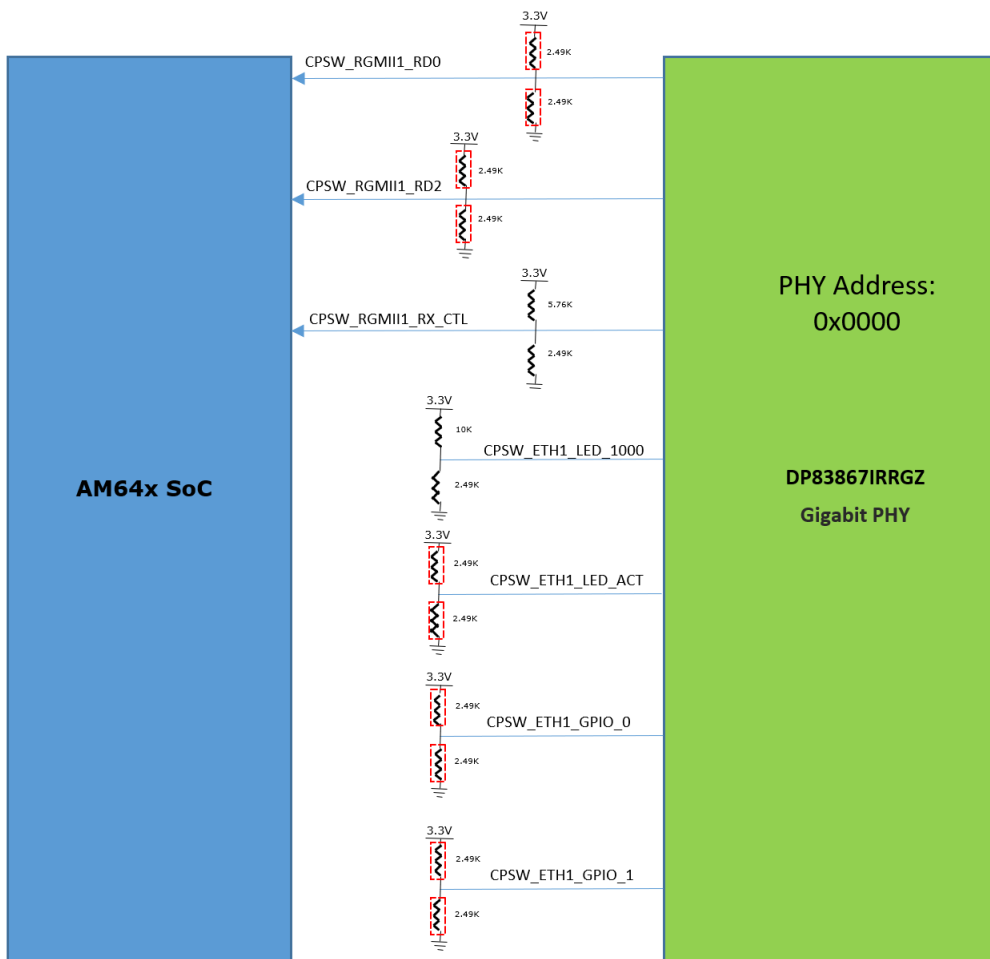
モード	目標電圧			理想的な Rhi (kΩ)	理想的な Rlo (kΩ)
	Vmin (V)	Vtyp (V)	Vmax (V)		
1	0	0	0.098 * VDDIO	オープン	オープン
2	0.140 * VDDIO	0.165 * VDDIO	0.191 * VDDIO	10	2.49



表 2-19. ストラップ値の構成 (続き)

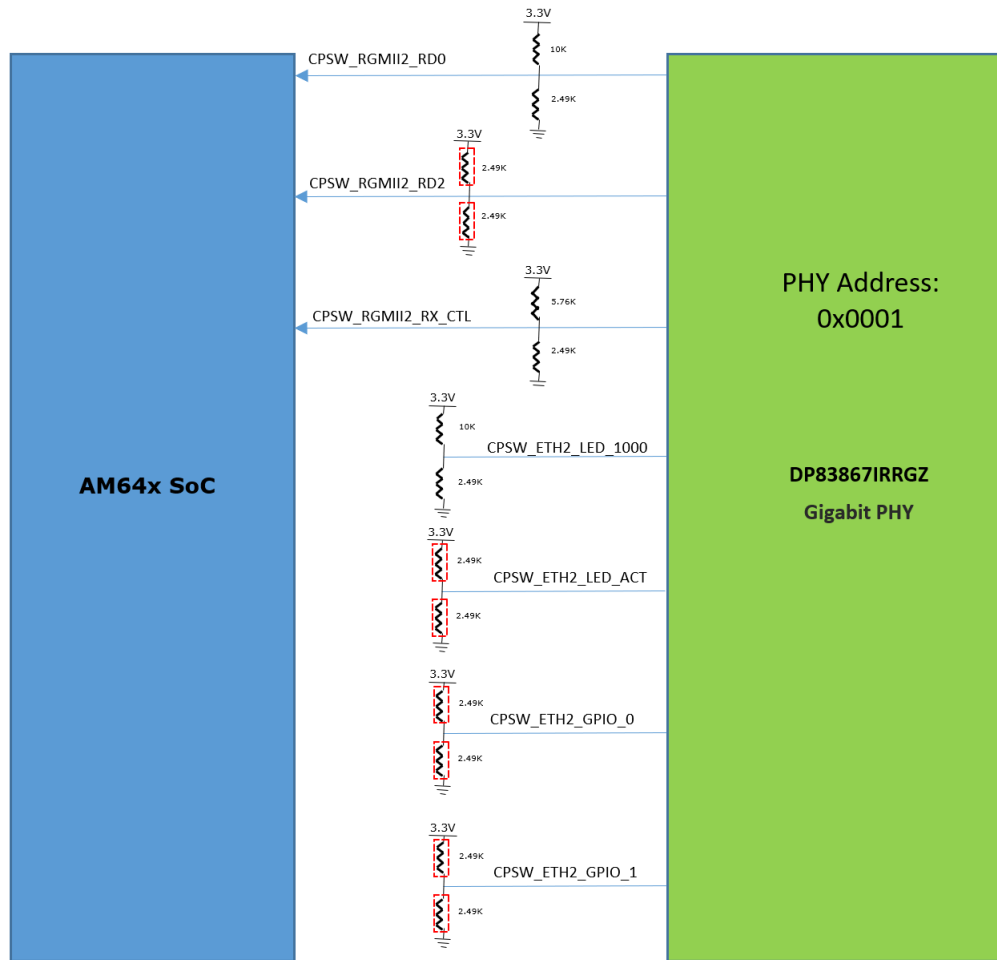
モード	目標電圧			理想的な Rhi (kΩ)	理想的な Rlo (kΩ)
	Vmin (V)	Vtyp (V)	Vmax (V)		
3	0.225 * VDDIO	0.255 * VDDIO	0.284 * VDDIO	5.76	2.49
4	0.694 * VDDIO	0.763 * VDDIO	0.886 * VDDIO	2.49	オープン

CPSW PHY-1 にはアドレス 00000 (0h)、CPSW PHY-2 にはアドレス 00001 (01h) を設定するようにアドレス ストラップが用意されています。デフォルトで、ストラップ ピンには内部プルダウン抵抗備えています。LED\_0 を除くすべてのストラッピング ピンには、プルアップおよびプルダウンの両方のフットプリントが用意されています。LED\_0 はミラー イネーブル用で、デフォルトではモード 1 に設定されています。モード 4 は適用されず、モード 2 およびモード 3 のオプションは使用しません。表 2-20 および、表 2-21 に、CPSW RGMII 1 イーサネット PHY および CPSW RGMII1 イーサネット PHY のデフォルトのストラップ設定を示します。



Note: Resistor Enclosed under dotted Red line indicates DNI

図 2-19. CPSW イーサネット PHY-1 ストラップ設定



Note: Resistor Enclosed under dotted Red line indicates DNI

図 2-20. CPSW イーサネット PHY-2 ストラップ設定

表 2-20. CPSW RGMII-1 イーサネット PHY のデフォルト ストラップ設定

ストラップ設定	ピン名	ストラップ機能	PRG1_PRU1、PRG1_PRU0 のモード	PRG1 のストラップ機能の値	説明
PHY アドレス	RX_D2	PHY_AD3	1	0	PHY アドレス:0000
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	1	0	
		PHY_AD0	1	0	
自動ネゴシエーション	RX_DV/RX_CTRL	Auto- neg	3	0	Auto neg Disable=0

表 2-20. CPSW RGMII-1 イーサネット PHY のデフォルトストラップ設定 (続き)

ストラップ設定	ピン名	ストラップ機能	PRG1_PRU1、 PRG1_PRU0 のモード	PRG1 のストラップ機能 の値	説明
動作モード	LED2	RGMII クロック スキュー TX[1]	5	0	RGMII TX のクロック スキューを 0ns に設定します
		RGMII クロック スキュー TX[0]	5	0	
	LED_1	RGMII クロック スキュー TX[2]	5	1	
		ANEG_SEL	1	0	
	LED_0	ミラーの有効化	1	0	ミラーの有効化が無効です
	GPIO_1	RGMII クロック スキュー RX[2]	1	0	RGMII RX のクロック スキューを 2ns に設定します
		RGMII クロック スキュー TX[1]	1	0	
GPIO_0	RGMII クロック スキュー RX[0]	1	0		

表 2-21. CPSW RGMII-2 イーサネット PHY のデフォルトストラップ設定

ストラップ設定	ピン名	ストラップ機能	PRG1_PRU1、 PRG1_PRU0 のモード	PRG0 および PRG1 のストラップ機能の値	説明
PHY アドレス	RX_D2	PHY_AD3	1	0	PHY アドレス:0001
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	2	0	
		PHY_AD0	2	1	
自動ネゴシエーション	RX_DV/RX_CTRL	Auto- neg	3	0	Auto neg Disable=0
動作モード	LED2	RGMII クロック スキュー TX[1]	5	0	RGMII TX のクロック スキューを 0ns に設定します
		RGMII クロック スキュー TX[0]	5	0	
	LED_1	RGMII クロック スキュー TX[2]	5	1	
		ANEG_SEL	1	0	
	LED_0	ミラーの有効化	1	0	ミラーの有効化が無効です
	GPIO_1	RGMII クロック スキュー RX[2]	1	0	RGMII RX のクロック スキューを 2ns に設定します
		RGMII クロック スキュー TX[1]	1	0	
GPIO_0	RGMII クロック スキュー RX[0]	1	0		

### 2.3.3.9.2 DP83867 - 電源、クロック、リセット、割り込み、LED

PHY デバイスには MDI 終端抵抗が内蔵されています。したがって、外部終端は搭載されていません。

電源: PRG0 および PRG1 ドメインからの RGMII 信号は 3.3V IO レベルです。ギガビット PHY デバイス DP83867 には、3.3V の I/O 電力と、2.5V および 1.0V のアナログ電源が必要です

クロック 25MHz の LVCMOS クロックが、クロック バッファ LMK1C1103 (個別出力) を介して PHY に供給されます。

リセット: PHY のリセットは、IO エクスパンダの PORz\_OUT と GPIO、および SoC のオプション RESETSTATz を論理積する回路によって行われます。デフォルトでは、RESETSTATz は PHY のリセットには使用されません。IO エクスパンダは、AM64x SOC の I2C1 ポートを介して制御されます。デフォルト値を設定するために、プルアップ抵抗とプルダウン抵抗の両方に対応するフットプリントが GPIO に用意されています。各イーサネット PHY は、GPIO によって駆動される個別のリセット信号を備えています。ハードウェアリセットは、RESET\_N ピンに 1 マイクロ秒以上の間隔を持つ "Low" パルスを印加することで行われます。

割り込み: PRG1 ドメインの 2 つの CPSW RGMII PHY からの割り込みは互いに接続され、AM64x SOC の EXTINTN ピンに接続されます。

リンク ステータスを示すために、4 本の構成可能な LED ピンと 2 つのイーサネット PHY の GPIO が使用されます。各種動作モードのために複数の機能を LED に多重化できます。LED の動作モードは、DP83867 デバイスの LEDCR1 レジスタ アドレス 0x0018 を使用して選択できます。デフォルトの設定は次のとおりです。

LED0: デフォルトでは、このピンはリンクが確立されたことを示します。DP83867 デバイスの LEDCR1 [3:0] レジスタ ビットにより追加の機能を構成できます。LED0 は CPSW PHY (DP83867) では使用されていません。これは、ミラー イネーブルの設定に使用されるストラップ ピンでもあります。これらの機能は必要ないため、LED0 のストラップは提供されていません。

LED\_1: デフォルトでは、このピンは 1000BASE-T リンクが確立されていることを示します。この設定は、ストラップ抵抗を使用して自動ネゴシエーションを 10/100Mbps に変更できます。DP83867 デバイスの LEDCR1 [7:4] レジスタ ビットにより追加の機能を構成できます。LED\_1 はストラップ ピンでもあり、DP83867 デバイスで RGMII TX クロック スキューを設定するための内部プルダウン抵抗が備わっています。このピンは両方のデバイスでアクティブに設定されているため、LED を直接駆動すると、調光 LED ライティングになります。したがって、LED を駆動するために、MOSFET が使用されます。

LED\_2: デフォルトでは、このピンは受信または送信動作を示します。DP83867 デバイスの LEDCR1 [11:18] レジスタ ビットにより追加の機能を構成できます。LED\_2 はストラップ ピンでもあり、DP83867 デバイスで RGMII TX クロック スキューを設定するための内部プルダウン抵抗が付いています。デフォルト状態では、自動ネゴシエーションとリンクを 10/100/1000Mbps としてアダプタイズします。搭載されたストラップ抵抗を使用して変更できます。ストラップ設定に使用するプルアップ抵抗により、LED が直接駆動されると、LED が調光されます。したがって、LED を駆動するために、MOSFET が使用されます。

GPIO0: DP83867 PHY では、GPIO マルチプレクサ制御レジスタ 1 (GPIO\_MUX\_CTRL1) によって GPIO を LED3 として機能するように構成できます。LED 構成は、LEDCR1 レジスタをプログラムすることにより設定でき、このピンが 100Mbps 接続で動作していることを示すために使用されます。下図に示すように、MOSFET が LED を駆動するために使用されます。

GPIO1: DP83867 PHY では、GPIO マルチプレクサ制御レジスタ 1 (GPIO\_MUX\_CTRL1) によって GPIO を LED3 として機能するように構成できます。LED 構成は、LEDCR1 レジスタをプログラムすることにより設定できます。これもストラップ ピンであり、高速リンクドロップ (FDP) を設定するために使用されます (現在、この機能は無効化されています)。

イーサネット RJ45 コネクタでの LED 表示: LED 制御は、外付けの MOSFET によって行われます。

RJ45 コネクタ LED 表示 - CPSW (DP83867): LED1 は RJ45 LED (緑) に接続されて 1000MHz リンクを示し、LED2 は RJ45 LED (黄) に接続されて送受信アクティビティを示します。LED 制御は、外付けの MOSFET によって行われません。

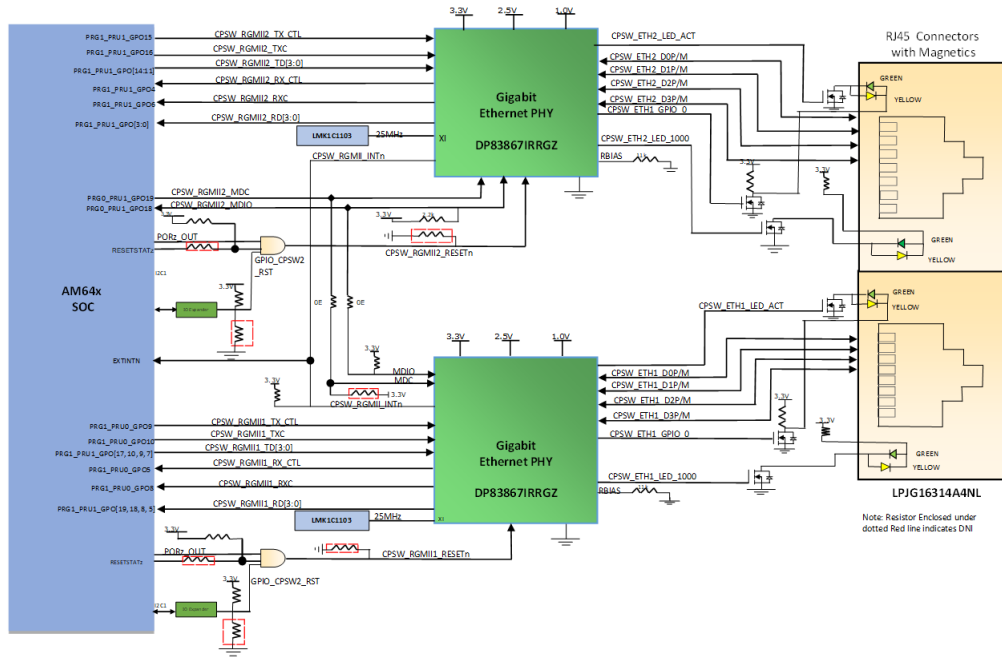


図 2-21. イーサネット インターフェイス

注

赤色で強調表示されている抵抗は、非実装部品です

### 2.3.3.9.3 産業用アプリケーションの LED

I2C ベースの LED ドライバ (TPIC2810D) に接続されている 8 つの LED があり、I2C1 ポート経由で SoC によって制御されます。これら 8 つの LED は、ユーザー アプリケーションに応じて切り換えることができます。これら 8 つの LED は主に、産業用アプリケーションを想定しています。

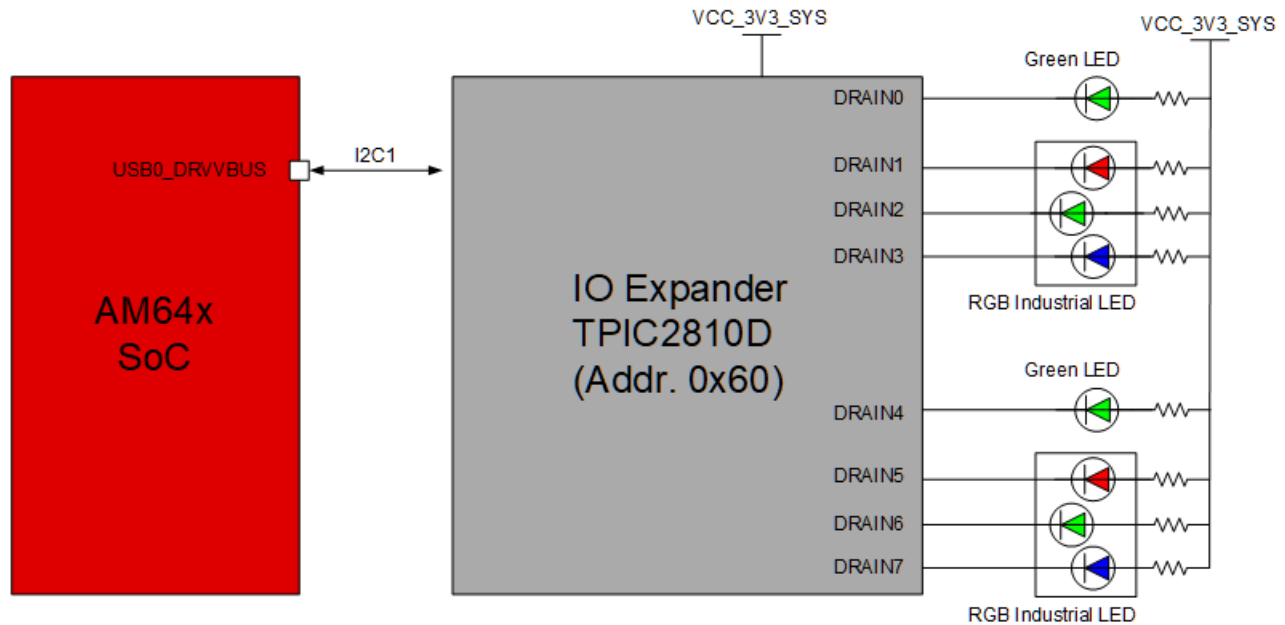


図 2-22. イーサネット インターフェイス - LED

### 2.3.3.10 USB 3.0 インターフェイス

AM64x SKEVM では、USB Type-A コネクタ (692121030100) を通じて、最大 5Gbps のデータレートに対応する USB 3.0 ホスト インターフェイスが提供されています。Type-A コネクタからのスーパー スピード差動信号は、チョークおよび ESD 保護デバイスを介して SoC の SERDES-0 ブロックに接続されています。Type-A コネクタの USB 2.0 ラインは、AM64x SOC の USB0 ポートに直接接続されています。SoC の USB0\_DRVVBUS は、5V パワー スイッチが、USB Type-A コネクタに使用される VUSB\_TYPEA 電源を供給できるようにします。

ESD 衝撃を放散させるため、すべての USB3.0 ライン (TX\_P、RX\_P、TX\_N、RX\_N) に USB 3.0 の速度およびキャパシタンス仕様を満たす ESD 保護デバイスを搭載する必要があります。EMI / EMC に対処するため、USB データラインにコモン モード チョークを挿入する必要があります。USB2.0 DP/DM 信号の ESD 衝撃を放散させるため、ESD 保護デバイス (型番 TPD4S012) が搭載されています。

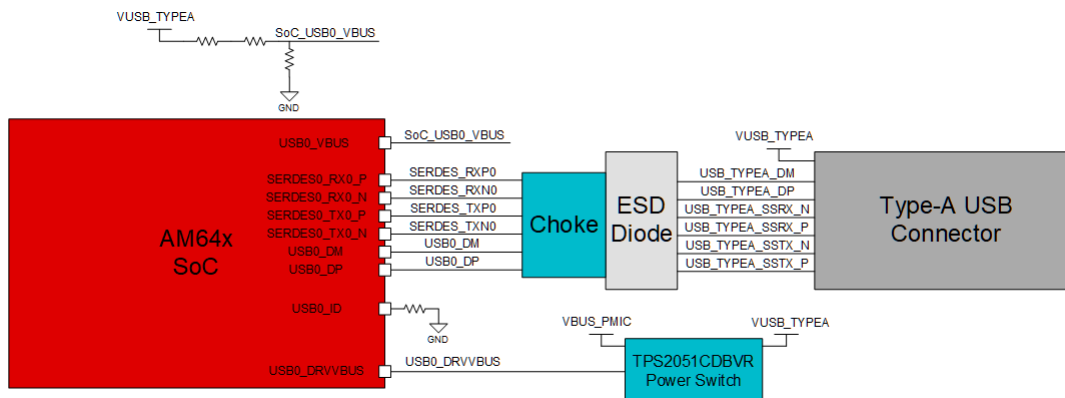


図 2-23. USB 3.0 ホスト インターフェイス

### 2.3.3.11 PRU コネクタ

PRU ヘッダが PRG0 インターフェイスへの低速接続を実現します。PRG0 ポート (PRG0\_PRU0 および PRG0\_PRU1) からの PRU\_ICSSG 信号は、PRU 拡張コネクタで終端されます。PRU0 信号は、27x2 規格の 0.1 インチ (2.54mm) 間隔の 54 ピンコネクタに接続されます。コネクタには MDIO 制御信号 (2 ピン)、PRG0\_PRU0\_GPO [0: 19]、PRG0\_PRU1\_GPO [0: 17]、+3.3V PWR (2 ピン)、グランドリファレンス (5 ピン)、検出、リセット、ドーターカードと SoC I2C0 ライン (2 ピン) に供給される INT が組み込まれています。3.3V は 500mA に電流制限されています。これは、ロードスイッチ TPS22902YFPR を使用して実現しています。ロードスイッチの有効化は、SoC によって制御されています。

PRU コネクタから接続されている信号を、表 2-22 に示します。

**表 2-22. PRU コネクタでの PRG0 信号の選択**

ピン	ネット名	ピン	ネット名
1	VCC3V3_PRU	2	DGND
3	PRU_DETECT	4	PRU_RESETz
5	PRU_INTn	6	SoC_I2C0_SCL
7	PRG0_PRU0GPO16	8	SoC_I2C0_SDA
9	PRG0_MDIO0_MDC	10	NC
11	PRG0_MDIO0_MDIO	12	NC
13	PRG0_PRU0GPO0	14	PRG0_PRU0GPO1
15	PRG0_PRU0GPO2	16	PRG0_PRU0GPO3
17	PRG0_PRU0GPO4	18	PRG0_PRU0GPO5
19	PRG0_PRU0GPO6	20	PRG0_PRU0GPO7
21	PRG0_PRU0GPO8	22	PRG0_PRU0GPO9
23	PRG0_PRU0GPO10	24	PRG0_PRU0GPO11
25	PRG0_PRU0GPO12	26	PRG0_PRU0GPO13
27	PRG0_PRU0GPO14	28	PRG0_PRU0GPO15
29	DGND	30	PRG0_PRU0GPO17
31	PRG0_PRU0GPO18	32	PRG0_PRU0GPO19
33	DGND	34	DGND
35	PRG0_PRU1GPO0	36	PRG0_PRU1GPO1
37	PRG0_PRU1GPO2	38	PRG0_PRU1GPO3
39	PRG0_PRU1GPO4	40	PRG0_PRU1GPO5
41	PRG0_PRU1GPO6	42	PRG0_PRU1GPO7
43	PRG0_PRU1GPO8	44	PRG0_PRU1GPO9
45	PRG0_PRU1GPO10	46	PRG0_PRU1GPO11
47	PRG0_PRU1GPO12	48	PRG0_PRU1GPO13
49	PRG0_PRU1GPO14	50	PRG0_PRU1GPO15
51	PRG0_PRU1GPO16	52	PRG0_PRU1GPO17
53	DGND	54	VCC3V3_PRU

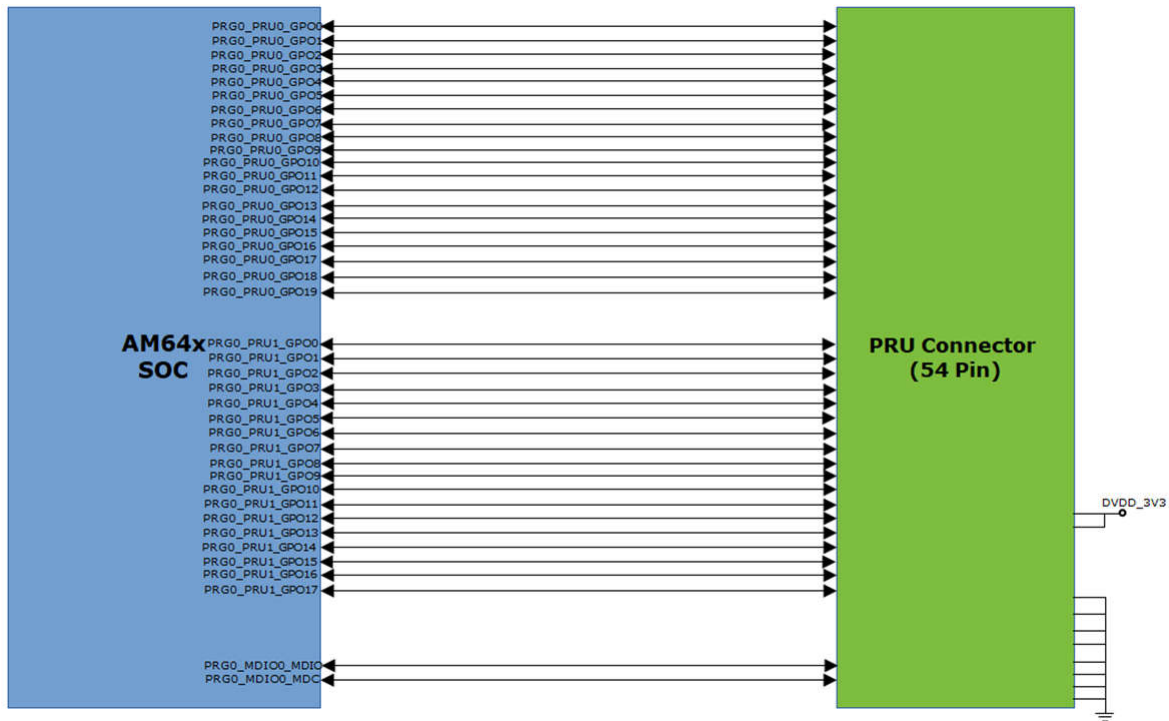


図 2-24. 54 ピン PRU コネクタ

### 2.3.3.12 ユーザー拡張コネクタ

このコネクタは、Raspberry Pi®™ 4B に搭載されている標準の拡張コネクタと互換性があり、HAT ボードとのシームレスなインターフェイスが可能です。これらの基板を接続できるようにするには、4 つの取り付け穴をコネクタに合わせて取り付ける必要があります。SoC から拡張ヘッダに接続されている信号は以下のとおりです: SPI (0), SPI (1), UART (5), I2C (0), I2C (2), EHRPWM4\_A/B, EHRPWM5\_A/B と GPIO [32, 35, 38, 39, 40, 41, 42] の組み合わせを、5V、3.3V PWR、GND と組み合わせる。5V および 3.3V の各電源は、それぞれ 155mA および 500mA に電流制限されます。これは、ロードスイッチ TPS22902YFPR を使用して実現しています。ロードスイッチのイネーブルは、IO エクスパンダによって制御されています。ユーザー拡張コネクタからルーティングされる信号を、表 2-23 に示します。

表 2-23. 40 ピン ユーザー拡張コネクタ

ピン	ネット名	ピン	ネット名
1	VCC3V3_RPI	2	VCC5V0_RPI
3	RPI_I2C2_SDA	4	VCC5V0_RPI
5	RPI_I2C2_SCL	6	DGND
7	RPI_GPIO0_35	8	SOC_MAIN_UART5_TXD
9	DGND	10	SOC_MAIN_UART5_RXD
11	RPI_SPI1_CS1	12	RPI_SPI1_CS0
13	RPI_GPIO0_42	14	DGND
15	RPI_GPIO0_32	16	RPI_GPIO0_38
17	VCC3V3_RPI	18	RPI_GPIO0_39
19	RPI_SPI0_D0	20	DGND
21	RPI_SPI0_D1	22	RPI_GPIO0_40
23	RPI_SPI0_CLK	24	RPI_SPI0_CS0
25	DGND	26	RPI_SPI0_CS1
27	SoC_I2C0_SDA	28	SoC_I2C0_SCL
29	RPI_ETHRPWM5_A	30	DGND
31	RPI_ETHRPWM5_B	32	RPI_ETHRPWM4_A



表 2-23. 40 ピン ユーザー拡張コネクタ (続き)

ピン	ネット名	ピン	ネット名
33	RPI_ETHRPWM4_B	34	DGND
35	RPI_SPI1_D1	36	RPI_SPI1_CS2
37	RPI_GPIO0_41	38	RPI_SPI1_D0
39	RPI_HAT_DETECT	40	RPI_SPI1_CLK

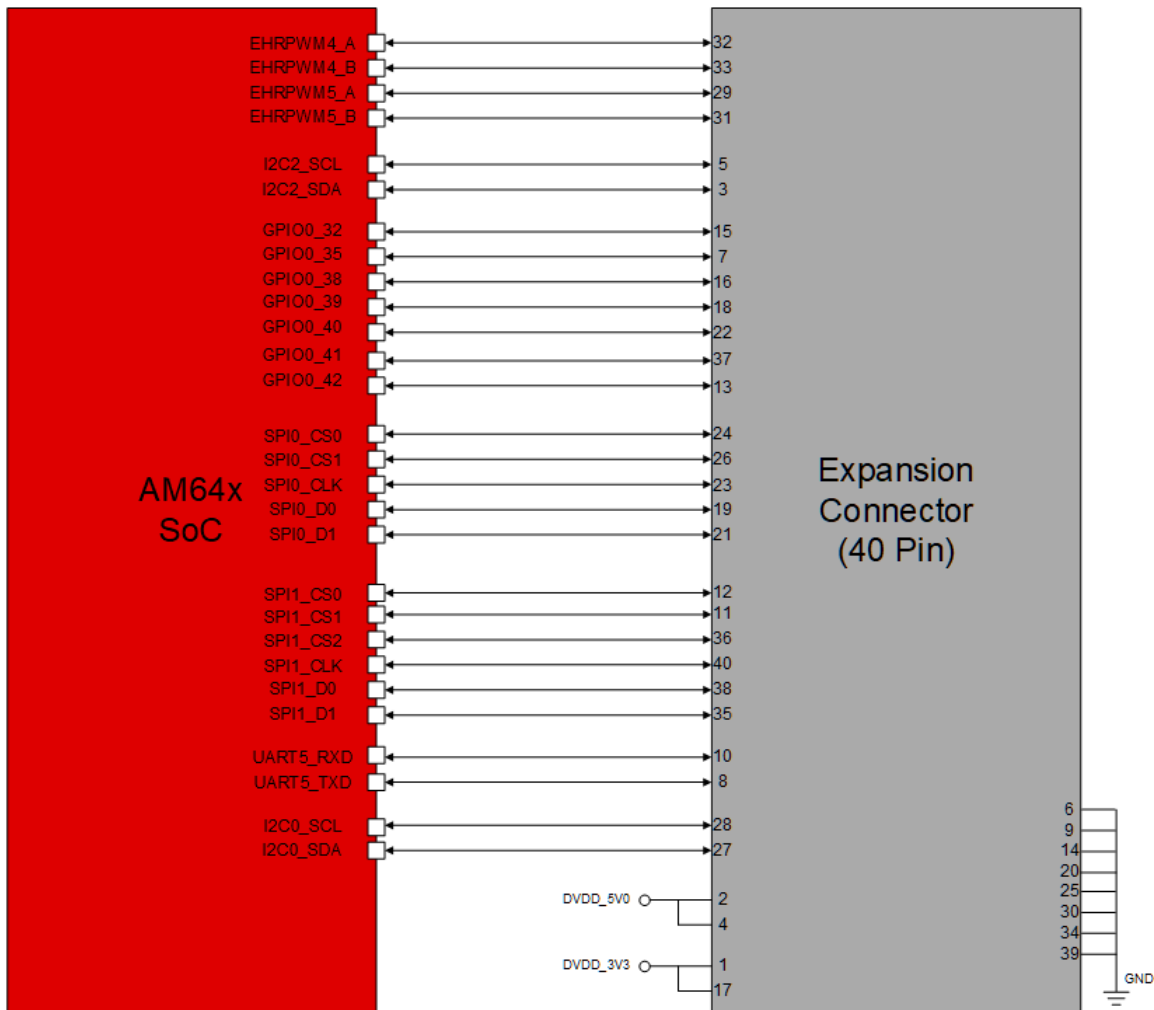


図 2-25. 40 ピン ユーザー拡張コネクタ

### 2.3.3.13 MCU コネクタ

安全信号コネクタは、14x2 規格の 0.1 インチ (2.54mm) 間隔のヘッダです。MCU コネクタには、MCU に接続されている信号のみが含まれています。18 個の信号には、MCU\_I2C0、MCI\_I2C1、MCU\_UART1 (フロー制御付き)、MCU\_SPI0、および MCU\_SPI1 信号が含まれます。コネクタで提供される追加の制御信号には、CONN\_MCU\_RESETz、CONN\_MCU\_PORz、MCU\_RESETSTATz、MCU\_SAFETY\_ERRORn、MCU と GND への 3.3V IO が含まれます。マイコンコネクタには、ボード ID メモリ インターフェイスは含まれていません。許容される電流制限は、3.3V レールでは 100mA です。

表 2-24. 28 ピン MCU コネクタ

ピン	ネット名	ピン	ネット名
1	VCC_3V3_SYS	2	DGND
3	MCU_SPI0_CS1	4	MCU_SPI0_D1
5	MCU_GPIO0_8	6	MCU_SPI0_D0
7	DGND	8	MCU_SPI0_CS0
9	TEST_LED2	10	MCU_GPIO0_6
11	MCU_GPIO0_7	12	MCU_UART1_CTS_3V3
13	MCU_UART1_RX_3V3	14	MCU_GPIO0_9
15	DGND	16	MCU_I2C1_SDA
17	MCU_UART1_RTS_3V3	18	MCU_SPI0_CLK
19	MCU_UART1_TX_3V3	20	DGND
21	MCU_I2C0_SDA	22	MCU_I2C1_SCL
23	MCU_RESETSTATz	24	MCU_I2C0_SCL
25	CONN_MCU_RESETz	26	MCU_SAFETY_ERRORz_3V3
27	DGND	28	CONN_MCU_PORz

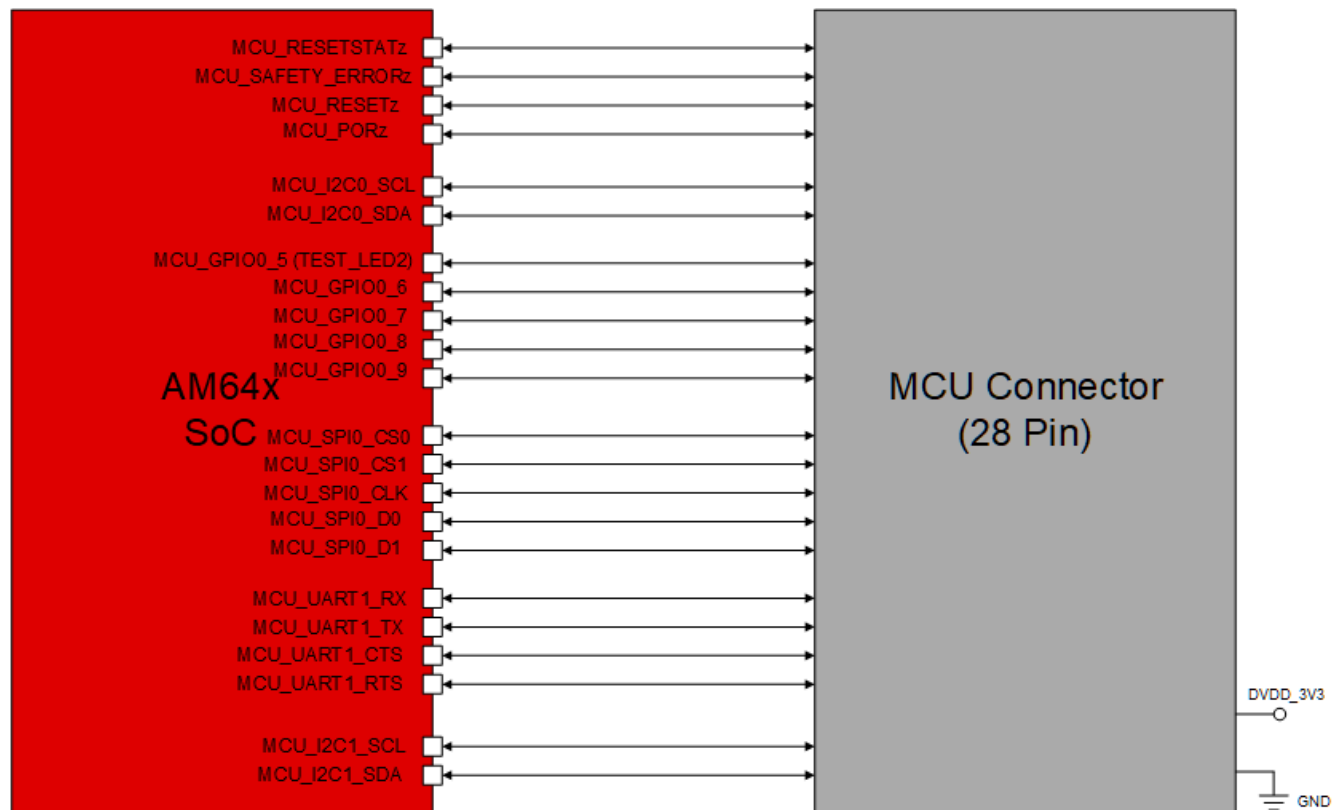


図 2-26. 28 ピン MCU コネクタ

### 2.3.3.14 割り込み

SK 評価基板は、以下のタイマおよび割り込みオプションに対応しています。

MCU\_PORz、MCU\_RESEtZ、RESET\_REQz をリセットするために、3 つの割り込みが利用できます。GPIO 割り込み用にプッシュ ボタン スイッチが 1 つあり、メインドメインと MCU ドメインの両方の GPIO ピンに接続されています。

ウォームリセットは、テスト オートメーション ヘッダーを介して適用することもできます。

### 2.3.3.15 I2C インターフェイス

SK 評価基板では、3 つの I2C インターフェイスが使用されています。

- SoC\_I2C0 インターフェイス: SoC I2C [0] は、ボード ID EEPROM、1 つの PMIC および R-Pi 拡張ヘッダに接続されています。I2C0 インターフェイスは、アドレス 0x51 に応答するように構成されたボード ID メモリ デバイス AT24C512C-MAHM-T 512KB シリアル EEPROM を通じて評価基板を識別するために、ソフトウェアによって使用されます。SKEVM 上の I2C0 インターフェイスは、ソフトウェアで 1 つの PMIC デバイスの構成と制御を行う目的でも使用されます。I2C0 は、Ra-Pi 拡張ヘッダにも接続されています。
- SOC I2C (1) インターフェイス: SoC I2C [1] は、8 ビット LED ドライバ、8 ビット GPIO エクスパンダ、温度センサ、およびテスト オートメーション ヘッダに接続されています。
- SOC I2C (2) インターフェイス: I2C [2] は、SoC から Ra-Pi 拡張ヘッダに接続されています。

図 2-27 に、I2C ツリーを示します。

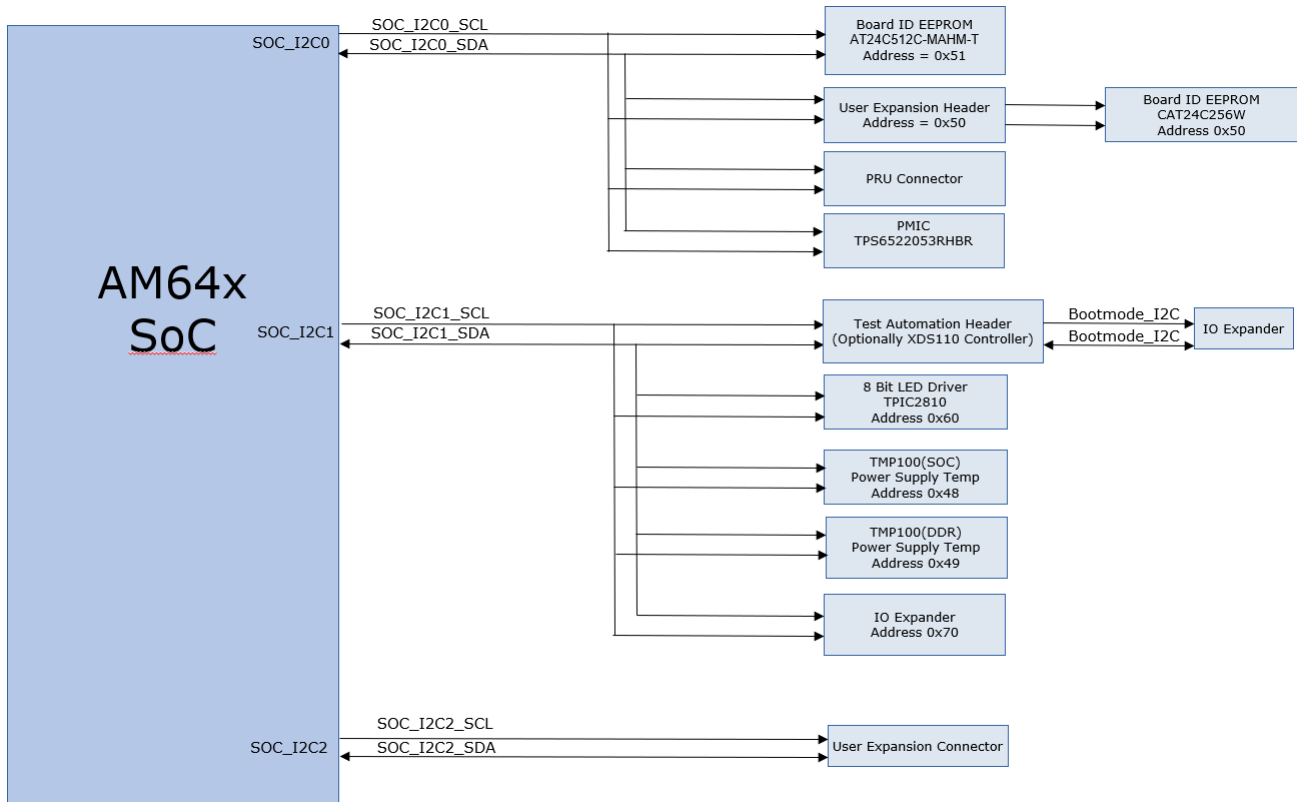


図 2-27. I2C インターフェイス

### 2.3.3.16 IO エクスパンダ (GPIO)

AM64x SoC で使用されている I/O エクスパンダは、8 ビットの I2C ベース I/O エクスパンダであり、ドーター カードのプラグイン検出およびリセット信号の生成や、接続されている各種ペリフェラル デバイスに対する信号の有効化に使用できます。AM64X SoC の I2C1 バスは、I/O エクスパンダとのインターフェイスに使用されます。I/O エクスパンダのアドレスは 0X70 です。以下に、IO エクスパンダによって制御される信号のリストを示します。

**表 2-25. IO エクスパンダ ピンの詳細**

ピン番号。	信号	方向	デバイス
P0	GPIO_CPSW2_RST	出力	CPSW PHY-2 イーサネット
P1	GPIO_CPSW1_RST	出力	CPSW PHY-1 イーサネット
P2	PRU_DETECT	入力	PRU コネクタ検出
P3	MMC1_SD_EN	出力	SD カード パワー スイッチの有効化
P4	VPP_LDO_EN	出力	SoC VPP 電圧の生成
P5	RPI_PS_3V3_En	出力	ユーザー拡張コネクタ:3V3 電源パ ワー スイッチの有効化
P6	RPI_PS_5V0_En	出力	ユーザー拡張コネクタ:5V0 電源パ ワー スイッチの有効化
P7	RPI_HAT_DETECT	入力	ユーザー拡張コネクタ:ハードウェア アドオン ボードの検出

### 3 ハードウェア設計ファイル

回路図、BOM、PCB レイアウト、アセンブリ ファイル、ガーバー ファイルなどのハードウェア設計ファイルは、以下のリンクから入手できます。

[設計ファイル](#)

## 4 準拠に関する情報

### 4.1 規制準拠

これにより、テキサス インストルメンツは無線機器「Sitara プロセッサ用 AM64x スタータ キット」がディレクティブ 2014/53/EU に準拠していることを宣言します。

EU 適合宣言書の全文は、[TI の Web サイト](#)で参照できます。

#### RF 曝露情報


このデバイスはテスト済みで、無線周波数 (RF) の曝露に関して適用される規制値に適合しています。この装置は、常に人体への最低 20cm の離隔距離を確保して設置および操作されます。

#### EIRP 電源

WLAN 2.4GHz 帯域で伝送される最大 RF 電力は 19.5dBm です。WLAN 5GHz 帯域で伝送される最大 RF 電力は、19.8dBm (およそ 5150MHz ~ 5350MHz) および 18.9dBm (およそ 5470MHz ~ 5725MHz) です。

Bluetooth で伝送される最大 RF 電力は 13.9dBm、Bluetooth Low Energy (BLE) は 9.0dBm です。

このデバイスは、5.15 ~ 5.35GHz 帯内での屋内使用のみに制限されています。屋内での使用が制限されている国を以下に示します。

	AT	BE	BG	HR	CY	CZ	DK
	EE	FI	FR	DE	EL	HU	IE
	IT	LV	LT	LU	MT	NL	PL
	PT	RO	SK	SI	ES	SE	IS
	LI	NO	CH	TR	UK(NI)		

#### 欧州廃電気電子機器指令 (WEEE)



このシンボルは、地域の法律および規制に従って、その製品またはバッテリーが家庭廃棄物とは別に処分されなければならないことを意味します。この製品が製品寿命に達したら、地方当局が指定した回収ポイントに持ち込んでください。製品の適切なリサイクルは、人々の健康と環境を保護します。

## 5 追加情報

### 5.1 既知の問題

このセクションでは、各 EVM リビジョンにおける現時点での既知の問題と、それに対する適用可能な回避方法について説明します。

**表 5-1. AM64 SK 評価基板の既知の問題**

問題の番号	問題のタイトル	問題の説明
1	LDO0 と LDO1 で LP8733x の最大出力キャパシタンスの仕様を超えている	電源設計が推奨キャパシタンス値を上回っています。
2	LP8733x 出力電圧の 0.9V が、AM64x VDDR_CORE 最大電圧仕様の 0.895V を上回っている	電源設計が VDDR_CORE の最大電圧仕様を上回っています。
3	WLAN および SDIO デバイスの使用	MMC0 での WLAN モジュールと SDIO デバイスは一般に、SDIO デバイスのタイミング要件を満たすために慎重なパターン長の設定が必要です。MMC0 のタイミングは、eMMC デバイス用に最適化されています。
4	高負荷条件における LPDDR4 のデータレート制限	1600MT/s の特定のベンチマーク測定条件でエラーが発生する可能性があります。
5	UART コンソールでのジャンク文字	一部のボードで、CP2105 および XDS110 デバッガの UART コンソールに、不規則なジャンク文字が表示されます。
6	テスト パワーダウン信号がフローティング状態	テスト オートメーション ヘッダの TEST POWERDOWN 信号に 10K プルアップ抵抗がありません。
7	uSD カードの起動が機能していません	特定ブランドの SD カードで uSD ブートが動作しません。

#### 5.1.1 問題 1: LDO0 と LDO1 で LP8733x の最大出力キャパシタンスの仕様を超えている

影響を受ける PCB バージョン: E1、E2、E3

重大度: 高

スタータキットでは、LDO0 は VDDAR\_CORE (0.85V コア電圧ドメイン) を供給します。4.7uF の負荷ポイントコンデンサには過度なマージンを持たせてあり、1uF まで小さくすることが可能なため、LDO0 が認識する合計出力キャパシタンスは CLDO\_OUT の最大仕様に沿って大きくなります。

スタータキットでは、LDO1 が AM64x 1V8 アナログドメインに電力供給し、主に VDDA\_1P8\_SERDES0 上に大きな 22uF 負荷ポイントコンデンサがあることから、キャパシタンスの要件が LDO1 の CLDO\_OUT の最大仕様をはるかに上回ります。テキサスインスツルメンツは、この問題を解決し、将来的にコンデンサの最終推奨値を提供するために多角的なアプローチを取っています。まず、LP8733xx CLDO\_OUT の最大仕様には過度にマージンを持たせてあり、データシートでは高い値に改訂されます。また、VDDA\_1P8\_SERDES0 の実際のデカップリングコンデンサ要件を評価するため、システムレベルのシミュレーションを実施しています。この作業は継続中なので、TI はこの電源ソリューションを量産システムに適応しないことを推奨しています。

統合型 PMIC ソリューションを必要とするお客様向けに、テキサスインスツルメンツは現在 AM64x プロセッサファミリのニーズを満たす PMIC を開発しています。この PMIC は今後の AM64x スタータキットのリビジョンに盛り込まれます。

#### 5.1.2 問題 2: 0.9V の LP8733x 出力電圧が、AM64x VDDR\_CORE の最大電圧仕様である 0.895V を超えている

影響を受ける PCB バージョン: E1、E2、E3

重大度: 高

0.9V の LP8733xx LDO0 出力電圧は、AM64x VDDR\_CORE の最大電圧仕様である 0.895V を上回っています (公称 0.85V が望ましい)。LDO0 には 0.85V のプログラマブルなオプションがないため、0.9V が選択されました。

### 5.1.3 問題 3: MMC0 上の SDIO デバイスでは、インターフェイスのタイミング要件を満たすために慎重なパターン長の設定が必要

影響を受ける PCB バージョン: E1、E2

重大度: 情報

MMC0 での WLAN モジュールと SDIO デバイスは一般に、SDIO デバイスのタイミング要件を満たすために慎重なパターン長の設定が必要です。MMC0 のタイミングは、eMMC デバイス用に最適化されています。

ソリューション: SD リムーバブル ストレージまたは SDIO デバイスは、量産システムでは MMC1 インターフェイスと、MMC0 上の eMMC を使用します。

### 5.1.4 問題 4: 高負荷状況での LPDDR4 データレート制限

影響を受ける PCB バージョン: E1、E2

重大度: 中

LPDDR4 の開発プロセス後半で、1600MT/s のインターフェイス速度でのベンチマーク測定条件でエラーが発生する可能性があることが明らかになりました。1333 MT/s まで速度を落とすと、延長テスト後のエラーは発生しませんでした。これは LPDDR4 のみに限定され、DDR4 の性能には影響しません。根本原因はまだ継続調査中です。

### 5.1.5 問題 5: ジャンク文字

影響を受けるバージョン: E1、E2、E3

重大度: 情報

一部のボードで、CP2105 および XDS110 デバッガの UART コンソールに、不規則なジャンク文字が表示されます。

ソリューション: Rev E3A で修正されました。

### 5.1.6 問題 6: テスト パワーダウン信号がフローティング状態になっている

影響を受けるバージョン: E1、E2、E3、E4

重大度: 中

テスト オートメーション ヘッダの TEST POWERDOWN 信号に 10K プルアップ抵抗がありません。

ソリューション: Rev A で修正済。

### 5.1.7 問題 7: uSD ブートが機能しない

影響を受けるバージョン: E1、E2、E3、E4

重大度: 高

特定ブランドの SD カードで uSD ブートが動作しません。この EVM には、MMC1 インターフェイスにプルアップ抵抗が実装されていません。これは、一部の SD カードで限界的な障害を引き起こしています。

ソリューション: 評価基板の上面の R68、R69、R70、R84、R85、および R466 に 10K の抵抗を取り付けると、この問題が解決します。



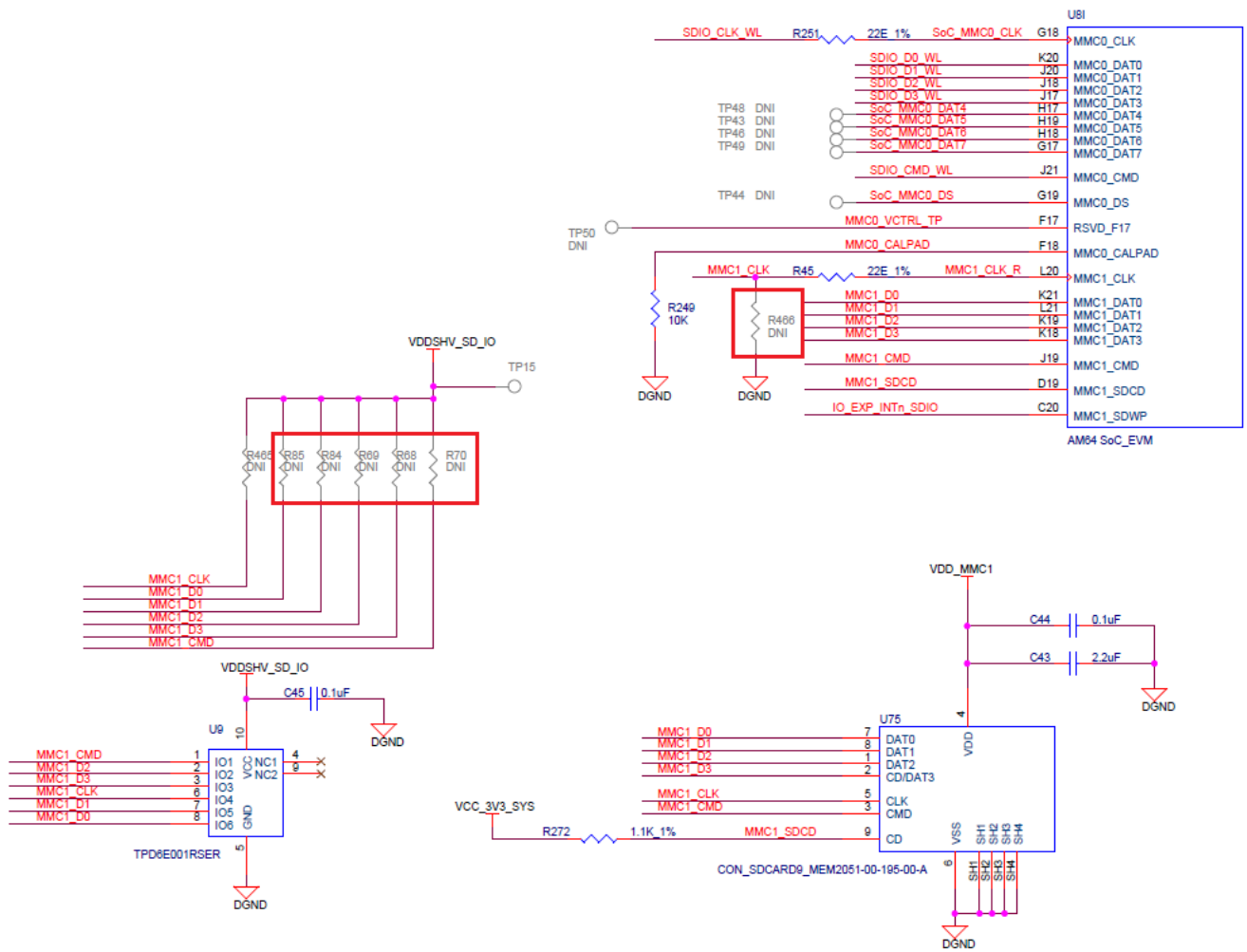


図 5-1. MMC1 の回路図



図 5-2. MMC1 のレイアウト

## 商標

Sitara™ and Code Composer Studio™ are trademarks of Texas Instruments.

Wi-Fi™ is a trademark of Wi-Fi Alliance.

Raspberry Pi™ is a trademark of Raspberry Pi Ltd.

Linux® is a registered trademark of Linus Torvalds in the U.S. and other countries.

Arm® and are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Cortex® is a registered trademark of tm.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

HDMI、HDMI High-Definition Multimedia Interface、HDMIトレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。

## 6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from OCTOBER 31, 2023 to DECEMBER 31, 2025 (from Revision B (October 2023) to Revision C (December 2025))

	Page
• HDMI 商標情報を追加。.....	1
• <a href="#">既知の問題の概要 ID 4</a> の影響を受けるバージョンと修正を更新。.....	5
• 影響を受けるバージョンから Rev A を削除。.....	48

## STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
  - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductor products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
  - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
  - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
  - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
  - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

### **WARNING**

**Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.**

**User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.**

**NOTE:**

**EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.**

### 3 Regulatory Notices:

#### 3.1 United States

##### 3.1.1 Notice applicable to EVMs not FCC-Approved:

**FCC NOTICE:** This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

##### 3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

#### **CAUTION**

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

#### **FCC Interference Statement for Class A EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.*

#### **FCC Interference Statement for Class B EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:*

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

#### 3.2 Canada

##### 3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

#### **Concerning EVMs Including Radio Transmitters:**

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

#### **Concernant les EVMs avec appareils radio:**

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

#### **Concerning EVMs Including Detachable Antennas:**

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

### Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

#### 3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see [http://www.tij.co.jp/llds/ti\\_ja/general/eStore/notice\\_01.page](http://www.tij.co.jp/llds/ti_ja/general/eStore/notice_01.page) 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・イ

ンスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see [http://www.tij.co.jp/llds/ti\\_ja/general/eStore/notice\\_02.page](http://www.tij.co.jp/llds/ti_ja/general/eStore/notice_02.page)

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

#### 3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

- 
4. *EVM Use Restrictions and Warnings:*
    - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
    - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
    - 4.3 *Safety-Related Warnings and Restrictions:*
      - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
      - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
    - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
  5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
  6. *Disclaimers:*
    - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
    - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
  7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.



8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月