参考資料

Errata

AM62Ax Sitara™ プロセッサ シリコン エラッタ、シリコン リビジョン 1.0

TEXAS INSTRUMENTS

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス

使用上の注意マトリックス に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。アドバイザリ マトリックス にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

表 1-1. 使用上の注意マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン
		AM62Ax 1.0
ブート	i2372 — ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません	あり
DDR	i2330 — DDRSS レジスタ構成ツールの更新	あり
OSPI	i2351 — OSPI:コントローラは、NAND フラッシュを使用した連続読み取りモードをサポートしていません」の使用上の注意を更新	あり
PLL	i2424 — PLL:PLL プログラミング シーケンスにより、PLL が不安定になる場合があります	あり

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン
		AM62Ax 1.0
BCDMA	i2431 — BCDMA:RX チャネルが特定のシナリオでロックアップする可能性があります	あり
BCDMA	i2436 — BCDMA:RX CHAN CFG レジスタの BCDMA RX_IGNORE_LONG 設定が機能しません」を追加	あり
ブート	i2366 — ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません」を削除	あり
ブート	i2371 — ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります	あり
ブート	i2410 — ブート:i2409 が原因で ROM のブートに失敗することがあります」を追加	あり
ブート	i2413 — ブート:HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります	あり
ブート	i2414 — ブート:イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません	あり
ブート	i2419 — ブート:デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません	あり
ブート	i2420 — ブート:SFDP モードでの XSPI ブート時間が一定せず、ばらつきが生じることがあります	あり
ブート	i2421 — ブート時に fatTiny GPT の処理が原因でデータ アボートが発生することがあります	あり
ブート	i2422 — ブート:MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます	あり
ブート	i2423 — ブート:HS-FS ROM は、efuse コントローラのファイアウォールで保護されているアドレス領域全体にデバッグ アクセス制限を適用します。	あり
ブート	i2435 — ブート:eMMC ブートの ROM タイムアウトが長すぎる	あり
ブート	i2482 — ブート:SD カードの初期化中、ROM から十分なクロックが供給されません	あり
ブート	i2464 — ブート:ROM は、フォーマットが正しくない SD カードからはブートできません	あり
C7x	i2199 — C71x:非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します	あり
C7x	i2120 — C71x:非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します	あり
C7x	i2087 — C7x MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します	あり
C7x	i2376 — C7x:2 つの VPUT/MVC 命令が連続して実行された後、SE/SA/HWAOPEN が破損したテンプレートを受け取ります	あり
C7x	i2399 — C7x:CPU NLC モジュールは、割り込み時に状態をクリアしません	あり
CSI_RX	i2190 — CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります	あり
CPSW	i2208 — CPSW:ALE IET エクスプレス パケットドロップ	あり
CPSW	i2401 — CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます」を追加	あり
DDR	i2160 — DDR:LPDDR4 コマンド バストレーニング中に、有効な VRef 範囲を定義しておく必要があります	あり
DSS	i2097 — DSS:オーバーレイに接続されている層を無効化すると、次のフレームで synclost が発生することがあります	あり
ECC_AGGR	i2049 — ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新	あり

表 1-2. アドバイザリ マトリックス (続き)

モジュール	説明	影響を受けるシリコンのリビジョン
		AM62Ax 1.0
割り込みアグリゲータ	i2196 — IA：IA でデッドロック シナリオが発生する可能性があります	あり
LPM	i2487 — LPM：低消費電力モードでは、DDR の内容を誤って破損する可能性があります	あり
MCAN	i2278 — MCAN：同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません	あり
MCAN	i2279 — MCAN：同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新	あり
MMCHS	i2312 — MMCHS の HS200 および SDR104 モードで、コマンド タイムアウト ウィンドウが小さすぎます	あり
MMCHS	i2493 — MMCSD：HS200 の書き込みエラー	あり
OSPI	i2189 — OSPI：コントローラ PHY のチューニング アルゴリズムを追加	あり
OSPI	i2249 — OSPI：OSPI DDR PHY の内部パッド ループバックおよび非ループバックのタイミング モードで動作不良が発生します	あり
OSPI	i2383 — OSPI：2 バイト アドレスは、PHY DDR モードではサポートされていません	あり
PRG	i2253 — PRG：CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです」を追加	あり
PSIL	i2137 — PSIL：クロック停止動作により、未定義の動作が発生する可能性があります」を追加	あり
RAT	i2062 — RAT：エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します」を追加	あり
リセット	i2407 — RESET：MCU_RESETz が Low にアサートされる場合に、MCU_RESETSTATz には信頼性がありません	あり
USART	i2310 — USART：タイムアウト割り込みの誤ったトリガを追加	あり
USART	i2311 — USART スプリアス DMA 割り込み	あり
USB	i2134 — USB：2.0 コンプライアンス受信感度テストの制限	あり
USB	i2409 — USB：短時間のサスペンドが原因で USB2 PHY がロックアップします	あり
VPU	i2373 — VPU：VPU の割り込みは A53 にルーティングされません	あり

1.1 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- AM62Ax

サポート対象デバイスのリファレンス文書:

- 『AM62Ax プロセッサ テクニカル リファレンス マニュアル』(SPRUJ16)
- 『AM62Ax プロセッサ データ シート』(SPRSP77)

2 シリコンの使用上の注意およびアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

2.1 シリコンの使用上の注意

i2351 ***OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません***

詳細:

OSPI コントローラは、OSPI コントローラへの内部 DMA バス要求の間に、フラッシュ メモリへの CSn 信号を (設計意図によって) デアサートできるため、OSPI ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません。

この問題が発生するのは、一部の OSPI/QSPI NAND フラッシュ メモリで提供される「連続読み取り」モードでは、バーストトランザクション全体にわたってチップ セレクト入力がアサートされたままにならなければならないためです。

SoC 内部 DMA コントローラと他のイニシエータは 1023B 以下のトランザクションに制限されており、アービトレーション / キューイングは、さまざまな DMA コントローラの内部、または任意の DMA コントローラと OSPI ペリフェラルの間の相互接続の両方で実行できます。その結果、OSPI コントローラへのバス要求が遅延し、外部 CSn 信号がデアサートされます。

NOR フラッシュ メモリは CSn デアサートの影響を受けません。連続読み取りモードは想定通りに動作します。

回避方法:

ソフトウェアは、ページ / バッファ付き読み取りモードを使用して NAND フラッシュにアクセスできます。

i2330 ***「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加***

詳細:

DDR レジスタ構成ツールは、DDR デバイスのアーキテクチャ (密度、データ幅、ランク)、動作周波数、ボード シミュレーションで決定される IO 設定など、システム レベルの詳細に基づいて、カスタム レジスタ設定を提供します。新しいデバイスや機能のサポート、ツールで特定された問題の修正、そして最も重要な点として、性能、信号の整合性、信号間のタイミング関係を改善する計算を実現するために特定されたエラッタや最近の更新の回避方法を捕捉するために、このツールは経時的に更新される可能性があります。

回避方法:

得られた教訓に基づいてパラメータを適切に設定できるようにし、機能的な障害のリスクを低減できるように、常に最新の DDR レジスタ構成ツールを使用してレジスタ値を生成する必要があります。DDR レジスタ構成ツールは定期的に更新される可能性があるため、ツールの改訂履歴を確認し、ツールの変更が既存のシステムに適用されるかどうかを評価する必要があります。必要に応じて、既存のシステムの設定を適切に更新する必要があります。このツールの最新バージョンは、http://dev.ti.com/sysconfig で入手できます。また、使用中の該当デバイスの「ソフトウェア製品」ドロップダウンから「DDR 構成」を選択することができます。

i2372 ***ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません***

詳細:

ROM ブートローダーは、キャッシュ / バッファ / プレーンの番号の変更を理解して正しいデータにアクセスするためのキャッシュ / バッファからの読み出しコマンドを必要とする特定のマルチプレーン シリアル SPI NAND フラッシュ メモリをサポートしていません。

i2372 (続き)

ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません

回避方法:

read from cache/buffer コマンドでプレーン / バッファ / キャッシュを選択するための特別なビットへの参照について、候補フラッシュ メモリのアドレッシング要件を慎重に確認します。こうした要件を持つメモリを使用しないでください。

i2424

PLL:PLL プログラミング シーケンスにより、PLL が不安定になる場合があります

詳細:

PLL プログラミング シーケンスが変更され、PLL キャリブレーションを使用する場合、PLL キャリブレーションをイネーブルにする前にすべてのキャリブレーション フィールドが確実に構成されるようになりました。キャリブレーション ロジックの制御に対する変更に加えて、PLL が有効化されている間に PLL パラメータが変更されないように、他の変更も実装されています。

整数モードの場合、ソフトウェアはキャリブレーション対応 PLL の PLL キャリブレーション機能を有効化します。以前のソフトウェアは、CAL_LOCK のアサート後にキャリブレーション モードを調整しました。これらの書き込みにより、一部のデバイスでは PLL ロックが失われることが確認されています。また、影響を受けやすいデバイスでも、ロックの喪失は断続的に発生しますが、喪失が発生すると、依存する回路が誤った周波数で動作します。この誤った周波数は、アルゴリズムの実行速度の低下や通信障害として現れることがあります。

影響の制限:PLL がフラクショナル モードの場合、キャリブレーション ロジックは使用できません。したがって、フラクショナル モードを使用するようにプログラムされている PLL では、キャリブレーションのプログラミングに関連して障害が発生しないようにする必要があります。しかし、全 PLL シーケンスに変更があるため、新しいソフトウェアはすべてのユーザーに推奨されます。

回避方法:

SYSFW で clk_pll_16fft_cal_option4() を使用しないでください。PLL 構成を変更するときは、SDK v10.0 以降で更新された PLL プログラミング シーケンスを使用してください。

2.2 シリコンのアドバイザリ

i2049

ECC_AGGR：保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新

詳細：

ECC アグリゲータ モジュールは、安全エラーの発生 (発生は稀) を集約し、ソフトウェアへの通知用の割り込みを生成するために使用されます。ECC アグリゲータにより、安全エラー割り込みのイネーブル / ディスエーブルおよびクリアをソフトウェア制御できます。

ソフトウェアが IP 上でクロック ストップ / リセット シーケンスを実行している場合、IP に関連付けられている ECC アグリゲータ インスタンスがアイドル ステータスでないため、シーケンスが完了しない可能性があります。ECC アグリゲータのアイドル ステータスは、イネーブルまたはディスエーブルのいずれかの保留中の安全エラー割り込みに依存します。これらは、ソフトウェアでクリアされていないものです。その結果、未処理の安全エラー割り込みが発生していても、IP のクロック ストップ / リセット シーケンスが完了しないこと (ハングアップ) があります。

影響を受ける ECC_AGGR は、テクニカル リファレンス マニュアル (TRM) に記載されているレジスタ オフセット 0h の REV レジスタ値で決定できます。REV レジスタは、そのフィールド内の ECC_AGGR バージョンを次のようにエンコードします。

v[REVMAJ].[REVMIN].[REVRTL]

v2.1.1 以前の ECC_AGGR バージョンが影響を受けます。ECC_AGGR バージョン 2.1.1 以降は影響を受けません。

影響が発生する例：

REVMAJ = 2

REVMIN = 1

REVRTL = 0

上記の値は ECC_AGGR バージョン v2.1.0 にデコードされますが、これは影響を受けます。

影響が発生しない例：

REVMAJ = 2

REVMIN = 1

REVRTL = 1

上記の値は ECC_AGGR バージョン v2.1.1 をデコードしますが、これは影響を受けません。

回避方法：

一般的な注意事項：

ECC アグリゲータのクロック停止は、機能安全使用事例ではサポートされていません。

ソフトウェアは、機能安全以外の使用事例において、次の回避方法を使用する必要があります。

1. IP のすべての ECC アグリゲータ割り込みを無効化します
2. 保留中の割り込みをすべて処理してクリアします
3. ステップ 3：
   a. ECC アグリゲータへのすべての割り込みソースを無効化してから、クロック ストップ / リセット シーケンスを実行します。
   b. クロック ストップ / リセット シーケンスを実行しながら、保留中の割り込みの処理 / クリアを続けます。

i2049 (続き)

ECC_AGGR：保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新

ソフトウェアでは、割り込みが外部刺激であるため、ステップ 3 で次の 2 つのオプションを利用できます。

1. クロック ストップ / リセット シーケンスを実行する前に、保留中の ECC_AGGR 割り込みを生成できるすべての割り込みソース (EDC CTRL チェッカー) を無効化します
2. クロック ストップ / リセット シーケンスの実行中に発生する保留中の割り込みの処理/クリアを続行します。すべての割り込みがクリアされると、シーケンスが続行されます。

一般に、ソフトウェアは、このシーケンス全体の間に連続的に起動する保留中の割り込みを検出し (縮退故障シナリオなど)、関連する EDC CTRL 安全チェッカーを無効化して、クロック ストップ / リセット シーケンスを完了に向かって進行できるようにする必要があります。

i2062

RAT：エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します」を追加

詳細：

RAT エラー ログがログを無効化して割り込みを有効化するようにプログラムされている場合、エラーによって割り込みが誤ってトリガされますが、エラー ログ レジスタは正しく更新されません。エラー割り込みは生成されてはなりません。

回避方法：

RAT エラー ログがディスエーブルの場合、エラー割り込みもソフトウェアで無効化する必要があります。

i2087

C71x：MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します

詳細：

内部状態が初期化されていないため、C71x に接続されている Matrix Math Accelerator (MMA) は、電源投入後に HWA_STATUS レジスタの FirstErrorCode および LastErrorCode フィールドのエラーを報告することがあります。これらのフィールドはスティッキーであるため、以降の HWARCV 命令では C71x 例外がスローされる場合があります。

回避方法：

電源投入後、C71x で実行される短い命令シーケンスによって、通常の MMA 動作が最初に実行される前に内部 MMA 状態を初期化できます。必要なシーケンスの実行は 1 つだけです。

このシーケンスでは、有効な HWA_CONFIG および HWA_OFFSET 値が生成され、MMA にロードされてから、スティッキー エラー コードがクリアされます。

C71x アセンブリ コードのシーケンスは次のとおりです。

```
PROT
    MVK32 .M2 0x0,B0 ; clear low word of VB0
    VDUPW .C2 B0,VB0 ; duplicate word across VB0
    HWAOPEN .L2 VB0,VB0,0 ; clear HWA_CONFIG and HWA_OFFSET
    HWACLOSE .S1 0 ; clear any error conditions
```

i2097

DSS：オーバーレイに接続されている層を無効化すると、次のフレームで Syncrost が発生することがあります

詳細：

OVR に接続されている層 (例：VID1) を無効化する (DSS_VID_ATTRIBUTESx[0] ENABLE を 1 から 0 に切り替える) と、次のフレーム中に同期される場合があります。同期化すると、破損

i2097 (続き)

DSS：オーバーレイに接続されている層を無効化すると、次のフレームで Syncrost が発生することがあります

またはブランク フレームが発生する可能性があります (フレーム中に DSS から送信されるすべてのピクセル データは 0x0 です)。Syncrost の発生は、層の無効化に対して GO ビットを設定するタイミング (DSS_VP_CONTROL[5] GOBIT を 1 に設定する) に依存します。「層を無効化する」MMR 書き込み動作と「GO ビットを設定する」MMR 書き込み動作が同じフレーム境界内で行われた場合、synclost は発生しません。フレーム境界を越えて動作が行われる場合、(1 フレームの場合) 同期化が発生します。設計は自動的に回復し、GO ビットが設定されると次のフレームから通常の動作に戻ります。図 2-1 を参照してください。

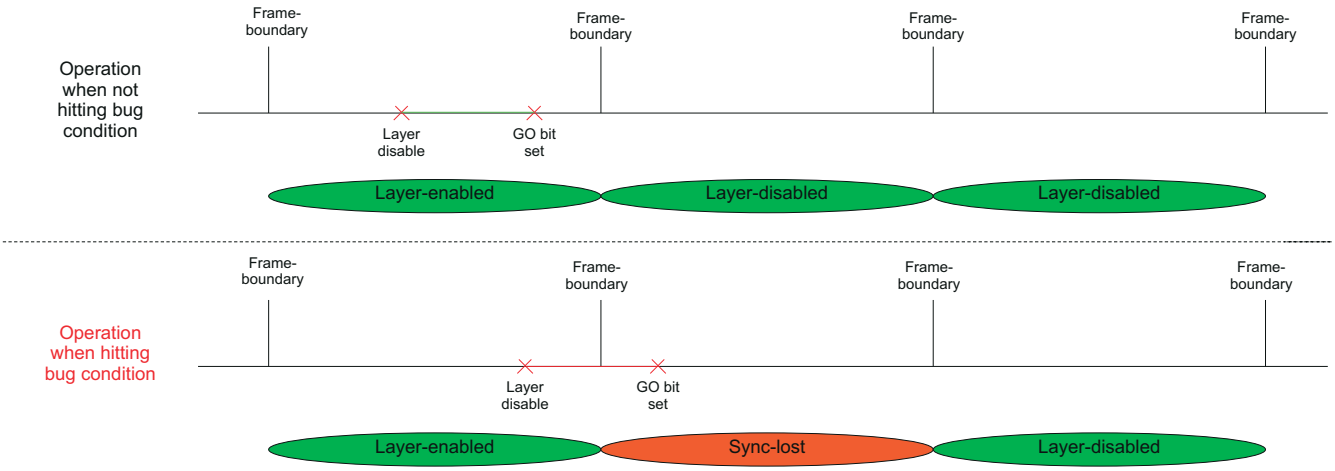

図 2-1. バグ状態

回避方法:

単純なソフトウェア回避方法が存在します。回避方法では、OVR で層を無効化する前に、その層は OVR の「非表示」領域に移動されます (例：DSS_OVR_ATTRIBUTES_x[17-6] POSX = max_value_of_posx または DSS_OVR_ATTRIBUTES_x[30-19] POSY = max_value_of_posy)。これにより、層がディスエーブルになっている場合に syncrost が回避されます。

図 2-2 に、ソフトウェア回避方法疑似コードの例を示します。この場合、通常の「層を無効化する」MMR 書き込み動作と「GO ビット セットを設定する」MMR 書き込み動作は、ソフトウェア回避方法を実装するマクロに置き換えられます。

```
macro disable_layer (overlay n , layer m)
set OVR[n].ATTRIBUTES2[m].POSX = posx_max;
set OVR[n].ATTRIBUTES2[m].POSY = posy_max;
global_ovr_layer_disable_tracker[n][m] = 1;
endmacro

macro set_go_bit (vp n)
if(|(global_ovr_layer_disable_tracker[n])//any bit set
{
   set VP[n].CONTROL.GOBIT  = 1;
   Wait for 10 DSS FUNC CLK cycles;
   for (i=0;i<NUM_LAYERS;i++)
   {
     if(global_ovr_layer_disable_tracker[n][i])
     {
        Clear OVR[n].ATTRIBUTES[i].ENABLE = 0;
        global_ovr_layer_disable_tracker[n][i] = 0;
     }
   }
}
set VP[n].CONTROL.GOBIT  = 1;
endmacro
```

- Replace layer disable MMR write operation with a macro which positions the layer to the non-visible area of the OVR
- Track which layers are disabled. This will be used while GO bit is set

- Replace GO bit set MMR write operation with this macro
- First, set GO Bit for the changes in “disable_layer” macro (and any other earlier changes) to take effect
- After the first GO bit set, few idle_cycles (10 DSS functional clock cycles) are necessary before we move to the second step

- In the second step, actually disable the layers based on the previously tracked information
- Set the GO bit for the second time for the disable of the layers to take effect

図 2-2. 回避方法擬似コード

i2134 ***USB:2.0 コンプライアンス受信感度テストの制限***

詳細:

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用してこれらのテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッショルドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

i2189 ***OSPI:コントローラ PHY のチューニング アルゴリズムを追加***

詳細:

PHY モジュールがイネーブルのとき、OSPI コントローラは DQS 信号を使用してデータをサンプリングします。しかし、モジュールに問題が存在する必要があります。これは、このサンプルは内部クロックで定義されたウィンドウ内で発生する必要があります。読み取り動作は外部遅延の影響を受け、温度によって変化します。任意の温度で読み取りが有効になるようにするには、最も堅牢な TX、RX、読み取り遅延の値を選択する特別なチューニング アルゴリズムを実装する必要があります。

回避方法:

このバグの回避方法については、SPRACT2 に詳細が記載されています。一部の PVT 条件でデータをサンプリングするには、ユーザーは読み取り遅延フィールドをインクリメントして、内部クロックのサンプリング ウィンドウをシフトする必要があります。これにより、データ アイ内の任意の場所でデータのサンプリングが可能になります。しかし、これには次の副作用があります。

1. すべての読み取り動作に対して PHY パイプライン モードを有効化する必要があります。書き込みのために PHY パイプライン モードを無効化する必要があるため、読み出しと書き込みは個別に処理する必要があります。
2. 回避方法が実行されると、ビジー ビットのハードウェア ポーリングが壊れます。そのため、代わりに SW ポーリングを使用する必要があります。ホストとフラッシュ デバイスのどちらからも割り込みが発生しないように、DMA アクセスにより、ページ境界内で書き込みを行う必要があります。ソフトウェアは、ページ書き込みの間でビジー ビットをポーリングする必要があります。または、ハードウェア ポーリングを有効化した状態で、PHY 以外のモードで書き込みを実行することもできます。
3. STIG 読み取りは余分なバイトでパディングされ、受信データは右シフトされなければなりません。

i2196 ***IA:IA でデッドロック シナリオが発生する可能性があります***

詳細:

割り込みアグリゲータ (IA) には、イベント トランスポート レーン (ETL) バスに到着したイベントを割り込みステータス ビットに変換するというメイン機能が 1 つあります。これは、レベル割り込みの生成に使用されます。IA バージョン 1.0 でこの関数を実行したブロックはステータス イベント ブロックと呼ばれていました。

ステータス イベント ブロックに加えて、マルチキャスト イベント ブロックとカウント イベント ブロックという 2 つの主要な処理ブロックがあります。マルチキャスト ブロックは、実際にはイベント スプリッタとして機能します。イベントが発生するたびに、2 つの出力イベントを生成できます。カウント

i2196 (続き)

IA:IA でデッドロック シナリオが発生する可能性があります

イベント ブロックは、高周波イベントを読み取り可能なカウントに変換するために使用されます。入力イベントをカウントし、0 以外のカウント値との間のカウント遷移時に出力イベントを生成します。ステータス イベント ブロックとは異なり、マルチキャストおよびカウント イベント ブロックは出力 ETL イベントを生成し、他の処理ブロックにマッピングします。

設計後に、IA のデッドロックを引き起こす可能性のある問題が発見されました。この問題は、これら 3 つの処理ブロック間でイベント「ループ」が発生した場合に発生します。パスがブロックされているために処理ブロックがイベントを出力できず、イベントを出力できないために、新しい入力イベントを取得できない状況が発生する場合があります。この入力イベントを受信できないため、出力パスがアンワインドできなくなり、両方のパスがブロックされたままになります。

回避方法:

図 2-3 に、IA 1.0 の概念ブロック図を示します。潜在的なループは、カウント イベント ブロックがマルチキャスト ブロックにイベントを送信しないようにするポリシーを採用することで回避できます。最初にイベントを分割してから、他の場所に送信する間に 1 を数えるのが一般的であるために、この方法が選択されました。このパスが慣例によってブロックされている場合、1 つのイベントが複数回ブロックにアクセスすることはできず、出力がブロックされない限り、パスがブロックされることはありません。

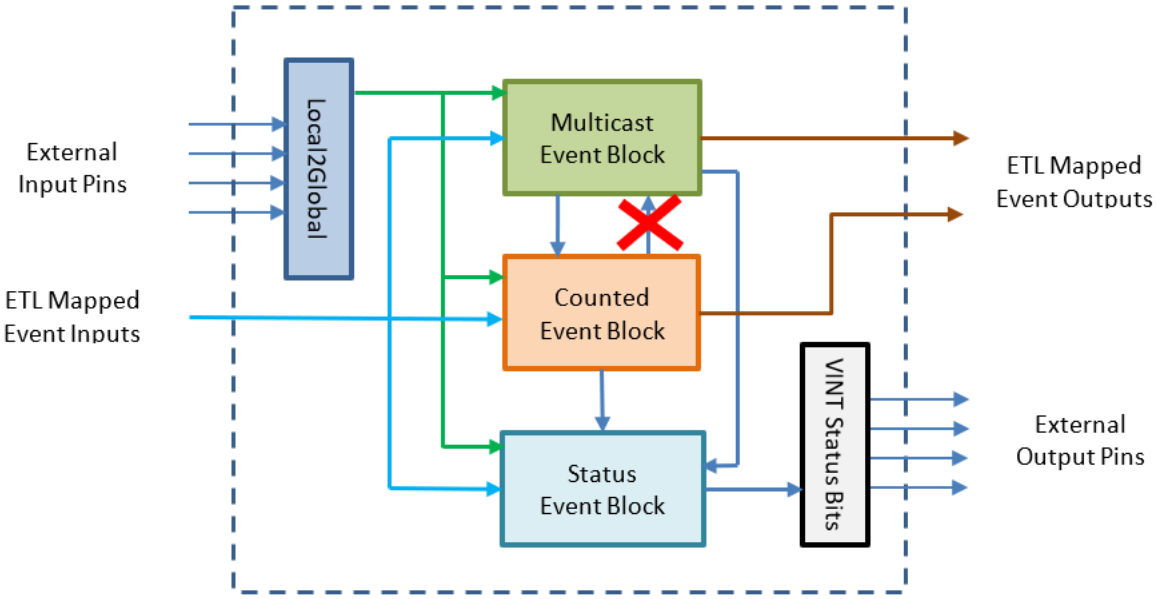

図 2-3. 割り込みアグリゲータ バージョン 1.0

ここに概説されているルールに従うと、システムは、デッドロック シナリオを発生させる可能性のあるループ危険性を回避して安全に動作できます。

i2199

C71x:非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します

詳細:

AM1 が AM0 よりも大きい循環バッファ サイズを参照している場合、SE は非アライメントの転置されたストリーム中に間違った 64B 行のデータを再利用することができます。これは、転置されている行の 1 つが AM1 循環バッファ境界を超え、AM0 境界を超えていないときに発生します。

i2199 (続き) ***C71x:非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します***

回避方法:

転置されたストリームを完全にアラインさせます。つまり、開始アドレスとスケーリングされたすべての DIM 値が 64B の倍数になるか、AM1 が AM0 よりも大きな循環アドレッシング バッファ サイズにならないように設定します。

i2208 ***CPSW:ALE IET エクスプレス パケット ドロップ***

詳細:

この問題は、次のモジュールに影響を与えます。

[AM62A/D] 3 ポート CPSW

ALE の問題は、短い高速トラフィックでの CPSW 周波数と IET 動作、および非 10G 対応ポートで 60 ～ 69 バイトのプリエンプトされたパケットが原因です。

プリエンプト可能な IET パケットが 60 ～ 69 バイトで中断された場合、次のチャンクが到着したときにルックアップが行われます。CPSW は、プリエンプト可能な MAC から ALE 64 バイトのみを提供します。

その結果、短い高速トラフィック ルックアップは 64 バイトの高速トラフィックの最後から開始されますが、プリエンプト キューが続行されると、プリエンプトされたトラフィックは 64 バイトを完了し、プリエンプト パケットのルックアップを試行します。しかし、このルックアップは、エクスプレス ルックアップの開始から 64 クロックよりも少ないため、エクスプレス ルックアップは中止され (エクスプレス トラフィック ドロップが行われる)、プリエンプトされたトラフィックの新しいルックアップが開始されます。

問題を引き起こすルール:

1. 5/10G 動作ができないポートで IET (Interspered Express Traffic) モードになっていること
2. リモート エクスプレス パケットが 60 バイトまでのパケットをプリエンプトできること
3. 128 バイト以上のプリエンプト パケット トラフィック
4. プリエンプト トラフィックを 60 ～ 69 バイトの範囲で中断するエクスプレス トラフィック
5. プリエンプト トラフィックの継続が直ちに続く短い高速トラフィック
   a. エクスプレス フレームとプリエンプト フレーム間のギャップが最小
6. CPSW 周波数が必要な速度の最小能力であること

回避方法:

IET ネゴシエーション中に、リモートに 128 バイトのフラグメントを指定します。

i2249 ***OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード***

詳細

OSPI 内部 PHY ループバック モードと内部パッドループバック モードは、「立ち上げエッジをキャプチャ エッジとして」(同じエッジ キャプチャまたは 0 サイクル タイミング) を使用します。

プログラマブル受信遅延ライン (Rx PDL) は、往復遅延 (Tx クロックからフラッシュ デバイス、フラッシュ クロックから出力、フラッシュ データからコントローラ) を補償するために使用されます。

内部ループバック モードと IO ループバック モードの場合、Rx PDL の合計遅延は往復遅延を補償するのに十分ではないため、これらのモードは使用できません。

i2249 (続き)

OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード

次の表に、OSPI コントローラで推奨されるクロック トポロジを示します。ここで説明されていない他のモードはすべて、DDR モードのアドバイザリの影響を受け、クロック トポロジは推奨されません。

表 2-1. OSPI クロッキング トポロジ

クロック モードの用語	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	ボードの実装
ループバックなし、PHY なし	0 (PHY ディスエーブル)	1 (適応ループバック クロックを無効化)	X	なし。内部クロックに依存。最大周波数 50MHz。
PHY による外部ボード ループバック	1 (PHY イネーブル)	0 (適応ループバック クロックを有効化)	0 (DQS ディスエーブル)	外部ボード ループバック (OSPI_LOOPBACK_CLK_SEL = 0)
PHY を搭載した DQS	1 (PHY イネーブル)	x (DQS イネーブルが優先)	1 (DQS イネーブル)	メモリ ストローブは SOC DQS ピンに接続

回避方法

なし。説明の表に基づいて、影響を受けないクロック モードのいずれかを使用してください

i2278

MCAN:同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

詳細

このエラッタは、複数の Tx バッファが同じメッセージ ID (TXBC.NDTB > 1) で構成されている場合に制限されます。

次の状況では、メッセージは順序が正しくない状態で送信されることがあります。

- 同じメッセージ ID で構成された複数の Tx バッファ
- これらの Tx バッファに対する Tx 要求が、それぞれの間に遅延が発生して順次送信される場合

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2279

MCAN:同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新

詳細

同じメッセージ ID で構成された複数の専用 Tx バッファからのメッセージ送信に関する M_CAN ユーザー マニュアルのセクション 3.5.2「専用送信バッファ」とセクション 3.5.4「送信キュー」の説明がエラッタで更新されています。

i2279 (続き) ***MCAN : 同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新***

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2310 ***USART : 「タイムアウト割り込みの誤ったクリア / トリガ」を追加***

詳細:

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:

CPU の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
  - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です
- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
  - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
  - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
  - IIR レジスタを読み出して、割り込みをクリアします
  - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
  - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
  - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合:
  - これにより、DMA は SW ドライバによって破棄されます
  - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311 ***USART スプリアス DMA 割り込み***

詳細:

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガ レベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガ レベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2312 MMCSD:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます

詳細:

高速 HS200 および SDR104 モードでは、MMC モジュールの機能クロックは最大 192MHz に達します。この周波数では、MMCSD_SYSCTL[19:16] DTO = 0xE を使用した MMC ホスト コントローラからの最大取得可能タイムアウトは、(1/192MHz)*2^27 = 700ms です。700ms を超えるコマンドは、この小さなウィンドウ フレームによって影響される場合があります。

回避方法:

このコマンドで 700ms より長いタイムアウトが必要な場合は、MMC ホスト コントローラのコマンドのタイムアウトを無効化し (MMCSD_CON[6] MIT=0x1) 、その代わりにソフトウェア実装を使用できます。詳細な手順は次の通りです (Linux の場合)。

1.MMC ホスト コントローラのプローブ機 (omap_hsmmc.c:omap_hsmmc_probe()) 中、ホスト コントローラが必要なすべてのタイムアウトをサポートできないことをプロセッサに通知します。

2.基盤となる MMC ホスト コントローラが必要なタイムアウトをサポートできない場合、コアが自動的にタイムアウトするように、MMC コア ソフトウェア層の機能を変更します。

i2366 ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません

詳細:

『JEDEC 仕様 JESD216 - シリアル フラッシュ検出可能パラメータ (SFDP) 』には、特定のシリアル フラッシュ デバイスで使用されるパラメータ表の詳細、およびデバイスの通信 / 構成方法が説明されています。ROM は、デバイスの機能 (1S-1S-1S を 8D-8D-8D モードに変更する方法など) について SFDP の関連部分は認識しますが、以下を必要とするフラッシュ デバイスは適切に認識しません。

- 1S-1S-1S モードと比較した 8D-8D-8D モードでのバイト順序の入れ替え
- 8D-8D-8D モードで最初に送信されたバイトとは異なるコマンドを必要とするコマンド拡張子 (オペコードの反転または別の一意のバイト)

回避方法:

JEDEC JESD216 に準拠している候補フラッシュ メモリの SFDP 表を確認します。ほとんどの場合、ベンダはこの表を公開しておらず、代わりにフラッシュ ベンダから要求できます。JEDEC 基本フラッシュ パラメータ テーブルの 18 番目の DWORD に、値が「1b」のビット 31 がある場合、メモリは工場からスワップされたバイト順序でプログラムされているか、または SoC でプログラムされているはずです。ビット[30:29] の値が「00b」以外の場合、これは 8D-8D-8D モードのブート モードでは動作しません。そのため、そのフラッシュ デバイスで 8D-8D-8D ブート モードを使用しないでください。

i2371 ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります

詳細:

アドバイザリ i2310 により、UART ブート中に ROM コードの実行がハングする可能性があります。i2310 に搭載されているソフトウェア回避方法は ROM には実装されていないため、予期しない状態で誤ったタイムアウト割り込みがトリガされる可能性があります。これにより、ROM がこの割り込みをクリアできなくなり、その結果ハングする可能性があります。

これは、UART ブート モードが使用されるときや、UART をブート インターフェイスとして使用して、UniFlash や OTP Keywriter による eFuse のプログラミングなどの量産フローを実現する場合に発生する可能性があります。

回避方法:

なし。別のブート インターフェイスを使用する必要があります。

i2120 ***C71x:LEZR を使用して転置されたストリームで、SE が非パリティ エラー検出でハングアップします***

詳細:

C71x ストリーミングエンジン (SE) パイプラインでは、フォーマットされたデータを返し、レポートの内部エラー情報を返すために、常にタグを監視して、作業中のデータのタグを監視します。データを CPU にフォーマットするために使用されるデータの行にエラーが検出されると、UMC、uTLB に 移動するコマンドをキューイングするためのフェッチ側の実行がすべて停止され、フォーマット パイプラインが CPU に戻されます。

一般的な動作では、エラーが監視されているタグは、現在のコマンドで使用されているタグだけです。転置モードの場合、これは現在の配列列によってタッチされるすべてのタグです。内部タグ監視の抑制にギャップがあると、フォーマット パイプラインは LEZR 機能のゼロ ベクトルを作成する際に現在作業していないタグを監視します。SE のフェッチ側で将来の列のエラーが発生して記録された場合、フォーマット側はそれを認識してその列のコマンドがフォーマットのためにコミットされる前にフェッチ側を停止することがあります。

エラーは、フォーマットのために内部的にコミットされたコマンドについてのみ CPU に報告されます。したがって、列をコミットする前に内部実行を停止しても、CPU にエラーは報告されません。SE はエラーを報告せずにフェッチ動作を停止するため、関連しない外部イベントまたは割り込みが発生するまで、CPU は SE からのデータまたはエラーを待機してハングアップします。

回避方法:

唯一の 100% 回避方法は、LEZR モードと転置モードの両方が有効な状態でストリーム テンプレートを使用しないことです。

i2137 ***PSIL:クロック停止動作により、未定義の動作が発生する可能性があります」を追加***

詳細:

クロック停止インターフェイスは、モジュールへのメイン クロックを適切に停止するハンドシェイクを調整するために使用される要求 / ACK インターフェイスです。最初にチャネル ティアダウンを実行したり、グローバル イネーブル ビットをクリアしたりせずにモジュール上でクロック停止を試みると、モジュール固有の動作が未定義になる可能性があります。

影響を受けるモジュールは、PDMA、SA2UL、Ethernet SW、CSI、UDMAP、ICSS、および CAL です。

回避方法:

クロック停止動作を実行する前に、ソフトウェアはすべてのアクティブ チャネルを解除する必要があります (UDMAP の「リアルタイム」レジスタ、または PSIL ベースのモジュールの PSIL レジスタ 0x408 を介して)。これが完了したら、すべてのチャネルのグローバル イネーブル ビットもクリアします (UDMAP および PSIL ベースのモジュールの両方の PSIL レジスタ 0x2 を使用)。

i2190 ***CSI:CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります***

詳細:

CRC エラーが発生する可能性のある不完全なフレームが CSI2 インターフェイスによって受信されると、モジュールは不明な状態になる可能性があります。この場合、以降のすべてのイメージ フレームはキャプチャされません。

回避方法:

CSI_RX_IF モジュールをリセットします。

i2253 ***PRG:CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです***

詳細

CTRL_MMR PRG STAT レジスタの POK 過電圧および低電圧フラグは、POK が障害を認識したかどうかを示す信頼性が低いインジケータです。その結果、デバイス テクニカル リファレンス マニュアル (TRM) では、これらのビットが「予約済み」とマークされています。

回避方法

フィルタ処理された POK 出力は ESM フラグを更新します。

POK の初期化 (イネーブル) 時に、ESM フラグをクリアする必要があります (バンドギャップ中または POK のセトリング タイム中に実行される比較のため)。この最初のクリアの後、ESM フラグは、POK からの信頼できる障害 (または障害なし) インジケータとして使用できます。

i2373 ***VPU:VPU の割り込みは A53 にルーティングされません***

詳細

ビデオ アクセラレータ (VPU) 割り込み CODEC0_VPU_WAVE512CL は A53 コアに配線されていません。VPU 割り込みは、DM R5 と MCU R5 にのみ配線されます。

回避方法

A53 は、VPU 割り込みを管理するために VPU の状態をポーリングする必要があります。

i2383 ***OSPI：2 バイト アドレスは、PHY DDR モードではサポートされていません***

詳細：

PHY DDR モードで OSPI コントローラが 2 バイト アドレッシングに構成されていると、内部ステート マシンが送信されたアドレス バイト数を誤って (2 ではなく) 1 と比較します。これにより、ステート マシンがアドレス位相でロックアップし、PHY DDR モードが動作不能になります。

この問題は、タップ モードまたは PHY SDR モードを使用する場合は発生しません。PHY DDR モードで 4 バイト アドレッシングを使用する場合も、この問題は発生しません。

回避方法：

互換性のある OSPI メモリにプログラマブル アドレス バイト設定がある場合は、フラッシュの 2 ～ 4 に必要なアドレス バイト数を設定します。これには、アドレス バイトを変更するための特定のコマンドの送信やフラッシュ上の構成レジスタへの書き込みが含まれる場合があります。完了したら、コントローラ設定で送信されたアドレス バイト数を 2 から 4 に更新します。

2 バイト アドレッシングのみをサポートし、再プログラムできない互換 OSPI メモリについては、PHY DDR モードはそのメモリと互換性がありません。代替モード：

- PHY SDR モード
- TAP (非 PHY) DDR モード
- TAP (非 PHY) SDR モード

i2401 ***CPSW：ホストのタイムスタンプにより、CPSW ポートがロックされます***

詳細：

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された EtherType フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信されるパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホスト タイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケット プリアンブルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの tstamp_en ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法：

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2407 ***RESET：MCU_RESETz が Low にアサートされる場合に、MCU_RESETSTATz には信頼性がありません***

詳細：

MCU_RESETSTATz は短時間定期的に High になり、その後、MCU_RESETz が Low にアサートされている間に再度 Low になります。この問題は、MCU_RESETz が 100us を超える間

i2407 (続き)

RESET:MCU_RESETz が Low にアサートされる場合に、MCU_RESETSTATz には信頼性がありません

Low にアサートされる場合にのみ見られます。MCU_RESETz が Low の間、デバイスはリセット状態を維持します。このアドバイザリは MCU_RESETSTATz 信号にのみ適用されます。

回避方法:

このアドバイザリの回避方法として、次のいずれかを使用できます。

- 機能システムで MCU_RESETz を使用しないでください。MCU_RESETz はデバッグに使用でき、エラッタ制限を実現できます。
- MCU_RESETz の最大 Low 期間を 100us 未満に制限します。
- MCU_RESETSTATz の代わりに、メイン ドメイン RESETSTATz を使用します。MCU_RESETz によってメイン リセットも発生するため、デバイス リセット監視にメイン ドメイン RESETSTATz を使用できます。RESETSTATz のタイミング仕様については、データシートを参照してください。
- 新規設計では、メイン ドメイン リセットと MCU ドメイン リセットを生成する回路を、RESETz への入力として AND ゲートと組み合わせています。また、MCU ドメイン リセット回路を MCU_RESETz 入力に接続しています。これにより、MCU_RESETz および MCU_RESETSTATz を使用して MCU ウォーム リセットの全機能を提供し、MCU ドメイン リセットのステータスを示します。RESETz は、AND ゲートを使用して、メイン ドメイン リセットと MCU ドメイン リセットのどちらかでトリガされます。

i2409

USB:短時間のサスペンドが原因で USB2 PHY がロックアップします

詳細:

USB コントローラがサスペンドに移行してから 3 マイクロ秒以内に発生する USB ウェークアップ イベントに応答して、USB 2.0 PHY がハングアップする場合があります。この PHY ハングは、ウォーム リセットがディスエーブルであるため、パワー サイクルを介してのみ回復できます。

回避方法:

注:この回避方法は、USB がプライマリ ブート モードではない場合にのみ適用されます。USB がプライマリ ブート モードの場合は、回避方法はありません。

この問題が発生しないようにするには、USB コントローラの初期化プロセス中に特定の順序の動作を観察する必要があります。

1. LPSC を介して USB コントローラをリセットします。
2. PHY2 領域の PLL_REG12.pll_ldo_ref_en フィールド (ビット 5) を「1」に設定します。
3. PHY2 領域の PLL_REG12.pll_ldo_ref_en_en フィールド (ビット 4) を「1」に設定します。
4. 通常の USB コントローラの初期化を続行します。

i2410

ブート:i2409 が原因で ROM のブートに失敗することがあります

詳細:

i2409 が原因で、ウォーム リセット後に ROM が USB ブート モードでブートできない場合があります。ROM は i2409 に記載されている回避方法を実装しないため、USB 2.0 PHY がハングアップすると、ROM がハングアップしてブートに失敗します。

回避方法:

i2410 (続き)

ブート:i2409 が原因で ROM のブートに失敗することがあります

i2409 で説明されているアドバイザリは、ソフトウェアのアドバイザリに記載されている回避方法の 1 つを実装することで回避する必要があります。

i2376

C7x:2 つの VPUT/MVC 命令が連続して実行された後、SE/SA/HWAOPEN が破損したテンプレートを受け取ります

詳細

C7604 CPU では、プログラミング情報が SEOPEN を介してストリーミング エンジンに、SAOPEN を介してストリーミング アドレス ジェネレータに、HWAOPEN 命令を介して MMA に送信されます。このプログラミング情報は、CPU の CUCR レジスタから供給され、MVC および VPUT ファミリの命令を使用して実装および更新されます。これらの CUCR レジスタに書き込まれたデータは、3 つの CPU サイクルのシーケンスで CUCR レジスタが最初の 2 サイクルで更新され、3 番目のサイクルで SEOPEN、SAOPEN、または HWAOPEN 命令で使用される場合、誤って SEOPEN 命令、SAOPEN 命令、および HWAOPEN 命令に転送される場合があります。

たとえば、このシーケンスは SAOPEN 命令の実行中に転送エラーが発生し、SA0 のプログラミングが破損します。

```
MVC .C2 VB0, CUCR0
VPUTD .C2 B1, 0, CUCR0
SAOPEN .C2 CUCR1:CUCR0, 0
```

回避方法

この問題は、次の 3 つの実行パケットのシーケンスを回避することで防げます。最初の 2 つに同じ CUCR に書き込む MVC/VPUT 命令があり、3 つ目の実行パケットには同じ CUCR から読み取る SE/SA/HWAOPEN 命令があるシーケンスを回避しましょう。この回避方法は、C7504 コードをコンパイルするときにコンパイラによって自動的に含まれます。

i2399

C7x:CPU NLC モジュールは、割り込み時に状態をクリアしません

詳細:

データ破損は、次の場合に発生します。

1. タスクの切り替えを含むアプリケーションを実行した場合。この場合、NLC を使用するタスクは少なくとも 2 つあります。
2. タスク A に割り込みが発生すると、その後に TICK が発生する NLCINIT が発行されます。この動作により、NLC モジュール内に何らかの内部状態が設定され、計算された転送ケースがフラッシュされるため、次の TICK で ILCNT_INIT 値を ILCNT に再ロードする必要があることが示されます。割り込みが発生しても、この状態は正しくクリアされません。
3. ISR は、NLC コードも実行されているタスク B へのタスク切り替えを実行します。返される NLC コードは進行中であり、元のタスクの NLC ループとは異なる ILCNT_INIT 値を持つ必要があります。
4. ISR から復帰した後、次の TICK では、破損した状態が原因で、ILCNT を間違った値 (ILCNT_INIT-2) に設定し始めます。

この時点で ILCNT が破損し、NLC ループが誤った反復回数を実行するため、データが破損する可能性があります。

回避方法:

コンテキストの保存の一環として ISR で NLCINIT (パラメータは関係なく、後から TICK's/BNL も必要ありません) を発行します。回避方法による性能への影響はありません。

i2413 *ブート:HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります*

詳細:

ROM は、ブート ローダと TIFS 画像の両方が存在する画像形式をサポートしています。これを合成画像といいます。

HS-FS デバイスでは、合成画像が RSA キーで署名されると、ROM は次のことを実行する必要があります。

- ブート ローダ コンポーネントの整合性チェックをスキップします。
- TIFS コンポーネントの整合性チェックと署名検証を実行します。

ROM のバグのため、RSA 非縮退鍵が使用されるとき、ROM は HS-FS デバイス上の TIFS コンポーネントの整合性チェックをスキップします。

回避方法:

RSA 縮退鍵を使用して X509 証明書に署名すると、すべてのコンポーネント (ブートローダーおよび TIFS) の整合性チェックを有効にします。

i2414 *ブート:イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません*

詳細:

ROM イーサネット (RGMII と RMII のどちらか) のブート モードは、リンク ステータスをチェックする前に完了するまでの PHY 自動ネゴシエーションに依存しています。このため、自動ネゴシエーションをサポートしていない PHY は、このブート モードでは動作できません。

回避方法:

どちらでも、自動ネゴシエーションをサポートする PHY は必要ありません。

i2419 *ブート:デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません*

詳細:

PLL デスキュー キャリブレーションがディスエーブルの場合、ROM ドライバ コードは、デスキュー キャリブレーションがイネーブルかどうか、およびロックが失敗しているかどうかをチェックするはずです。しかし、現在のコードには、if 条件に代入があります。そのため、config ビットをクリアする前にデスキュー キャリブレーションがイネーブルかどうかはチェックされません。機能的な問題はありません。

回避方法:

なし

i2420 *ブート:SFDP モードでの XSPI ブート時間が一定せず、ばらつきが生じることがあります*

詳細:

SFDP がイネーブルの状態で xSPI ブートを使用する場合 (つまり、25Mhz で DDR モードでブートする場合)、コールド ブートまたはウォーム ブートによってブート時間が変動します。この問題は、OSPI サブシステムにおける非同期ブリッジ クロスに関連して、次の範囲に競合条件が発生しています。

1. OSPI IP がデータのプリフェッチを完了中

i2420 (続き) ***ブート:SFDP モードでの XSPI ブート時間が一定せず、ばらつきが生じることがあります***

2. 次の読み取りトランザクションは、TI OSPI ラッパーによって OSPI IP に送信されます。

これにより、OSPI コントローラがチップ セレクトをデアサートするのに十分な遅延が生じ、全体の転送が遅くなります。

回避方法:

なし

i2421 ***ブート時に fatTiny GPT の処理が原因でデータ アボートが発生することがあります***

詳細:

GPT 形式のファイルシステムから起動しようとすると、パブリック ROM (R5) がデータ アボートに移行します。この時点で、ウォッチドッグ タイマが作動するまで起動が停止します。

回避方法:

この GPT パーティション テーブル タイプはサポートされていません。パーティション テーブルが MBR で、ブート パーティション タイプが FAT であることを確認してください。

i2422 ***ブート:MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます***

詳細:

空または消去された (または工場出荷時の) eMMC デバイスから SD/MMC のブート (ファイルシステム モード) を試行した場合、ROM のバグが原因で、バックアップ ブート モードに切り替える通常のブート タイムアウトは発生しません。ウォッチドッグ タイマのリセットが作動するまで、ブートが無限ループに陥るためです。

回避方法:

eMMC フラッシュをプログラムするには、別のプライマリ ブート モードから起動する必要があります。

i2423 ***ブート:HS-FS ROM は、efuse コントローラのファイアウォールで保護されているアドレス領域全体にデバッグ アクセス制限を適用します。***

詳細:

HS-FS デバイス ROM では、セキュア アセットを含む FWL 33 および 66 にデバッグ制限が適用されます。デバッグ アクセス制限は、セキュア アセットに適用される領域だけでなく、ファイアウォール領域全体に適用されました。これにより、外部エミュレータを使用して、画像の中に TIFS SW を必要とせずに、たとえば初期フラッシュ プログラミングを実行できなくなります。

回避方法:

TIFS SW は、必要なファイアウォールをオープンに要求できるようにするために必要です。

i2431 ***BCDMA :RX チャネルが特定のシナリオでロックアップする可能性があります***

詳細:

BCDMA RX チャネル ティアダウンにより、チャネルがロックされる可能性があります。構成固有のフラグ フィールドに EOP フラグが設定されている TR がない場合は、後続の転送に使用できなくなります。その後、チャネルが再度有効になっても、転送は完了せず、TR 応答でさまざまなエラーが発生して終了します。

回避方法:

a) PSIL/PDMA ペリフェラルからデータを受信する場合、チャネル ティアダウンが正しく機能し、内部状態メモリをクリーンアップするためには、各 TR の構成固有のフラグ フィールドに EOP フラグを設定し、PDMA の 1 X-Y FIFO モード静的 TR「Z」パラメータを 0 以外の値に設定する必要があります。そうしないと、それ以降の実行でチャネルがハングアップします。PDMA が各転送を個別のパケットとして区切るように、PDMA Z カウントも TR サイズと一致する必要があります。これは、ストリーミング モードで TR の 1 セットを使用して周期的転送を実行するために TRPD が無限のリロード カウントを設定している場合などに特に問題となります。この場合、各 TR が最後の TR になる可能性があります。

b) 事前に PDMA Z カウントを設定できない場合、またはパケット EOP を設定できない場合は、BCDMA ではなくシングル バッファ モードで PKTDMA を使用することが推奨されます。

i2435 ***ブート:eMMC ブートの ROM タイムアウトが長すぎる***

詳細:

ROM のバグにより、空または消去された (または工場出荷時の状態) eMMC デバイスから eMMC ブート モード (eMMC ブート パーティションから起動するモード、eMMC 代替モードとも呼ばれる) で起動を試みると、バックアップ ブート モードに切り替わるまでの通常のブート タイムアウトが 10 秒になります。

回避方法:

このタイムアウトがシステム内で長すぎると判断される場合、別のブート モードからブートする必要があります。

i2160 ***DDR :LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加***

詳細:

DDR PHY は、LPDDR4 コマンド バス トレーニング (CBT) 時に、コマンド / アドレス バスの VREF (ca) を更新します。VREF (ca) 検索範囲が無効な値に設定されている場合 (CBT 中に作業設定が見つからないなど)、トレーニング プロセスが失敗したり、ハングアップしたりする可能性があります。

回避方法:

CBT を有効化する前に、次のフィールドを既知の有効な作業値に設定します。

周波数設定 0 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F0 および PI_CALVL_VREF_INITIAL_STOP_POINT_F0

周波数設定 1 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F1 および PI_CALVL_VREF_INITIAL_STOP_POINT_F1

周波数設定 2 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F2 および PI_CALVL_VREF_INITIAL_STOP_POINT_F2

i2160 (続き)

DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加

公称 VRef 値 (プロセッサでの駆動強度のデバイス プログラミングおよびメモリの終端に基づく) ±4% を使用することを推奨します。http://dev.ti.com/sysconfig のオンライン DDR Register Configuration Tool を使用して、これらのレジスタをプログラムし、リビジョン履歴を確認して、この回避策が使用するツールのバージョンで対応されていることを確認してください。

i2436

BCDMA:RX CHAN CFG レジスタの BCDMA RX_IGNORE_LONG 設定が機能しません」を追加

詳細:

BCDMA の RXCHAN CFG レジスタの RX_IGNORE_LONG フラグは無視され、リモート エンドポイントが TR 境界と一致するように EOP を送信しない場合、BCDMA は TR 応答のエラーを報告します。

回避方法:

RX_IGNORE_LONG は使用できないため、PDMA などのリモート エンドポイントは、TR 境界に一致するように EOP を送信してパケットを閉じる必要があります (PDMA X*Y*Z は TR ICNT0*ICNT1*ICNT2*ICNT3 と一致する必要があります)。

無限のストリームが必要な場合 (PDMA Z = 0)、PKTDMA に切り替えて、シングル バッファ モードを使用します

i2482

ブート:SD カードの初期化中、ROM から十分なクロックが供給されません

詳細:

SD カード物理層仕様バージョンで指定されているように、ROM コードは 74 クロックを供給していません。2.00.これにより、SD カードの起動に失敗する可能性がありますが、影響を受けるデバイスのこのエラッタに起因する障害は発生していません。

回避方法:

なし

i2464

ブート:ROM は、フォーマットが正しくない SD カードからはブートできません

詳細:

ファイル システムの作成中にファイル システムが正しくフォーマットされていないと、MMCSD ブート モードが SD カードからブートできないことがあります。

回避方法:

Ubuntu 22.04 システムから SD を作成する場合は、mkfs.vfat コマンドに「-a」引数を追加して、正しいブート パーティションを生成します。

i2487

LPM: 低消費電力モードでは、DDR の内容を誤って破損する可能性があります

詳細:

ディープ スリープ モードまたは RTC+IO+DDR 低電力モードへの移行時に、デバイスで接続された DDR が保持モードに正しく移行されない場合があり、これは DDR データの破損につながります。

影響を受けるデバイスでは、ソフトウェアの回避策を適用せずにこれらの低消費電力モードを使用することはおやめください。

i2487 (続き) ***LPM: 低消費電力モードでは、DDR の内容を誤って破損する可能性があります***

回避方法:

この問題の回避策は、SDK バージョン 11.1 以降で提供されています。この回避策を適用することにより、さまざまなリセット シナリオにおいて、DDR のセルフリフレッシュを制御する内部保持ラッチを正しい状態に保つことができます。

i2493 ***MMCSD:HS200 の書き込みエラー***

詳細:

MMC0 インターフェイスが HS200 モードで動作していて、過剰な IO 電源ノイズが発生している場合に、複数のブロック書き込みを発行すると、書き込みエラーが発生する可能性があります。

IO 電源ノイズを最小限に抑えるため、以下のベスト プラクティスに従ってください。また、リンク先のアプリケーション ノートを参照してください。

- グラウンド層に隣接する広い電源プレーン / パターンを使用し、グラウンド層の間に薄い誘電体を配置します。
- 電源プレーン / パターン、および隣接するグランド プレーンは、電源部品の表面にできる限り近づけて配置します。
- さまざまな値のデカップリング コンデンサを使用し、低 ESL のコンデンサをデカップリング デバイスにできるだけ近づけて配置します。
- 電源ピンごとに 1 つのデカップリング コンデンサを使用します。
- デカップリング コンデンサおよび電源 / グランド ビアには、短く幅広いパターンを使用します。
- Sitara™ プロセッサ電源供給回路: 実装と分析

回避方法:

ソフトウェア回復メカニズムを実装します。このメカニズムでは、ブロック間の遅延を最小 5µs に抑えることでノイズを低減し、失敗した複数のブロック書き込みを再発行します。この遅延を実現するには、失敗した複数のブロック書き込みに対して単一のブロック書き込みを使用します。

商標

すべての商標は、それぞれの所有者に帰属します。

改訂履歴

Changes from DECEMBER 11, 2024 to OCTOBER 31, 2025 (from Revision B (December 2024) to Revision C (October 2025)) **Page**

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

最終更新日：2025 年 10 月