

Application Note

Taktflankenverzögerungskompensation mit isolierten Modulatoren Digitale Schnittstelle zu MCUs



Gizem Yucece, Alex Smith, Martin Staebler

ABSTRACT

Isolierte Delta-Sigma-Modulatoren wie der [AMC1306M25](#) mit digitaler Hochgeschwindigkeitsschnittstelle werden häufig für eine genaue, latenzarme und rauschunempfindliche Shunt-basierte Phasenstrommessung in [Servoantrieben](#) und [Robotik](#)-Anwendungen verwendet. Insbesondere bei höheren Taktfrequenzen sind Routing, Terminierung und die Einhaltung der Einrichtungs- und Hold-Timings der jeweiligen MCU für einen zuverlässigen Betrieb von entscheidender Bedeutung. Eine häufig verwendete Methode und ein Kompromiss zur Erfüllung der MCU-Timing-Anforderungen besteht in der Reduzierung der Modulator-Taktfrequenz, wodurch auch die Datenausgangsrate reduziert wird. Dieser Anwendungshinweis enthält weitere speziell für Taktkantenkompensationsmethoden entwickelte Anwendungen, um die Einrichtungs- und Timing-Anforderungen bis zur maximalen Taktrate des Modulators zu erfüllen. Dadurch kann das System mit der maximalen Datenrate arbeiten. Der Anwendungshinweis skizziert Optionen für die Taktkantenkompensation und zeigt Beispielmessungen mit den isolierten Modulatoren AMC130x von TI, die an C2000™- und Sitara™-MCUs angeschlossen sind. Zusätzlich wird ein Berechnungstool bereitgestellt, um das Timing der digitalen Schnittstelle zu validieren.

Inhalt

| | |
|--|----|
| 1 Einführung | 3 |
| 2 Design-Herausforderung durch Timing-Spezifikationen für digitale Schnittstellen | 4 |
| 3 Designansatz mit Taktflankenverzögerungskompensation | 8 |
| 3.1 Taktsignalkompensation mit Softwarekonfigurierbarer Phasenverzögerung..... | 8 |
| 3.2 Taktsignalkompensation mit Hardware-konfigurierbarer Phasenverzögerung..... | 9 |
| 3.3 Taktsignalkompensation durch Taktrückkehr..... | 9 |
| 3.4 Taktsignalkompensation durch Taktumkehr an der MCU..... | 10 |
| 4 Test und Validierung | 12 |
| 4.1 Prüfausrüstung und Software..... | 12 |
| 4.2 Testen der Taktsignalkompensation mit softwarekonfigurierbarer Phasenverzögerung..... | 12 |
| 4.3 Testen der Taktsignalkompensation durch Taktumkehr an der MCU..... | 15 |
| 4.4 Validierung des Timings digitaler Schnittstellen durch Berechnungstool..... | 17 |
| 5 Fazit | 19 |
| 6 Quellennachweise | 22 |
| 7 Revision History | 22 |

Abbildungsverzeichnis

| | |
|---|----|
| Abbildung 1-1. Vereinfachtes 3-Phasen-Inverter-Blockschaltbild mit digitaler Schnittstelle von MCU zu Isolator-Modulatoren..... | 3 |
| Abbildung 2-1. Vereinfachte digitale Schnittstelle des AMC1306M25 zum TMS320F28379D..... | 4 |
| Abbildung 2-2. AMC1306x Digitales Schnittstellen-Timing..... | 5 |
| Abbildung 2-3. TMS320F28379D SDFM-Zeitdiagramm – Modus 0..... | 5 |
| Abbildung 2-4. AMC1305L25 Digitale Schnittstelle zu TMS320F28379D..... | 6 |
| Abbildung 2-5. Digitale CMOS-Schnittstelle zum TMS320F28379D AMC1303M2520 für 3,3 V..... | 6 |
| Abbildung 3-1. MCU-Schnittstelle AMC1306M25 bis AM243x mit softwarekonfigurierbarer Taktphasenverzögerung..... | 8 |
| Abbildung 3-2. AM243x SDFM-Timing mit 30 ns phasenverschobenen Taktsignaleingang bei SD0_CLK (GPIO1_1)..... | 9 |
| Abbildung 3-3. AMC1306M25 Digitale Schnittstelle zur MCU mit Kompensation durch hardwarekonfigurierbare Phasenverzögerung..... | 9 |
| Abbildung 3-4. Digitale MCU-Schnittstelle AMC1306M25 mit Kompensation durch Taktrückkehr..... | 10 |

| | |
|--|----|
| Abbildung 3-5. TMS320F28379D SDFM/GPIO-Blockschaltbild..... | 10 |
| Abbildung 3-6. TMS320F28379D SDFM-Timing mit invertiertem Taktgeber bei GPIO123..... | 11 |
| Abbildung 4-1. Testen Sie die Einrichtung der Taktsignalkompensation durch Phasenverzögerung in der Software mit dem TMS320F28379D-Launchpad AMC1306EVM und C2000..... | 13 |
| Abbildung 4-2. Testen Sie die Einrichtung der Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung mit AMC1306EVM und Sitara AM243x Launchpad..... | 13 |
| Abbildung 4-3. Messergebnisse des digitalen Schnittstellen-Timings von AMC1306EVM und TMS320F28379D mit Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung..... | 14 |
| Abbildung 4-4. Messergebnisse des digitalen Schnittstellen-Timings von AMC1306EVM und AM243x mit Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung..... | 15 |
| Abbildung 4-5. Testkonfiguration der Validierung des Timings der digitalen Schnittstelle..... | 15 |
| Abbildung 4-6. Takt- und Dateneingangs-Testsignale (nicht invertiert GPIO123) und Sinc3 OSR 64 Filterausgang in CCS.... | 16 |
| Abbildung 4-7. Takt- und Dateneingangs-Testsignale (nicht invertiert GPIO123) und Sinc3 OSR 64 Filterausgang in CCS.... | 17 |
| Abbildung 4-8. Zeitverlaufdiagramm C2000 Digitale Schnittstelle zum AMC1305L25 für typische Spezifikationen im Datenblatt bei 20 MHz Taktfrequenz mit Taktflankenkompensation mit Software-konfigurierbarer Phasenverzögerung..... | 19 |

Tabellenverzeichnis

| | |
|---|----|
| Tabelle 4-1. Liste der Prüfgeräte..... | 12 |
| Tabelle 4-2. Ergebnisse für C2000 MCU TMS320F28379D Digitale Schnittstellentimings mit AMC1305L25 bei 20 MHz Taktfrequenz..... | 18 |
| Tabelle 4-3. TMS320F28379D Digitale Schnittstellentimings mit AMC1305L25 bei 17 MHz Taktfrequenz..... | 18 |
| Tabelle 4-4. TMS320F28379D Digitale Schnittstellentimings mit AMC1305L25 bei 20 MHz-Takt mit Software-konfigurierbarer Phasenverzögerung..... | 19 |
| Tabelle 5-1. Vergleich der Taktkantenkompensationsmethoden..... | 20 |
| Tabelle 5-2. Empfohlene Taktkantenkompensationsmethoden für Modulatoren mit internem oder externem Takt..... | 20 |

Marken

C2000™, Sitara™, OSR™, and Code Composer Studio™ are trademarks of Texas Instruments. All trademarks are the property of their respective owners.

1 Einführung

Isolierte Delta-Sigma-Modulatoren werden häufig für die Shunt-basierte Phasenstrommessung in [Servoantrieben](#) und [Robotik](#)-Anwendungen verwendet, da eine genaue und latenzarme isolierte Phasenstrommessung einen erheblichen Einfluss auf die Leistung von Dreiphasen-Invertern hat. Delta-Sigma-Modulatoren stellen einen digitalen Bitstrom mit LVDS- oder CMOS-Schnittstelle zu einer MCU bereit. Dies ermöglicht die Messung des Phasenstroms mit außergewöhnlicher Rauschunempfindlichkeit, hoher Präzision und kurzer Latenzzeit. Weitere Informationen zu isolierten Modulatoren finden Sie im Anwendungshinweis [Vergleich isolierter Verstärker und isolierter Modulatoren](#).

Häufig werden die Shunts und die isolierten Delta-Sigma-Modulatoren auf der Leistungsstufen-Leiterplatte (PCB) platziert, während die MCU auf einer separaten Steuerplatinen-Leiterplatte (siehe Abbildung 1) platziert wird. Richtige Routing-Schemata auf den Leiterplatten und dem Schnittstellenanschluss sind für die Integrität des digitalen Signals von entscheidender Bedeutung. Bewährte Methoden für Takt- und Datenleitungsrouting und -Terminierung werden im Anwendungsbericht [Bessere Signalintegrität mit isoliertem Delta-Sig. Modulatoren in Motorantrieben \(ti.com\)](#) erläutert.

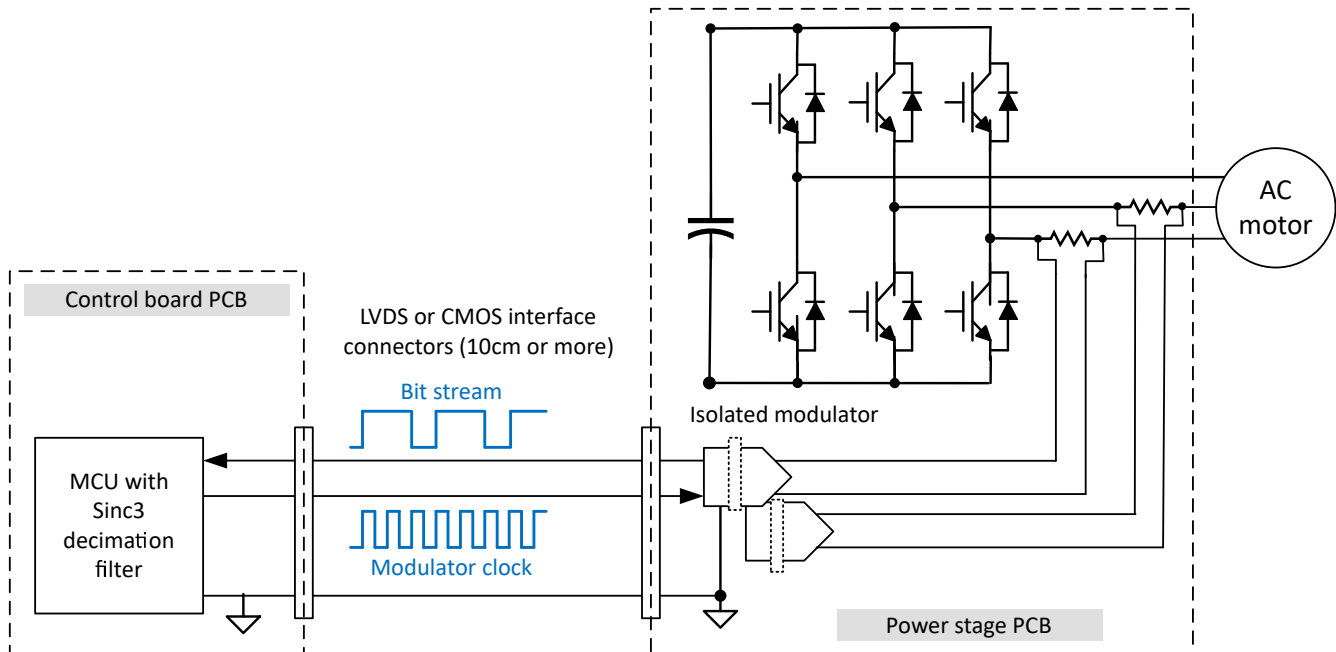


Abbildung 1-1. Vereinfachtes 3-Phasen-Inverter-Blockschaltbild mit digitaler Schnittstelle von MCU zu Isolator-Modulatoren

Beim Timing zwischen der Taktflanke des Modulators und dem digitalen Bitstrom kann es zu weiteren Designherausforderungen kommen, insbesondere wenn die Signalspuren ziemlich lang sind, werden zusätzliche Puffer und Pegelumsetzer verwendet. Dann kann eine zusätzliche Ausbreitungsverzögerung des Modulatortakts und des Bitstream-Signals sogar dazu führen, dass Entwickler den Modulatortakt von maximal 21 MHz (AMC1306) auf z. B. 15 MHz reduzieren müssen, um das Timing zwischen Taktbereich und Bitstream-Daten an der MCU zu erfüllen. Dadurch erhöht sich die Latenzzeit der gesamten Phasenstrommessung umgekehrt proportional zum ausgewählten Modulatortakt. Ein typischerweise verwendeter Sinc3-Dezimationsfilter mit einem Oversampling-Verhältnis von 64 hat beispielsweise eine Messlatenz (Ausbreitungsverzögerung) von 4,8 μ s bei einem 20-MHz-Modulatortakt, während die Latenz auf 6,4 μ s steigt, wenn nur ein 15-MHz-Modulatortakt verwendet werden kann.

Die folgenden Abschnitte dieses Dokuments geben einen Überblick über die digitalen Timing-Kompensationsmethoden zur Überwindung dieser Designherausforderung. Sie zeigen, dass das Entwickeln mit einem isolierten Modulator nicht nur die höchste Messgenauigkeit bietet, sondern auch die einfachste.

2 Design-Herausforderung durch Timing-Spezifikationen für digitale Schnittstellen

Isolierte Delta-Sigma-Modulatoren bieten Schnittstellenoptionen sowohl für ein extern als auch intern generiertes Taktsignal mit entweder einer CMOS- oder einer LVDS-Schnittstelle. Bei Geräten mit extern bereitgestellter Taktquelle, z. B. [AMC1306M25](#) mit CMOS-Schnittstelle oder [AMC1305L25](#) mit LVDS-Schnittstelle, wird das Taktsignal von der MCU an den Takteingang des Delta-Sigma-Modulators geleitet, während bei Geräten mit intern bereitgestellter Taktquelle der Ausgabebitstrom mit dem intern erzeugten Takt synchronisiert wird, zum Beispiel [AMC1303M2520](#). Es gibt auch isolierte Delta-Sigma-Modulator-Bausteine mit Manchester-codiertem Ausgang Bitstrom, die Eindrahtdaten- und Taktübertragung unterstützen, zum Beispiel [AMC1306E25](#). Bei allen isolierten Delta-Sigma-Modulatoren stellt der Datenausgang des Modulators einen Bitstrom digitaler Einsen und Nullstellen bereit, der synchron zur Taktkante nach außen verschoben wird.

[Abbildung 2-1](#) zeigt ein vereinfachtes Beispiel für eine CMOS-Schnittstelle mit 3,3 V E/A zwischen dem isolierten Delta-Sigma-Modulator AMC1306M25 und einem C2000 MCU [TMS320F28379D](#). Da der AMC1306M25 eine extern bereitgestellte Taktquelle benötigt, wird das Taktsignal vom MCU TMS320F28379D erzeugt und an den Takteingang des Delta-Sigma-Modulators CLKIN geleitet. Parallel dazu wird das erzeugte Taktsignal auch zum Takteingang an das Sigma-Delta-Filtermodul (SDFM) der MCUs SD1_C1 (GPIO123) geleitet. Je nach Systemdesign kann sich in der Taktschnittstelle zwischen der MCU und dem isolierten Delta-Sigma-Modulator ein Taktpuffer befinden. Der isolierte Datenausgangs-DOUT des Delta-Sigma-Modulators ist direkt mit dem Sigma-Delta Filtermodule-(SDFM)-Dateneingang SD1_D1 (GPIO122) des MCUs verbunden.

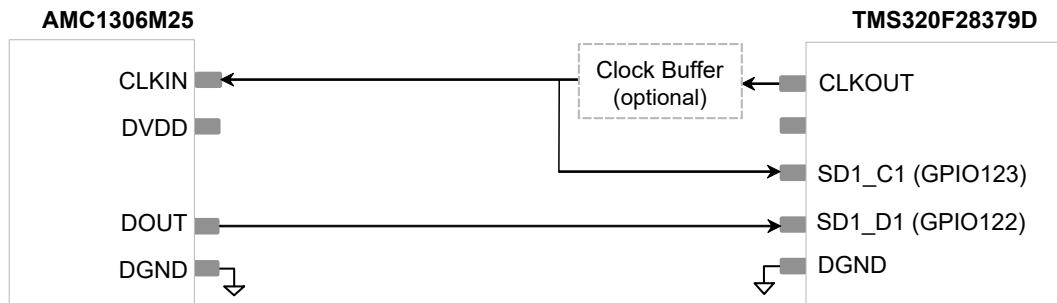


Abbildung 2-1. Vereinfachte digitale Schnittstelle des AMC1306M25 zum TMS320F28379D

Die gültige Kommunikation zwischen dem isolierten Delta-Sigma-Modulator und der MCU wird in den jeweiligen Datenblättern des Bausteins durch die Einrichtungs- und Hold-Timing-Anforderungen beschrieben. Die Einrichtungszeit ist die Zeit, die das Datensignal vor einem Taktsignalübergang gültig und stabil sein muss, um das Datensignal in der MCU zu erfassen. Die Haltezeit ist die Zeit, die ein Signal gültig und stabil gehalten werden muss, nachdem ein Taktsignalübergang eintritt. Die Einhaltung der Anforderungen an die Einrichtung und Haltezeit von MCUs ist von entscheidender Bedeutung, da jeder Verstoß zur Erfassung falscher Daten führen kann. Die Inkompatibilität zwischen der Konfiguration der digitalen Schnittstelle und den Anforderungen an das Hold-Timing des isolierten Delta-Sigma-Modulators und der MCU kann eine Designherausforderung darstellen.

[Abbildung 2-2](#) skizziert das digitale Schnittstellen-Timing für die Einrichtung- und Haltezeit des AMC1306x, das eine empfohlene Taktfrequenz (CLKIN) von 5 MHz bis 21 MHz mit einer Datenhaltezeit t_h (MIN) = 3,5 ns und einer Datenverzögerungszeit t_d (MAX) = 15 ns unterstützt.

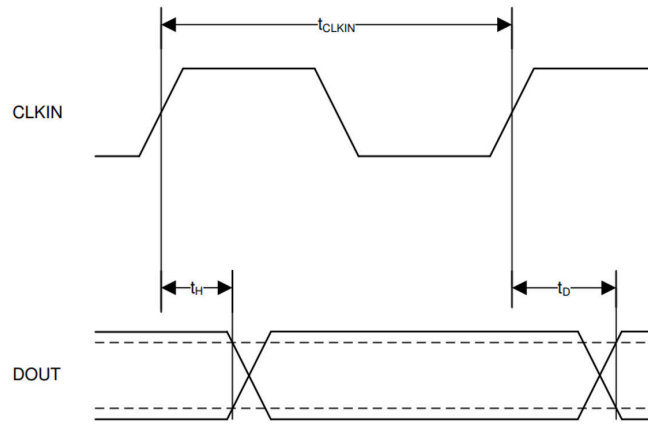


Abbildung 2-2. AMC1306x Digitales Schnittstellen-Timing

Abbildung 2-3 skizziert das Zeitdiagramm des Sigma-Delta-Filtermoduls (SDFM) TMS320F28379D für Modus 0. Die Dateneingabe bei SDX_Dy muss die minimale Einrichtungszeit $t_{su(SDDV-SDCH)M0}$ und die minimale Haltezeit $t_{h(SDCH-SDD)M0}$ in Bezug auf die steigende Taktflanke des SDX_Cy-Signals im SDFM-Modul erfüllen.

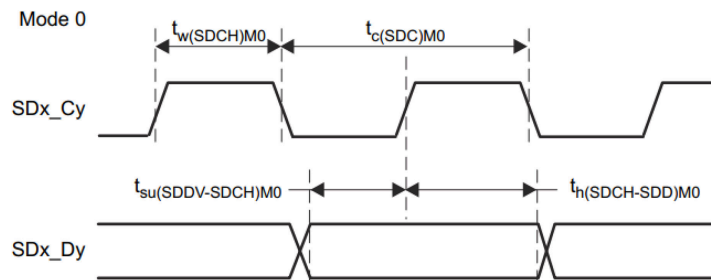


Abbildung 2-3. TMS320F28379D SDFM-Zeitdiagramm – Modus 0

Für das TMS320F28379D SDFM-Modul im Modus 0 empfehlen wir den SDFM-Betrieb mit qualifiziertem GPIO (3-Abtastfenster). Dieser Modus bietet Schutz vor zufälligen Rauschstörungen beim Eingangstaktsignal (SDX_Cy) und Dateneingang (SDX_Dy), um falsche Komparator-Überstromauslösung und falsche Sinc-Filterausgabe zu vermeiden. Die minimalen Einrichtungs- und Haltezeiten für einen 200-MHz-Systemtakt mit TMD320F28379D liegen bei 10 ns: $t_{su(SDDV-SDCH)M0}$ (MIN) = 10 ns und $t_{h(SDCH-SDD)M0}$ (MIN) = 10 ns.

Dies stellt eine Designherausforderung dar, da die minimale Haltezeit t_h (MIN) des AMC1306M25 3,5 ns beträgt. Allerdings sind 10 ns erforderlich, damit das SDFM-Modul die korrekte Erfassung am Dateneingang SDX_Dy mit Bezug auf die steigende Taktflanke des SDX_Cy-Signals aufrechterhalten kann.

Eine weitere Herausforderung besteht darin, dass sich die Ausbreitungsverzögerung zusätzlicher Komponenten in der Signalkette mit der digitalen Schnittstelle, wie zum Beispiel ein Taktpuffer, sowie die Ausbreitungsverzögerung der durch die Leiterbahnlänge auf der Leiterplatte eingebundenen Takt- und Datensignale auf die Timings zwischen SDX_Cy- und SDX_Dy-Eingaben auswirken und das korrekte Erfassungs-Timing der Dateneingabe erschweren.

Das gleiche gilt für Delta-Sigma-Modulatoren mit LVDS-Schnittstelle, wie den [AMC1305L25](#). Der einzige Unterschied zu AMC1306M25 Delta-Sigma-Modulatoren mit CMOS-Schnittstellentyp besteht darin, dass für die digitale Signalkette zu einer MCU mit CMOS-Schnittstelle zusätzliche Komponenten wie ein [LVDS-Treiber und -Empfänger](#) benötigt werden, was zu weiteren Ausbreitungsverzögerungen beiträgt. [Abbildung 2-4](#) zeigt eine vereinfachte digitale Schnittstelle zwischen dem isolierten Delta-Sigma-Modulator AMC1305L25 mit LVDS-Schnittstelle und der MCU TMS320F28379D mit CMOS-Schnittstelle.

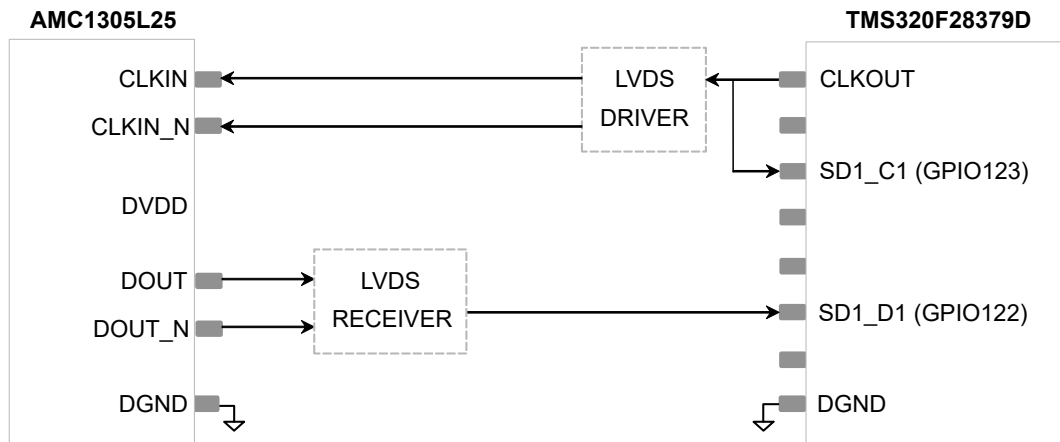
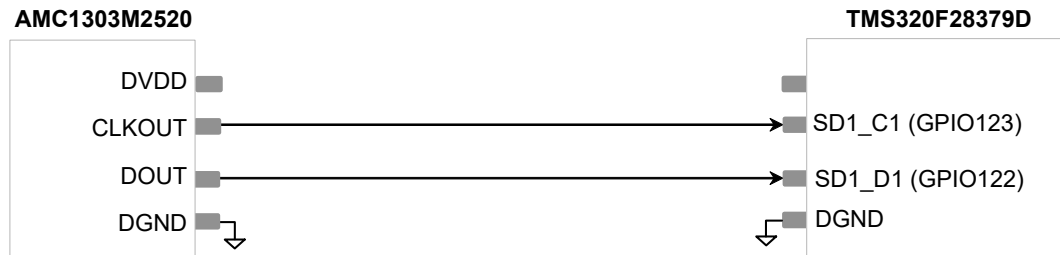

Abbildung 2-4. AMC1305L25 Digitale Schnittstelle zu TMS320F28379D

Abbildung 2-5 zeigt eine vereinfachte digitale Schnittstelle eines isolierten Delta-Sigma-Modulators mit einer intern erstellten Taktquelle AMC1303Mx mit CMOS-Schnittstelle zum TMS320F28379D mit CMOS-Schnittstelle. Das intern erzeugte Taktsignal CLKOUT des AMC1303Mx wird in das Sigma-Delta-Filtermodul (SDFM) SD1_C1 (GPIO123) der MCUs eingebracht. Der isolierte Datenausgangs-DOUT des Delta-Sigma-Modulators ist direkt mit dem MCUs-Dateneingang SD1_D1 (GPIO122) des SDFM verbunden.


Abbildung 2-5. Digitale CMOS-Schnittstelle zum TMS320F28379D AMC1303M2520 für 3,3 V

Bei der Verwendung eines isolierten Modulators mit einem internen Taktgeber beschränkt sich die Herausforderung der digitalen Schnittstelle auf die verschiedenen Timing-Spezifikationen des isolierten Delta-Sigma-Modulators und die Einrichtungs- und Haltezeiten der MCUs. Die Ausbreitungsverzögerung von Takt- und Datensignalen, die durch die Leiterbahnlänge auf der Platine eingeführt wird, kann vernachlässigt werden, wenn die Takt- und Datensignale auf derselben Länge geroutet werden. In der Regel ist der Modulator direkt mit der MCU verbunden, sodass kein Puffer oder Pegelwandler benötigt wird, was eine zusätzliche Ausbreitungsverzögerung bedeutet.

Die AMC1303Mx Haltezeit $t_h(\text{MIN})$ beträgt 7 ns und die Verzögerungszeit $t_d(\text{MAX})$ beträgt 15 ns für die 10-MHz- und 20-MHz-Taktversionen. Die Herausforderung besteht darin, dass die minimale Haltezeit $t(\text{MIN})$ von AMC1303Mx 7 ns beträgt, aber das SDFM-Modul 10 ns benötigt, um die Dateneingabe an SDX_Dy ohne jegliche Einrichtungs- und Haltezeitverletzungen korrekt zu erfassen.

Bei isolierten Delta-Sigma-Modulatoren mit einem Manchester-codierten Bitstream-Ausgang, z. B. AMC1306E25, werden Daten und Takt über eine Eindraht-Lösung übertragen. Damit die Anforderungen an die Einrichtungs- und Haltezeit des empfangenden Geräts gegenüber dem Modulatortakt nicht berücksichtigt werden müssen.

Eine häufig verwendete Methode und ein Kompromiss bei der Erfüllung der Anforderungen an die Einrichtung und Haltezeit von MCUs ist die Reduzierung der Taktfrequenz. Allerdings führt die Reduzierung der Taktfrequenz auch zu einer Reduzierung der Datenausgangsrate des isolierten Delta-Sigma-Modulators und einer Erhöhung der Latenz der Strommessung. Eine geeignetere Methode ist die Verwendung einer Taktvoreilungs-Verzögerungskompensation. Diese ermöglicht es, die Taktflanke des Taktsignals an einen idealen Abtastpunkt des Datensignals zu verschieben, um die Einrichtungs- und Hold-Timing-Anforderungen zu erfüllen.

Durch diese Methode werden die Taktfrequenzbeschränkungen beseitigt, wodurch der isolierte Delta-Sigma-Modulator und das System mit voller Leistung arbeiten können.

3 Designansatz mit Taktflankenverzögerungskompensation

Zur Erfüllung und weiteren Optimierung der MCUs-Einrichtungs- und Haltezeit-Anforderungen für eine zuverlässige Datenerfassung wird eine Taktflankenverzögerungskompensation empfohlen. Taktflankenverzögerungskompensation kann mit verschiedenen Methoden implementiert werden, die unten zusammengefasst und im folgenden Abschnitt erläutert werden:

1. Zusätzliches Taktsignal mit Software-konfigurierbarer Phasenverzögerung
2. Taktsignal mit Hardware-konfigurierbarer Phasenverzögerung
3. Taktrückkehr
4. Taktumkehr an der MCU

3.1 Taktsignalkompensation mit Softwarekonfigurierbarer Phasenverzögerung

Abbildung 3-1 zeigt die erste Kompensationsmethode, bei der ein zusätzliches phasenverriegeltes Taktsignal mit einer softwarekonfigurierbaren Phasenverzögerung verwendet wird. Für diese Kompensationsmethode wird das phasenverschobene Taktsignal CLKOUT_Delay als Takteingang an SD0_CLK des Sigma-Delta-Filtermoduls (SDFM) verwendet. Bei anderen Arten von Delta-Sigma-Modulatoren und MCUs, z. B. C2000 MCUs, folgt die Kompensationsmethode demselben Prinzip.

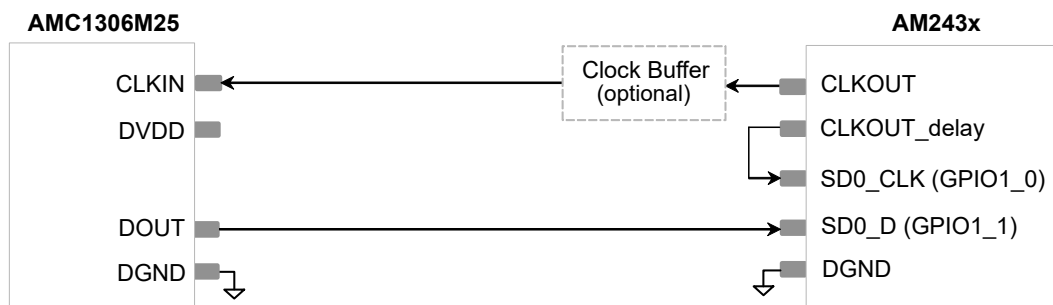


Abbildung 3-1. MCU-Schnittstelle AMC1306M25 bis AM243x mit softwarekonfigurierbarer Taktphasenverzögerung

Die Implementierung eines zweiten phasenverschobenen Taktsignals bietet höchste Freiheit und Konfigurierbarkeit für den Benutzer. Dies bedeutet, dass verschiedene Werte für die minimale Haltezeit t_h (MIN) verschiedener isolierter Modulatoren durch eine einfache Änderung des Phasenverschiebungswerts in der Software kompensiert werden können. Die ansteigende Flanke der Taktsignale am SD0_CLK-Eingang wird phasenverschoben, so dass das Taktsignal mit dem Datenabtastpunkt des SDFM übereinstimmt, wie dargestellt in [Abbildung 3-2](#). Die [AM243x PRU_ICSSG PRU-Zeitanforderungen im Sigma-Delta-Modus](#) sind 10 ns für die minimale Einrichtungszeit $t_{su}(SD_D-SD_CLK)$ (MIN) = 10 ns und 5 ns für die minimale Haltezeit $t_h(SD_CLK-SD_D)$ (MIN) = 5 ns. Dies führt zu einem Bedarf an Kompensation, um die korrekte Erfassung am Dateneingang SDX_D in Bezug auf die steigende Taktflanke des SDX_CLK-Signals aufrechtzuerhalten, da die minimale Haltezeit t_h (MIN) des AMC1306M25 3,5 ns beträgt, aber 5 ns erforderlich sein können. Nach Anwendung dieser Kompensationsmethode werden die 10 ns-Mindesteinstellungszeiten und 5 ns-Haltezeiten für den Sigma-Delta-Modus der AM243x PRU_ICSSG-PRU-Zeitanforderungen erfüllt, siehe [Abbildung 3-2](#).

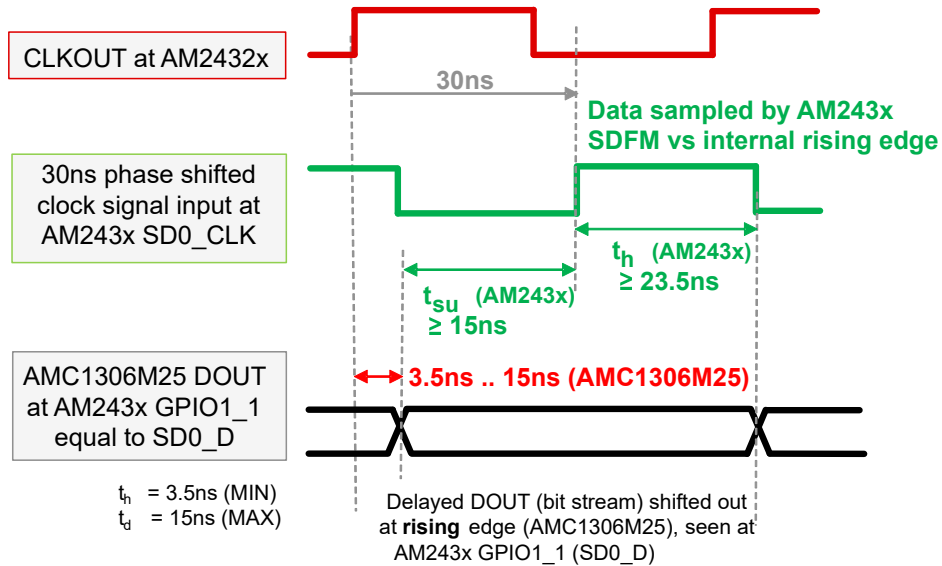


Abbildung 3-2. AM243x SDFM-Timing mit 30 ns phasenverschobenen Taktsignaleingang bei SD0_CLK (GPIO1_1)

3.2 Taktsignalkompensation mit Hardware-konfigurierbarer Phasenverzögerung

Die Taktsignalkompensation mit hardwarekonfigurierbarer Phasenverzögerung der digitalen Schnittstelle zwischen dem AMC1306M25 und der MCU ist dargestellt in [Abbildung 3-3](#). Bei dieser Kompensationsmethode wird ein phasenverschobenes Taktsignal durch eine Phasenverzögerung in der Hardware an den Takteingang SDFM_CLKIN des SDFM-Moduls der MCU angeschlossen. Dieser Kompensationstyp funktioniert für jede MCU mit Sigma-Delta-Filtermodul, wird aber nur für isolierte Delta-Sigma-Modulatoren mit einer externen Taktquelle und CMOS-Schnittstelle empfohlen.

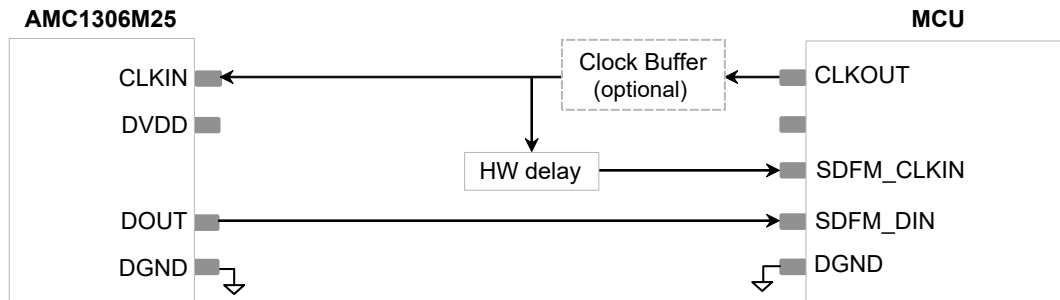


Abbildung 3-3. AMC1306M25 Digitale Schnittstelle zur MCU mit Kompensation durch hardwarekonfigurierbare Phasenverzögerung

Um eine Phasenverzögerung in der Hardware zu implementieren, kann ein Logikgatter oder Puffer verwendet werden, um eine Ausbreitungsverzögerung in das Taktsignal einzubringen. Bei der Implementierung einer Verzögerung in der Hardware ist der Wert der Verzögerung jedoch stark von der Ausbreitungsverzögerung des Hardwareblock abhängig, die den Freiheitsgrad und die Benutzerkonfigurierbarkeit einschränkt. Das Funktionsprinzip der Kompensation durch Taktsignal mit hardwarekonfigurierbarer Phasenverzögerung folgt demgleich Prinzip, beschrieben in [Sektion 3.1](#).

3.3 Taktsignalkompensation durch Taktrückkehr

Abbildung 3-4 zeigt die Taktsignalkompensation durch Taktrückkehr. Mit dieser Kompensationsmethode wird das Taktsignal, das an CLKIN den Takteingang des AMC1306M25 eingespeist wird, vom CLKIN-Pin des AMC1306M25 zum SDFM-Takteingang SDFM_CLKIN der MCU zurückgeführt.

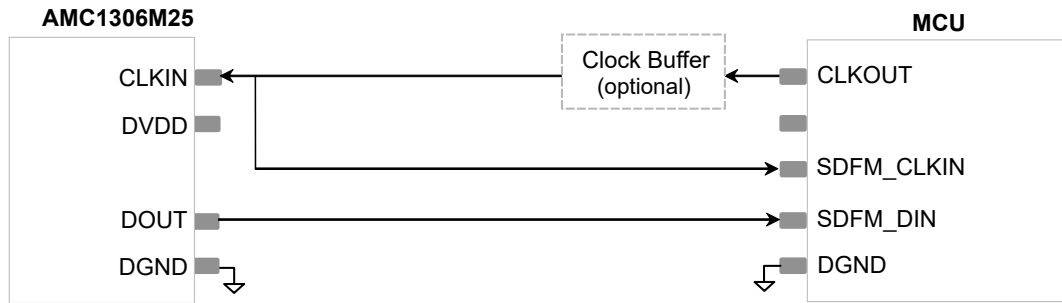


Abbildung 3-4. Digitale MCU-Schnittstelle AMC1306M25 mit Kompensation durch Taktrückkehr

Bei diesem Verfahren werden für das Takt- und Datensignal die gleiche Ausbreitungsverzögerung durch den Taktpuffer und die durch die Leiterbahnlänge eingesetzte Ausbreitungsverzögerung erreicht. Daher heben sich diese Verzögerungen bei den Zeit- und Datensignalen gegenseitig auf.

Die digitale Schnittstelle AMC1306M25 bietet jedoch weiterhin eine Timing-Funktion für die Datenhaltezeit $t_h(\text{MIN}) = 3,5 \text{ ns}$ und die Datenverzögerungszeit $t_d(\text{MAX}) = 15 \text{ ns}$. Das bedeutet, dass nach dem Leiterplattenbau das Timing überprüft werden muss, um sicherzustellen, dass die Einrichtungs- und Hold-Timing-Anforderungen der MCU für den SDFM erfüllt werden. Diese Art von Kompensationsmethode wird nur für isolierte Delta-Sigma-Modulatoren mit externer Taktquelle und CMOS-Schnittstelle empfohlen.

3.4 Taktsignalkompensation durch Taktumkehr an der MCU

Die letzte Methode zur Taktsignalkompensation ist die Taktumkehr an der MCU. Sie arbeitet mit Delta-Sigma-Modulatoren mit externer und interner Taktquelle. In diesem Fall muss die ausgewählte MCU in der Lage sein, den GPIO-Eingang zu invertieren. Die TMS320F28379D GPIO-Eingänge vor dem SDFM (Sigma Delta Filter Module) können so konfiguriert werden, dass sie das Eingangssignal an jedem GPIO invertieren, wie dargestellt in [Abbildung 3-5](#). Das Takteingangssignal wird beispielsweise mit GPIO123 invertiert, daher wird das SD1_C1-Taktsignal gegenüber dem AMC1303Mx-Taktsignal invertiert. Dadurch tastet der SDFM die Eingangsdaten SD1_D1 gegen die abfallende Flanke des externen Taktsignals am Eingang GPIO123 ab, wie dargestellt in [Abbildung 3-6](#).

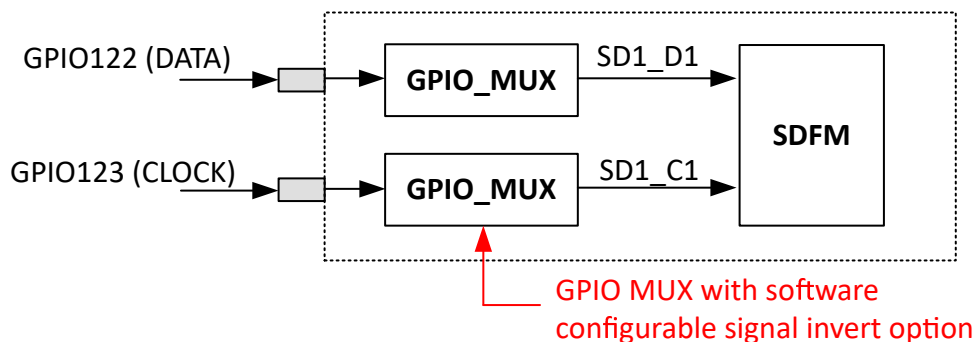


Abbildung 3-5. TMS320F28379D SDFM/GPIO-Blockschaltbild

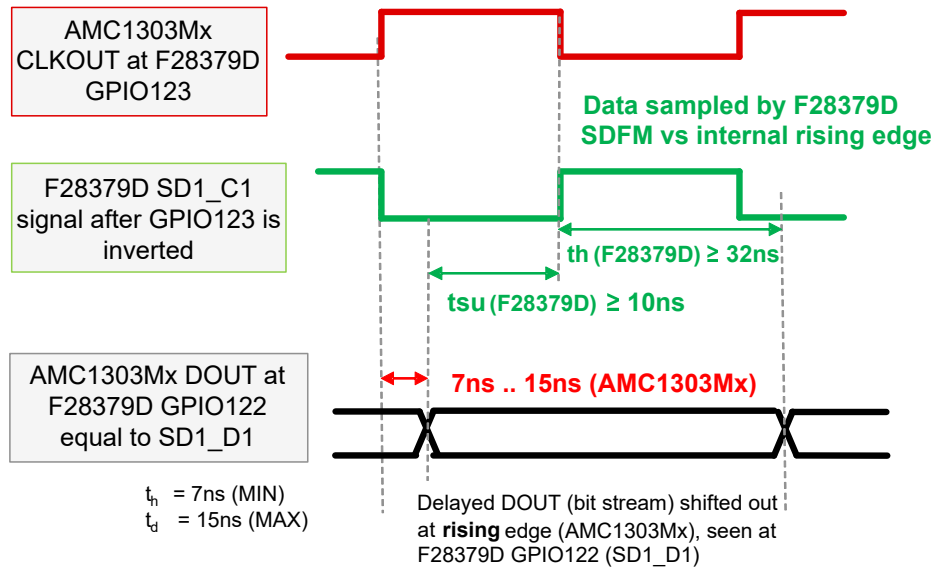


Abbildung 3-6. TMS320F28379D SDFM-Timing mit invertiertem Taktgeber bei GPIO123

Durch Invertierung des Takteingangssignals unter Verwendung des GPIO wird dem Taktsignal eine feste Verzögerung von der Hälfte der Taktperiode hinzugefügt. Je nach den Zeitgabespezifikationen und Ausbreitungsverzögerungen der Systemkonfiguration kann diese zusätzliche Verzögerung ausreichen, um die Einrichtungs- und Haltezeiten des TMS320F28379D von mindestens 10 ns für den SDFM-qualifizierten GPIO-Modus 0 (3 Samples) zu erfüllen. Da die zusätzliche Verzögerungszeit dieses Taktsignalkompensationsverfahrens jedoch fest ist und nicht geändert werden kann, muss für jedes Systemdesign überprüft werden, ob die resultierenden Timings für die Einrichtung und das Halten der MCU für den SDFM-qualifizierten GPIO-Modus 0 (3 Samples) eingehalten werden.

Diese Kompensationsmethode gilt auch für Sitara-MCUs, bei denen sowohl die ansteigenden als auch die abfallenden Flanken des externen Taktsignals per Software als Datenerfassungspunkt festgelegt werden können.

4 Test und Validierung

In den folgenden Abschnitten werden Taktkantenkompensationsergebnisse mit einem zusätzlichen Taktsignal mit Phasenverzögerung in der Software wie in [Sektion 3.1](#) beschrieben sowie Taktumkehr wie in [Sektion 3.4](#) beschrieben dargestellt. Zunächst werden die Prüfausrüstung und die Software beschrieben, gefolgt von der Testkonfiguration, den Messungen und den Testergebnissen der Taktsignalkompensationsmethoden.

4.1 Prüfausrüstung und Software

Die wichtigsten Prüfgeräte für die Messungen sind aufgeführt in [Tabelle 4-1](#).

Tabelle 4-1. Liste der Prüfgeräte

| Beschreibung | Teilenummer |
|---|--------------------|
| AMC1306 verstärkter isolierter Modulator – Evaluierungsmodul | AMC1306EVM |
| F28379D LaunchPad™-Development Kit für C2000™ Delfino™ MCU | LAUNCHXL-F28379D |
| AM243x Universal-LaunchPad™-Development Kit für Arm®-basierte MCU | LP-AM243 |
| Highspeed-Oszilloskop | Tektronix MSO 4104 |
| Unsymmetrische Sonden | Tektronix P6139A |

Die Softwareentwicklung und das Debugging erfolgt mit [Code Composer Studio[®] \(CCS\) Version 12.4.0](#). CCS ist eine integrierte Entwicklungsumgebung (IDE), die das Portfolio von Mikrocontrollern (MCU) und Embedded-Prozessoren von Texas Instruments unterstützt. Für den TMS320F28379D wurde eine interne TI Testsoftware verwendet, die auf der [C2000WARE – C2000Ware für C2000 Mikrocontroller](#) basiert. Für das Sitara AM243x Launchpad wurde eine interne TI Testsoftware auf Basis des Software Development Kit (SDK) AM243x für Sitara™ Mikrocontroller [MCU-Plus-SDK-AM243X Version 09.00.00.35](#) verwendet. Spezifische Implementierung und Software-Unterstützung von C2000 und Sitara finden Sie in den [TI E2E Support-Foren](#).

4.2 Testen der Taktsignalkompensation mit softwarekonfigurierbarer Phasenverzögerung

Diese Messung bestätigt, dass die Anforderungen an das Einrichtungs- und Hold-Timing mit der Taktsignalkompensation erfüllt werden, indem ein zusätzliches Taktsignal mit einer softwarekonfigurierbaren Phasenverzögerung verwendet wird. Dieser Test wurde sowohl mit dem C2000 TMS320F28379D Launchpad als auch mit dem Sitara AM243x Launchpad durchgeführt und validiert.

4.2.1 Testeinrichtung

Der Testaufbau der Taktsignalkompensation unter Verwendung eines zusätzlichen Taktsignals mit einer softwarekonfigurierbaren Phasenverzögerungsmessung mit einem AMC1306EVM und C2000 TMS320F28379D Launchpad ist dargestellt in [Abbildung 4-1](#). Für diese Messung werden unsymmetrische Sonden verwendet, um das Taktsignal bei AMC1306EVM-Takteingang CLKIN und den Datenausgang DOUT des Delta-Sigma-Modulators zu messen, gemessen am MCUs-Dateneingang SD1_D1 (GPIO122) des SDFM. Das Taktsignal mit per Software programmierbarer Phasenverzögerung wird am Takteingang des Sigma-Delta-Filtermoduls (SDFM) der MCUs SD1_C1 (GPIO123) gemessen. Die Eingangspins AINP und AINN von AMC1306EVM sind mit Masse kurzgeschlossen, so dass am Ausgang eines 50/50 die Dichte 1 und 0 beträgt. Die analoge Stromversorgung, AVDD, wird mit dem isolierten Transformatorschaltkreis auf dem EVM erzeugt. Das digitale Netzteil DVDD (3,3 V) der isolierten Modulatoren wird vom C2000 TMS320F28379D Launchpad gespeist.

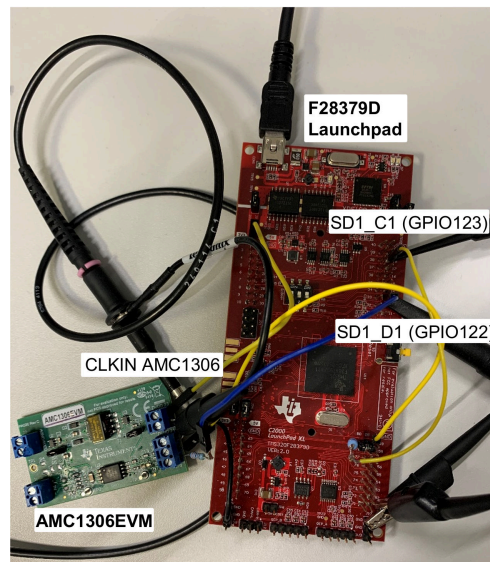


Abbildung 4-1. Testen Sie die Einrichtung der Taktsignalkompensation durch Phasenverzögerung in der Software mit dem TMS320F28379D-Launchpad AMC1306EVM und C2000

Abbildung 4-2 zeigt die gleiche Messkonfiguration mit dem Sitara AM243x Launchpad und den entsprechenden Messpunkten.

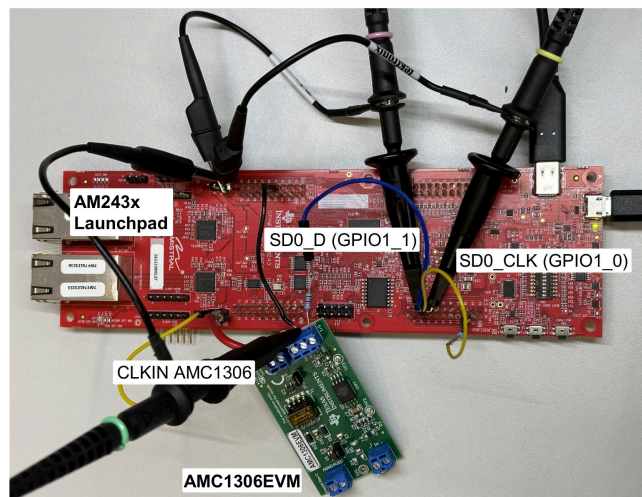


Abbildung 4-2. Testen Sie die Einrichtung der Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung mit AMC1306EVM und Sitara AM243x Launchpad

4.2.2 Test-Messergebnisse

Auf dem TMS320F28379D wurde ein internes TI-SDFM-Softwareprojekt ausgeführt, bei dem die beiden GPIOs GPIO122 und GPIO123 für den SDFM-Modus konfiguriert sind. Der SDFM-Datenfilter ist für Sinc3 mit einem Oversampling-Verhältnis von 64 (OSR64) konfiguriert. Zur Durchführung des Tests wird mit dem ePWM4-Modul ein 20-MHz-Taktsignal mit einem Tastverhältnis von 50 % erzeugt und in den CLKIN-Pin des AMC1306EVM eingespeist. Das ePWM5-Modul ist für die Ausgabe eines phasenverriegelten 20-MHz-Taktsignals mit 50 % Tastverhältnis und 30 ns Phasenverschiebung konfiguriert. Dieses Signal wird in SD1_C1 (GPIO123) eingespeist. Beachten Sie, dass sich der Datenbitstrom von AMC1306EVM DOUT nur an der steigenden Taktflanke ändert, also einmal pro Taktzyklus, wie in Abschnitt 7,11 *Schalteigenschaften* des AMC1306-Datenblatts beschrieben.

Abbildung 4-3 zeigt die Messung des Oszilloskops und das Schnittstellendiagramm. Das Taktsignal, das an den CLKIN-Pin AMC1306EVM eingespeist wird, wird durch die grüne Wellenform auf Kanal 3 dargestellt.

Das Datensignal, das von der AMC1306EVM ausgegeben wird, ist das SD1_D1 (GPIO122)-Signal in rot auf Kanal 2. Das phasenverschobene Taktsignal, das in SD1_C1 (GPIO123) eingespeist wird, ist die gemessene Wellenform in blau auf Kanal 1. Da das SDFM-Modul das Datensignal gegen die steigende Flanke des phasenverschobenen Taktsignals SD1_C1 (GPIO123) tastert, beträgt die resultierende Rüstzeit ca. 18 ns und die resultierende Haltezeit ca. 24 ns. Dadurch wird die Einrichtung- und Haltezeit des TMS320F28379D von mindestens 10 ns für den SDFM-qualifizierten GPIO-Modus 0 (3-Stichproben) erfüllt. Darüber hinaus bietet dieses Design einen optimalen Spielraum, um Toleranzen für Änderungen (positiv oder negativ) in der Systemausbreitungsverzögerung zu ermöglichen.

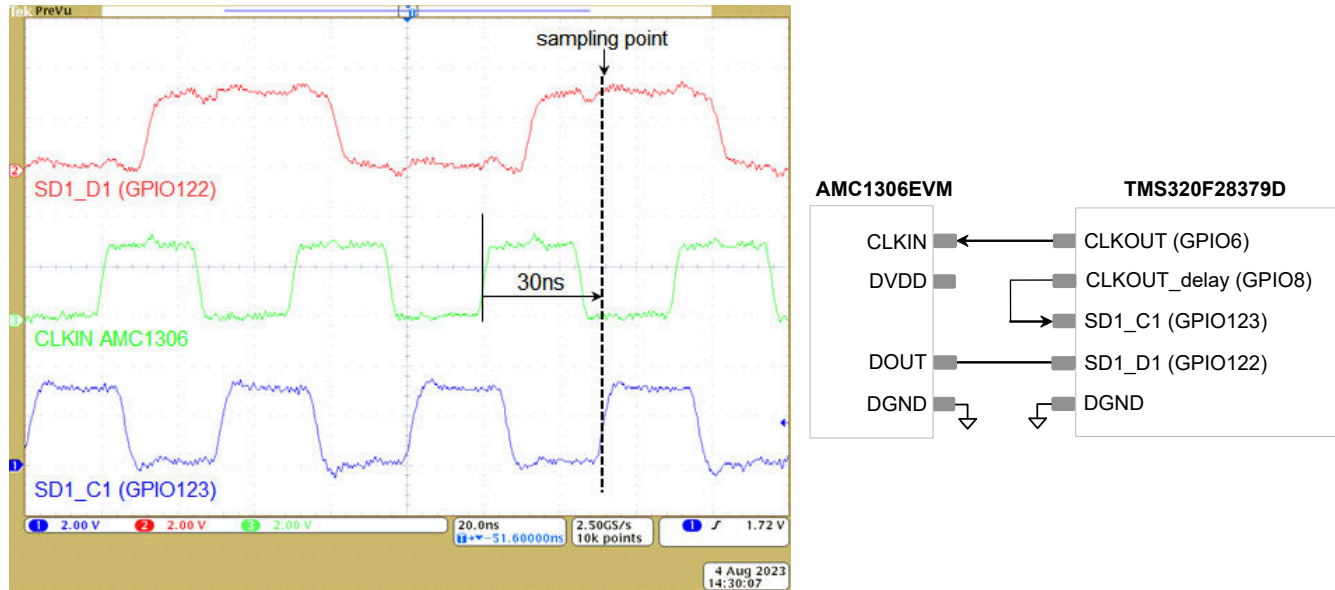


Abbildung 4-3. Messergebnisse des digitalen Schnittstellen-Timings von AMC1306EVM und TMS320F28379D mit Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung

Abbildung 4-4 zeigt die gleichen Messergebnisse für den mit dem Sitara AM243x Launchpad durchgeführten Test. Abschließend lässt sich sagen, dass die Taktsignalkompensation durch Verwendung eines zusätzlichen Taktsignals mit einer softwarekonfigurierbaren Phasenverzögerung eine zugelassene Methode zur Erfüllung der Anforderungen an die Einrichtung und das Halten des Timings von MCUs ist. Diese Methode bietet den höchsten Freiheitsgrad, da nicht nur der Wert der Phasenverschiebung konfigurierbar ist, sondern diese Methode auch für ein breites Spektrum von MCUs funktioniert, da nur ein zusätzlicher GPIO-Pin für die Implementierung eines phasenverschobenen Taktsignals benötigt wird.

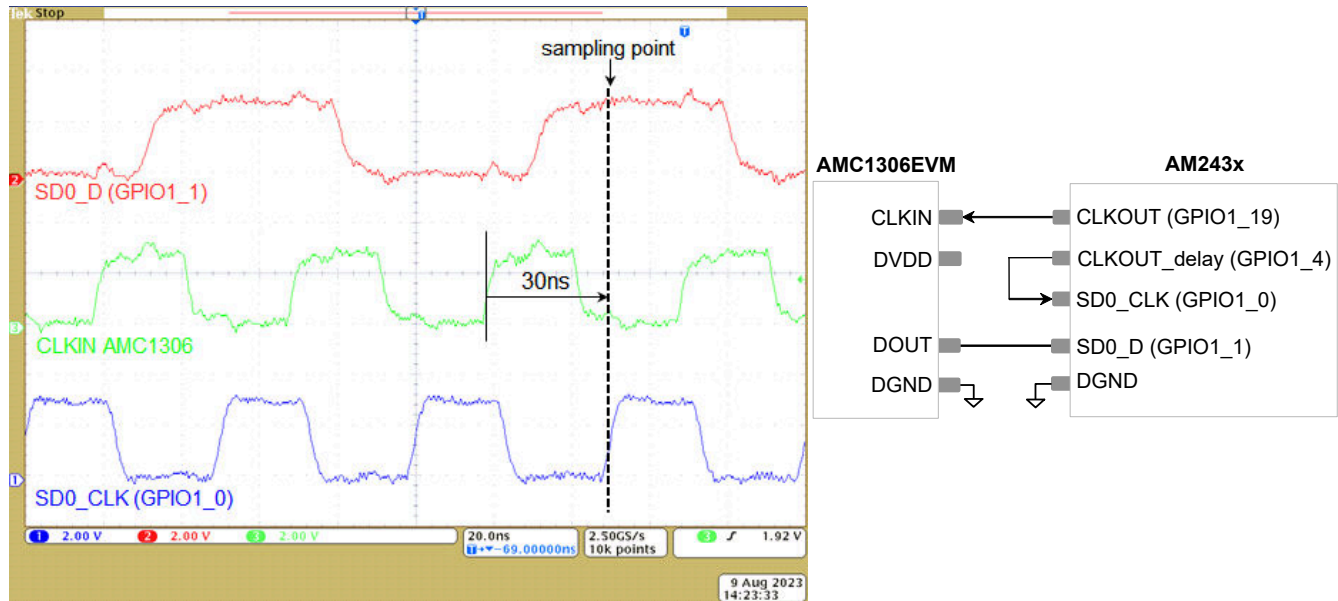


Abbildung 4-4. Messergebnisse des digitalen Schnittstellen-Timings von AMC1306EVM und AM243x mit Taktsignalkompensation durch softwarekonfigurierbare Phasenverzögerung

4.3 Testen der Taktsignalkompensation durch Taktumkehr an der MCU

Diese Konfiguration wurde mit dem C2000 TMS320F28379D Launchpad getestet und validiert.

4.3.1 Testeinrichtung

Die Testeinrichtung für die Taktsignalkompensation durch Taktumkehr an der MCU mit dem C2000 TMS320F28379D Launchpad ist dargestellt in [Abbildung 4-5](#). Für diese Messung werden von der MCU zwei Testsignale erzeugt. Ein Signal ist mit dem Takteingang SD1_C1, (GPIO123) der MCUs SDFM verbunden, und das andere Signal wird mit dem Dateneingang SD1_D1, (GPIO122) des SDFM verbunden.

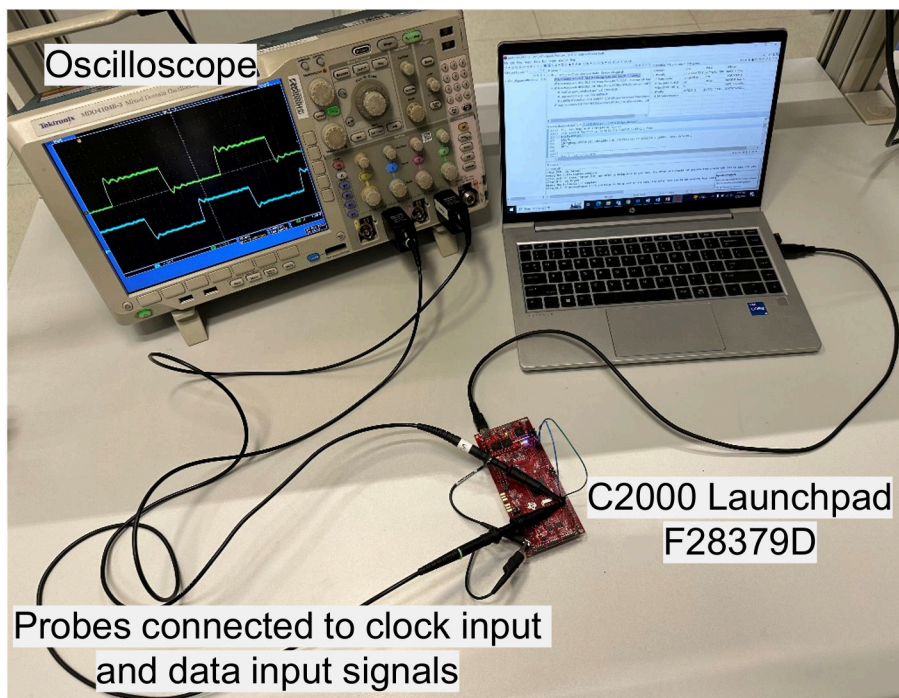


Abbildung 4-5. Testkonfiguration der Validierung des Timings der digitalen Schnittstelle

4.3.2 Test-Messergebnisse

Auf dem TMS320F28379D wurde ein internes TI-SDFM-Softwareprojekt ausgeführt, bei dem die beiden GPIOs GPIO122 und GPIO123 für den SDFM-Modus konfiguriert sind. Der SDFM-Filter ist für Sinc3- und OSR™-64-Filter konfiguriert. Der Sinc3 OSR64-Filter gibt eine 16-Bit-Zweierkomplement-Ganzzahl mit einem maximalen Gesamtbereich von +16384 bis -16384 aus.

Zur Durchführung des Tests werden zwei um 90 Grad phasenverschobene 10-MHz-Taktsignale mit einem Tastverhältnis von 50 % in GPIO123 (SD1_C1) bzw. GPIO122 (SD1_D1) eingespeist. Beachten Sie, dass sich der Datenbitstream mit AMC1306EVM DOUT nur an der steigenden Taktflanke ändert, also einmal pro Taktzyklus. Für diesen Test wechseln die SD1_D1-Daten in jedem halben Taktzyklus zwischen 0 und 1. Dies unterscheidet sich vom AMC1306EVM-DOUT-Datensignal, das sich bei jedem Taktzyklus ändert.

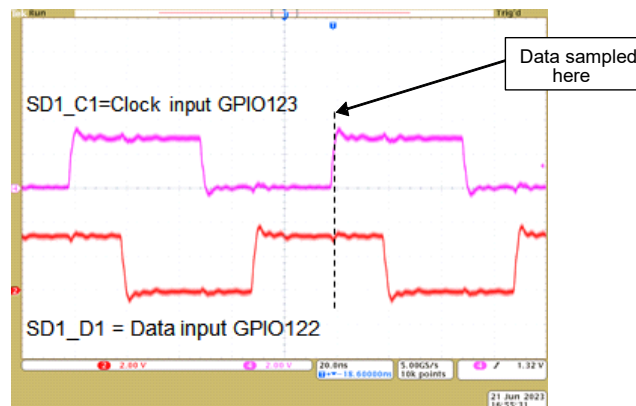
Durch Anlegen dieses spezifischen Testsignals sind die Eingangsdaten an GPIO122 (SD1_D1) immer Logik '1' an der steigenden Taktflanke von GPIO123 und immer Logik '0' an der abfallenden Flanke. Daher hängt das Ausgangssignal des Sinc3-Filters mit OSR-64-Filter von der Taktkante ab, die die Testdaten im SDFM abgetastet werden, und der Sinc3-OSR-64-Filterausgang beträgt entweder 16384 (immer Abtastung '1'), wenn keine Taktumkehr bei GPIO123 und -16384 erfolgt, wenn eine Taktumkehr bei GPIO123 erfolgt (immer Abtastung '0').

4.3.2.1 Testergebnis – Keine Taktumkehr des Takteingangs bei GPIO123

Abbildung 4-6 zeigt die Oszilloskop-Messung des Taktsignals SD1_C1, das an GPIO123 geht, und des phasenverschobenen Datensignals SD1_D1, das an GPIO122 geht. Bei dieser Messung wird GPIO123 nicht von der Software invertiert, wie unten gezeigt.

```
// Set 3-sample qualifier for GPIO122 and GPIO123 and do not invert GPIO123
GPIO_SetupPinOptions(122, GPIO_INPUT, GPIO_QUAL3); // GPIO123 not inverted
GPIO_SetupPinMux(122,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_D1
GPIO_SetupPinMux(123,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_C1
```

Die Daten SD1_D1 werden vom TMS320F28379D SDFM an der steigenden Flanke von SD1_C1 abgetastet. Dies entspricht der steigenden Flanke des nicht invertierten Taktsignals bei GPIO123. Die vom TMS320F28379D erfassten Daten waren immer Logik '1', validiert durch die Ausgabe des Sinc3 OSR64-Filters = +16384 in Code Composer Studio™ (CCS), wie unten gezeigt.



| Expression | Type | Value | Address |
|---------------------------------|------------------|-------|------------------------|
| GpioCtrlRegs.GPDINV.bit.GPIO123 | unsigned int : 1 | 0 | 0x00007CD1@Data bit 11 |
| SD1_D1_SincOSR64 | int | 16384 | 0x00014147@Data |

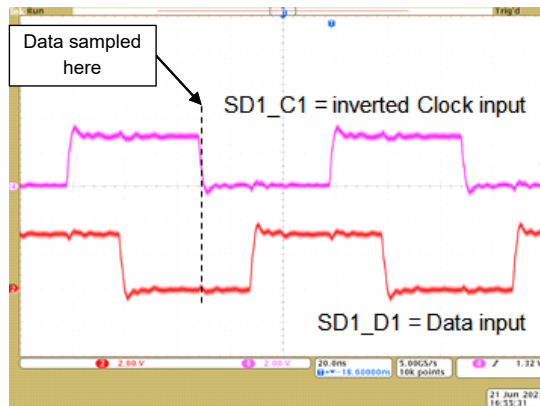
Abbildung 4-6. Takt- und Dateneingangs-Testsignale (nicht invertiert GPIO123) und Sinc3 OSR 64 Filterausgang in CCS

4.3.2.2 Testergebnis – Taktumkehr des Takteingangs bei GPIO123

Abbildung 4-7 zeigt das Taktsignal SD1_C1, das in GPIO123 eingeht, und das phasenverschobene Datensignal SD1_D1, das in GPIO122 eingeht. In dieser Testkonfiguration wird GPIO123 von der Software invertiert, wie unten gezeigt.

```
// Set 3-sample qualifier for GPIO122 and GPIO123 and do not invert GPIO123
GPIO_SetupPinOptions(123, GPIO_INPUT, GPIO_INVERT | GPIO_QUAL3);
GPIO_SetupPinMux(122,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_D1
GPIO_SetupPinMux(123,GPIO_MUX_CPU1,7); // MUX position 7 for SD1_C1
```

Die Daten SD1_D1 werden nun von F28379D SDFM an der abfallenden Flanke von SD1_C1 abgetastet, was der steigenden Flanke des invertierten Taktsignals bei GPIO123 Eingang entspricht. Die vom F28379D erfassten Daten waren immer Logik '0', validiert, obwohl die Ausgabe des Sinc3 OSR64-Filters = -16384 in Code Composer Studio, wie unten gezeigt, erfolgte.



| Expression | Type | Value | Address |
|---------------------------------|------------------|--------|------------------------|
| GpioCtrlRegs.GPDINV.bit.GPIO123 | unsigned int : 1 | 1 | 0x00007CD1@Data bit 11 |
| SD1_D1_SincOSR64 | int | -16384 | 0x00014147@Data |

Abbildung 4-7. Takt- und Dateneingangs-Testsignale (nicht invertiert GPIO123) und Sinc3 OSR 64 Filterausgang in CCS

Abschließend wurde die Methode der Taktsignalkompensation durch Invertierung des Takteingangs des GPIO-Eingangs in der Software validiert. Durch Invertieren des Takts wird dem Taktsignal eine feste Verzögerung von der Hälfte der Taktpériode hinzugefügt, die ausreichen kann, um die Konfiguration des TMS320F28379D zu erfüllen und Mindestzeiten von 10 ns für den SDFM-qualifizierten GPIO-Modus (3 Abtastungen) 0 zu halten. Allerdings muss jedes Systemdesign einzeln geprüft werden, ob die resultierenden Zeitvorgaben für die Einrichtung und das Halten der MCU für den SDFM-qualifizierten GPIO-Modus 0 (3-Stichproben) eingehalten werden können.

4.4 Validierung des Timings digitaler Schnittstellen durch Berechnungstool

Ein [Berechnungstool](#) wurde zur Simulation und Validierung der Timings der digitalen Schnittstelle zwischen einer MCU und isolierten Delta-Sigma-Modulatoren entwickelt. Für die Timing-Analyse der digitalen Schnittstelle wurden die gängigsten isolierten Delta-Sigma-Modulatoren [AMC1306M25](#) und [AMC1305L25](#) ausgewählt. Der [AMC1305L25](#) verfügt über einen LVDS-Schnittstellentyp und benötigt einen LVDS-Treiber und LVDS-Empfänger, wenn eine MCU mit einer CMOS-Schnittstelle verbunden wird. Die MCU kann individuell vom Benutzer ausgewählt werden, da nur die Anforderungen an die Einrichtungs- und Haltezeit in das Berechnungstool eingegeben werden. Die nachfolgende Verwendung des Berechnungstool zur Optimierung des digitalen Schnittstellenzeitpunktes zwischen [AMC1305L25](#) und C2000 MCU [TMS320F28379D](#) wird Schritt für Schritt gezeigt.

4.4.1 Digitale Schnittstelle ohne Kompensationsmethode

Der C2000-MCU [TMS320F28379D](#) wird im SDFM-GPIO-Eingangsklassifizierung (3-Abtastfenster) im Modus 0 bei 200 MHz Systemtakt betrieben. Die minimale Einrichtungs- und Haltezeit beträgt 10 ns: $t_{su}(SDDV-SDCH)M0$

(MIN) = 10 ns und $t_{h(SDCH-SDD)M0}$ (MIN) = 10 ns werden in das Berechnungstool eingegeben. Darüber hinaus werden die Ausbreitungsverzögerungen von LVDS-Treiber [DSLVD51047](#) und LVDS-Empfänger [DSLVD51048](#) als Referenz eingegeben. Mit einem 20 MHz-Taktsignal am isolierten Delta-Sigma-Modulator-Takteingang, dies ist die im Datenblatt angegebene maximale Taktfrequenz, werden die Anforderungen an die MCUs-Einrichtungszeit verletzt, wenn die Datenverzögerungszeit t_D des AMC1305L25 dem im Datenblatt angegebenen Mindestwert mit t_D (MIN) = 0 ns entspricht, wie in Tabelle 2 gezeigt.

**Tabelle 4-2. Ergebnisse für C2000 MCU
TMS320F28379D Digitale Schnittstellentimings mit
AMC1305L25 bei 20 MHz Taktfrequenz**

| | |
|----------------------------|---------|
| Min. Einrichtungszeit @MCU | 5,6 ns |
| Max. Einrichtungszeit @MCU | 23,3 ns |
| Min. Haltezeit @MCU | 26,7 ns |
| Max. Haltezeit @MCU | 44,4 ns |

4.4.2 Häufig verwendete Methode – Reduzierung der Taktfrequenz

Ein Kompromiss bei der Erfüllung der Timing-Anforderungen von MCUs besteht in der Reduzierung der Modulator-Taktfrequenz. In diesem Beispiel ermöglicht eine Taktfrequenz von 17 MHz die Erfüllung der Einrichtungs- und Hold-Timing-Anforderungen der MCU. Die berechneten Einrichtungs- und Haltezeiten einschließlich Minimal- und Maximalwerten bei einer Taktfrequenz von 17 MHz sind dargestellt in [Tabelle 4-3](#). Die Marge für die minimale Einrichtungszeit für die erforderlichen MCUs beträgt 0 ns. Das bedeutet, dass Toleranzen im System möglicherweise zu einer falschen Datenerfassung führen können. Eine größere Toleranzmarge im System kann durch eine weitere Reduzierung der Taktfrequenz erreicht werden, was sich jedoch negativ auf die Systemleistung auswirkt.

**Tabelle 4-3. TMS320F28379D Digitale
Schnittstellentimings mit AMC1305L25 bei 17 MHz
Taktfrequenz**

| | |
|----------------------------|---------|
| Min. Einrichtungszeit @MCU | 10,0 ns |
| Max. Einrichtungszeit @MCU | 27,7 ns |
| Min. Haltezeit @MCU | 31,1 ns |
| Max. Haltezeit @MCU | 48,8 ns |

4.4.3 Taktflankenkompensation Mit Software-konfigurierbarer Phasenverzögerung

Die digitale Schnittstelle mit Taktflankenkompensation mit softwarekonfigurierbarer Phasenverzögerung ist dargestellt in [Abbildung 4-8](#). Das Timing-Diagramm zeigt ein Taktsignal mit einer Taktfrequenz von 20 MHz, welches als erstes Signal in den isolierten Delta-Sigma-Modulator eingespeist wird. Das zweite Signal im Zeitdiagramm stellt den Datenausgang des isolierten Delta-Sigma-Modulators gemäß den typischen Spezifikationen im Datenblatt dar. Das dritte Signal stellt das 20-MHz-Taktsignal dar, das um 10 ns phasenverschoben ist in Bezug auf das erste Signal, das in den Takteingang des MCUs-SDFM eingespeist wird.

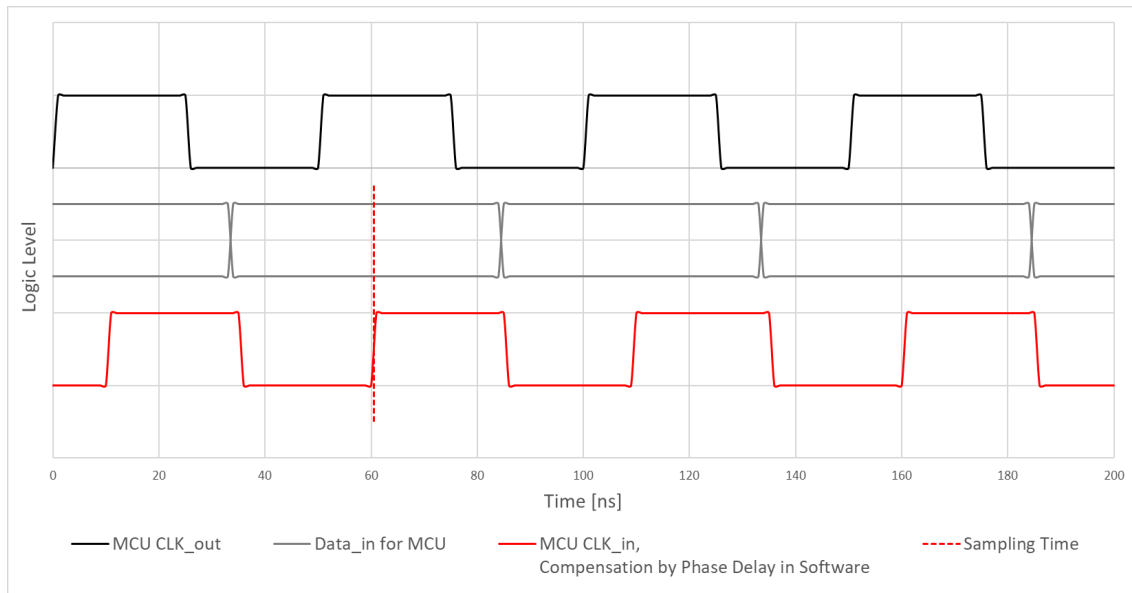


Abbildung 4-8. Zeitverlaufsdiagramm C2000 Digitale Schnittstelle zum AMC1305L25 für typische Spezifikationen im Datenblatt bei 20 MHz Taktfrequenz mit Taktflankenkompensation mit Software-konfigurierbarer Phasenverzögerung

Die berechneten Einrichtungs- und Haltezeiten einschließlich Minimal- und Maximalwerten werden dargestellt in [Tabelle 4-4](#). Da die Phasenverzögerung in der Software konfiguriert werden kann, kann der Wert der Phasenverzögerung so gewählt werden, dass das Timing der Datenerfassung im Datensignal zentriert ist. Dadurch kann der maximal mögliche Spielraum für das Einrichtungs- und Hold-Timing zur Verfügung stehen, sodass Toleranzen im System die Datenerfassung nicht beeinflussen. Das Berechnungstool stellt die Reserve der digitalen Timing-Schnittstelle bereit und hilft, die zulässigen Toleranzen des Systems zu verstehen. Für eine ausgewählte Phasenverzögerung von 10 ns beträgt die minimale Einrichtungszeit 15,6 ns, was zu einer Reserve von 5,6 ns führt, nachdem die MCU-Einrichtungszeit von 10 ns abgezogen wurde. Die Reserve für die minimale Haltezeit wird entsprechend berechnet und beträgt 6,7 ns.

Tabelle 4-4. TMS320F28379D Digitale Schnittstellentimings mit AMC1305L25 bei 20 MHz-Takt mit Software-konfigurierbarer Phasenverzögerung

| Phasenverzögerung | Empfohlene Phasenverzögerung | | Ausgewählte Phasenverzögerung |
|-----------------------------------|------------------------------|---------|-------------------------------|
| | Minimum | 4,4 ns | |
| | Maximum | 16,7 ns | |
| Min. Einrichtungszeit @MCU | | | 15,6 ns |
| Max. Einrichtungszeit @MCU | | | 33,3 ns |
| Min. Haltezeit @MCU | | | 16,7 ns |
| Max. Haltezeit @MCU | | | 34,4 ns |

5 Fazit

Die Taktflankenverzögerungskompensation hilft bei der Erfüllung der Einrichtungs- und Haltezeitanforderungen mit isolierten Delta-Sigma-Modulatoren und der digitalen Schnittstelle der MCUs, ohne dass die Taktfrequenz des Modulators reduziert werden muss. Dadurch kann das System mit voller Leistung arbeiten.

Die Taktflankenverzögerung kann auf verschiedene Arten kompensiert werden, wie zum Beispiel:

- Zusätzliches Taktsignal mit Software-konfigurierbarer Phasenverzögerung
- Taktsignal mit Hardware-konfigurierbarer Phasenverzögerung
- Taktrückkehr
- Taktumkehr an der MCU

Kompensationsmethoden wie zusätzliches Taktsignal mit per Software konfigurierbarer Phasenverzögerung und Taktumkehr wurden an der MCU für die gängigsten verwendeten isolierten Delta-Sigma-Modulatorvarianten genauer analysiert und mit dem Evaluierungsmodul AMC1306EVM und C2000 als MCUs ausgewählten TMS320F28379D-Launchpad sowie Sitara AM243x Launchpad validiert. Die Testergebnisse stimmen für MCUs mit CMOS-Schnittstelle und SDFM sowie für Sitara-MCUs ohne SDFM bei der Arbeit mit PRU.

Tabelle 5-1 zeigt die vor- und Nachteile jeder Taktsignalkompensationsmethode. Im Folgenden werden die Abkürzungen SW Phase Delay und HW Phase Delay für die Kompensation mit Software-konfigurierbarer Phasenverzögerung und Hardware-konfigurierbarer Phasenverzögerung verwendet.

Tabelle 5-1. Vergleich der Taktkantenkompensationsmethoden

| Methode | Vorteile | Nachteile |
|----------------------|---|---|
| SW-Phasenverzögerung | <ul style="list-style-type: none"> Kompensation etwaiger Ausbreitungsverzögerungen Ermöglicht die Verwendung der maximalen Taktfrequenz und ermöglicht so eine höchst zuverlässige Kommunikation Implementierung präziser Phasenverzögerungen Änderung während der Laufzeit möglich Keine zusätzlichen Stücklistenkosten | <ul style="list-style-type: none"> Ein zusätzlicher MCU-GPIO und eine interne phasenverriegelte Taktquelle sind erforderlich Zusätzliche MCU-Software |
| HW-Phasenverzögerung | <ul style="list-style-type: none"> Keine Änderung der MCU-Software Kein zusätzlicher MCU-GPIO erforderlich | <ul style="list-style-type: none"> Die Kompensation hängt von der implementierten Hardware-Verzögerungshardware ab Toleranz in der Präzision der Phasenverzögerung durch Hardwarekomponenten Keine Änderungen während der Laufzeit möglich Fügt die Stücklistenkosten hinzu |
| Taktrückkehr | <ul style="list-style-type: none"> Kein Software- und Hardware-Aufwand | <ul style="list-style-type: none"> Funktioniert nicht bei allen Konfigurationen Anpassung des Layouts Längeres Taktsignal mit höherer Empfindlichkeit gegenüber transientem Rauschen |
| Taktumkehr | <ul style="list-style-type: none"> Einfache Implementierung, wenn die Kompensation um die Hälfte der Taktperiode die Timing-Unterschiede löst | <ul style="list-style-type: none"> Funktioniert nicht bei allen Konfigurationen Feste Kompensation nur um die Hälfte der Taktperiode Die MCU muss in der Lage sein, das Taktsignal am GPIO-Eingang invertieren zu können |

Je nach Typ des Delta-Sigma-Modulators, der sich durch eine externe oder interne Taktquelle und eine CMOS- oder LVDS-Schnittstelle unterscheidet, können verschiedene Methoden der Taktsignalkompensation besser sein als andere. **Tabelle 5-2** vergleicht die vorgeschlagenen Kompensationsmethoden für jeden Typ von Delta-Sigma-Modulator, der häufig verwendet wird.

Tabelle 5-2. Empfohlene Taktkantenkompensationsmethoden für Modulatoren mit internem oder externem Takt

| Methode | AMC1306M25 Externer Takt (CMOS) | AMC1305L25 Externer Takt (LVDS) | AMC1303M2520/10 Interner Takt (CMOS) |
|----------------------------|------------------------------------|------------------------------------|---|
| Software-Phasenverzögerung | + | + | k. A. |
| Hardware-Phasenverzögerung | o | o | o |
| Taktrückkehr | o | - | k. A. |

Tabelle 5-2. Empfohlene Taktkantenkompensationsmethoden für Modulatoren mit internem oder externem Takt (Fortsetzung)

| Methode | AMC1306M25 Externer Takt (CMOS) | AMC1305L25 Externer Takt (LVDS) | AMC1303M2520/10 Interner Takt (CMOS) |
|------------|------------------------------------|------------------------------------|---|
| Taktumkehr | o | o | + |

Bei Modulatoren, die einen externen Taktgeber benötigen, bietet die Taktsignalkompensation mit Software-konfigurierbarer Phasenverzögerung die beste Leistung, gefolgt von der Taktumkehr an der MCU, wenn eine feste Hälfte des Taktzyklus die Anforderungen erfüllt. Beide Taktsignalkompensationsmethoden tragen dazu bei, die Einrichtungs- und Haltezeit-Anforderungen der MCU zu erfüllen, insbesondere bei höheren Modulator-Taktfrequenzen. Das folgende Berechnungstool kann verwendet werden, um die Einrichtungs- und Haltezeit-Anforderungen der MCU bei Verwendung der Delta-Sigma-Modulatoren AMC1306M25 und AMC1305L25 zu validieren.

6 Quellennachweise

- Anwendungsbericht von Texas Instruments: [Bessere Signalintegrität mit isolierten Delta-Sigma-Modulatoren in Motorantrieben](#)
- Texas Instruments, Übersicht über [isolierte Hochleistungs-ADCs für Hochspannungssysteme](#)
- Texas Instruments: [Whitepaper zum Vergleich isolierter Verstärker und isolierter Modulatoren](#)
- Texas Instruments Datenblatt: [AMC1306x kleine, hochpräzise, verstärkte isolierte Delta-Sigma-Modulatoren mit hohem CMTI-](#)
- Texas Instruments: [AMC1305x Datenblatt hochpräzise, verstärkte isolierte Delta-Sigma-Modulatoren](#)
- Texas Instruments Datenblatt: [AMC1303x kleine, hochpräzise, verstärkte isolierte Delta-Sigma-Modulatoren mit internem Takt](#)
- Texas Instruments Datenblatt: [TMS320F2837xD Dual-Core Mikrocontrollers](#)
- Texas Instruments, technisches Referenzhandbuch [TMS320F2837xD Dual-Core Mikrocontroller](#)
- Texas Instruments Datenblatt: [AM243x Sitara™ Mikrocontroller-](#)
- Texas Instruments Tool: [MCU-PLUS-SDK-AM243X Software Development Kit \(SDK\)](#)

7 Revision History

| Changes from Revision * (December 2023) to Revision A (January 2024) | Page |
|---|------|
| • Nummerierungsformat für Tabellen, Abbildungen und Querverweise im gesamten Dokument aktualisiert..... | 1 |
| • Hyperlink zum Berechnungstool aktualisiert..... | 17 |

WICHTIGER HINWEIS UND HAFTUNGSAUSSCHLUSS

TI STELLT TECHNISCHE UND ZUVERLÄSSIGKEITSDATEN (EINSCHLIESSLICH DATENBLÄTTER), DESIGNRESSOURCEN (EINSCHLIESSLICH REFERENZDESIGNS), ANWENDUNGS- ODER ANDERE DESIGNBERATUNG, WEB-TOOLS, SICHERHEITSMITTELSYSTEME UND ANDERE RESSOURCEN „WIE BESEHEN“ UND MIT ALLEN FEHLERN ZUR VERFÜGUNG, UND SCHLIESST ALLE AUSDRÜCKLICHEN UND STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN AUS, EINSCHLIESSLICH UND OHNE EINSCHRÄNKUNG ALLER STILLSCHWEIGENDEN GEWÄHRLEISTUNGEN DER MARKTGÄNGIGKEIT, DER EIGNUNG FÜR EINEN BESTIMMTEN ZWECK ODER DER NICHTVERLETZUNG VON RECHTEN.

Diese Ressourcen sind für qualifizierte Entwickler gedacht, die mit TI-Produkten entwickeln. Sie allein sind verantwortlich für (1) die Auswahl der geeigneten TI Produkte für Ihre Anwendung, (2) das Design, die Validierung und den Test Ihrer Anwendung und (3) die Sicherstellung, dass Ihre Anwendung die geltenden Normen sowie alle anderen Sicherheits-, regulatorischen und sonstigen Vorgaben erfüllt.

Diese Ressourcen können jederzeit und ohne Vorankündigung geändert werden. Sie erhalten von TI die Erlaubnis, diese Ressourcen ausschließlich für die Entwicklung von Anwendungen mit den in der Ressource beschriebenen TI-Produkten zu verwenden. Jede andere Vervielfältigung und Darstellung dieser Ressourcen ist untersagt. Es wird keine Lizenz für andere Rechte am geistigen Eigentum von TI oder an Rechten am geistigen Eigentum Dritter gewährt. TI übernimmt keine Verantwortung für und Sie schützen TI und seine Vertreter gegen Ansprüche, Schäden, Kosten, Verluste und Verbindlichkeiten, die sich aus Ihrer Nutzung dieser Ressourcen ergeben.

Produkte von TI werden gemäß den [Verkaufsbedingungen von TI](#) oder anderen geltenden Bedingungen bereitgestellt, die entweder auf [ti.com](#) verfügbar sind oder in Verbindung mit diesen TI-Produkten bereitgestellt werden. Durch die Bereitstellung dieser Ressourcen durch TI werden die geltenden Garantien oder Gewährleistungsausschlüsse von TI für TI-Produkte weder erweitert noch verändert.

TI widerspricht allen zusätzlichen oder abweichenden Bedingungen, die Sie möglicherweise vorgeschlagen haben, und lehnt sie ab.

Postanschrift: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023 Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated